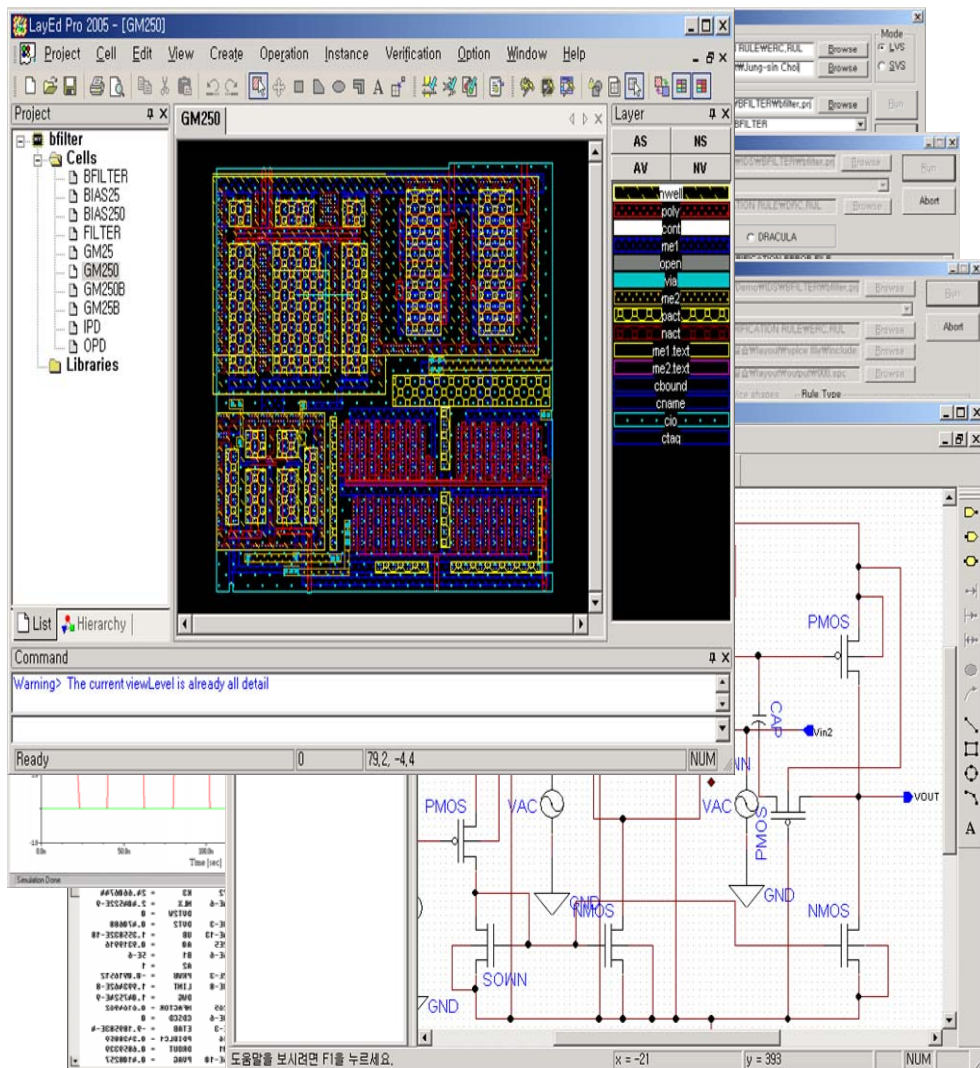


# MyCAD Tutorial

## Digital Cell

### MyAnalog Station & MyChip Station Pro



## Copyright Information

MyChip Station Pro 2005 is produced by SELOCO Incorporated.

Unauthorized copying, duplication, or other reproduction is prohibited without the written consent of SELOCO,Inc..

This document is protected by copyright and distributed under licenses restricting its use, copying, and distribution. No part of this document may be reproduced in any form by any means without prior written authorization of SELOCO,Inc and its licensors, if any.

Copyright © 1992 – 2006, SELOCO Incorporated.

Copyright © 1992 – 2006 LayEdProRef.doc, MyCAD Incorporated.

All rights reserved. Confidential. Online documentation may be printed by licensed customers of SELOCO Incorporated for internal business purposes only.

**Published : May 2006**

### **SELOCO, Inc.**

3F Namyang Bldg, 60-5 Bangi-dong

Songpa-gu, Seoul, 138-828 Korea

Phone: +82-2-3433-0000 Fax: +82-2-3433-0099

E-mail: [support@seloco.com](mailto:support@seloco.com), [sales@seloco.com](mailto:sales@seloco.com)

Home page: <http://www.seloco.com>

### **MyCAD, Inc.**

528 E. Weddell Drive, Suite #3

Sunnyvale, California 94089, USA

Phone: 408-745-6785 Fax: 408-745-6783

Email: [support@mycad.com](mailto:support@mycad.com), [sales@mycad.com](mailto:sales@mycad.com)

Home page: <http://www.mycad.com>

# 목 차

<b>1. MYCAD 소개</b> .....	<b>7</b>
<b>1.1. MyChip Station Pro</b> .....	<b>8</b>
(1) LayEd Pro.....	9
(2) MyDRC Pro .....	10
(3) LayNet Pro .....	10
(4) MyLVS Pro .....	10
(5) CifGDS Pro.....	10
<b>1.2. MyAnalog Station</b> .....	<b>11</b>
(1) Schematic Editor.....	12
(2) Logic2SPICE .....	12
(3) MySPICE.....	12
(4) MyGPP .....	12
<b>2. TUTORIAL 실습 목적 및 예제</b> .....	<b>13</b>
<b>2.1. Tutorial 실습 목적</b> .....	<b>13</b>
<b>2.2. MyCAD Tutorial 실습 환경</b> .....	<b>14</b>
(1) 설계 환경 파일 & 환경 설정.....	14
① MyAnalog Station .....	14
② MyChip Station Pro .....	14
③ 실습환경 .....	15
④ 중요 File 설명.....	16
(2) 설계 후 생성되는 파일 .....	17
<b>2.3. Inverter 설계</b> .....	<b>18</b>
(1) Inverter Schematic 설계.....	18
① Library 생성 .....	18
② Schematic 설계.....	23
③ Schematic 검증.....	32
④ Netlist 파일 추출 (Logic2SPICE).....	33
⑤ Simulation.....	37
(2) Inverter Layout 설계.....	44
① Project 생성 .....	45

②	Bind Library .....	50
③	Layout 설계 .....	54
④	Layout 검증 .....	60
⑤	SPICE 시뮬레이션 [MySPICE (Analog Circuit Simulation)] .....	66
<b>(3)</b>	<b>Layout과 Schematic 비교분석</b> .....	<b>71</b>
①	Netlist 비교 [MyLVS (Hierarchical Layout Versus Schematic Netlist Comparator)] .....	71
②	Discrepancy 파일 확인 .....	75
③	Layout 수정 .....	77
④	Schematic Spice Simulation과 Layout Spice Simulation 비교 .....	78
<b>(4)</b>	<b>Layout data 변환</b> .....	<b>79</b>
①	CifGDS Pro .....	79
<b>2.4.</b>	<b>NAND 설계</b> .....	<b>81</b>
<b>(1)</b>	<b>NAND Schematic 설계 (Schematic Editor For MyAnalog)</b> .....	<b>81</b>
①	Library 생성 & 추가 .....	81
②	Schematic 설계 .....	82
③	Schematic 검증 .....	83
④	Netlist 파일 추출 (Logic2SPICE) .....	84
⑤	SPICE 시뮬레이션 .....	85
<b>(2)</b>	<b>NAND Layout 설계(LayEdPro)</b> .....	<b>88</b>
①	Project & Cell 생성 .....	88
②	Layout 설계 .....	89
③	Layout 검증 .....	94
④	SPICE 시뮬레이션 (MySPICE) .....	95
<b>(3)</b>	<b>Layout과 Schematic 비교분석</b> .....	<b>97</b>
①	MyLVS 실행 .....	97
②	Discrepancy 파일 확인 .....	98
③	Layout 수정 .....	98
<b>(4)</b>	<b>Layout data 변환</b> .....	<b>99</b>
①	CifGDSPro .....	99
<b>3.</b>	<b>계층 구조 설계</b> .....	<b>100</b>
<b>3.1.</b>	<b>목적</b> .....	<b>100</b>
<b>3.2.</b>	<b>Instance 명령어</b> .....	<b>101</b>
<b>(1)</b>	<b>Create Instance</b> .....	<b>101</b>
<b>(2)</b>	<b>View Detail</b> .....	<b>101</b>
<b>(3)</b>	<b>Set Instance View Level</b> .....	<b>101</b>
<b>(4)</b>	<b>Flatten &amp; Flatten All</b> .....	<b>101</b>



(5)	<b>Replace Instance</b> .....	101
(6)	<b>Edit-In-Place</b> .....	101
<b>3.3.</b>	<b>실습예제</b> .....	<b>102</b>
(1)	<b>Inverter 설계</b> .....	102
(2)	<b>INV_PAIR 만들기</b> .....	103
(3)	<b>VDD, GND연결</b> .....	105
(4)	<b>출력노드와 입력노드 연결</b> .....	106
<b>4.</b>	<b>MUX 설계</b> .....	<b>108</b>
<b>4.1.</b>	<b>2 to 1 MUX 이론</b> .....	<b>108</b>
(1)	<b>Multiplexer 정의</b> .....	108
(2)	<b>Multiplexer 원리</b> .....	109
<b>4.2.</b>	<b>2 to 1 MUX Schematic 설계 (Schematic Editor For MyAnalog)</b> .....	<b>110</b>
(1)	<b>Library 생성 &amp; 추가</b> .....	110
(2)	<b>Schematic 설계</b> .....	111
①	회로구성.....	111
②	심볼속성설정 및 생성.....	112
③	Schematic 검증.....	113
④	Netlist 파일 추출 (Logic2SPICE).....	113
⑤	SPICE 시뮬레이션.....	114
<b>4.3.</b>	<b>2 to 1 Mux Layout 설계 (LayEd Pro)</b> .....	<b>115</b>
(1)	<b>Project &amp; Cell 생성</b> .....	115
(2)	<b>Layout 설계</b> .....	116
①	MyCell 추가.....	116
②	Instance (Inverter, NAND) 배치하기.....	117
③	VDD, GND 연결하기.....	118
④	입력노드, 출력노드 연결하기.....	119
⑤	Layout 검증.....	120
⑥	SPICE 시뮬레이션 (MySPICE).....	121
(3)	<b>Layout과 Schematic 비교분석</b> .....	123
①	MyLVS 실행.....	123
②	Discrepancy 파일 확인.....	123
③	Layout 수정.....	123
(4)	<b>Layout data 변환</b> .....	124
①	CifGDS.....	124

<b>APPENDIX .....</b>	<b>125</b>
<b>I. Technology File .....</b>	<b>125</b>
① SCMOS_SCN4ME_SUBM.TEC .....	125
② STIPPLE.LST .....	137
<b>II. Verification File.....</b>	<b>138</b>
① SCMOS_SCN4ME_SUBM_DRC.rul.....	138
② SCMOS_SCN4ME_SUBM_ERC.rul .....	145
<b>III. Spice File.....</b>	<b>149</b>
① include.inc (기본 parameter).....	149
② Layout Inverter (첨가부분).....	151
③ Layout NAND gate (첨가부분) .....	151
④ MUX(첨가부분).....	151

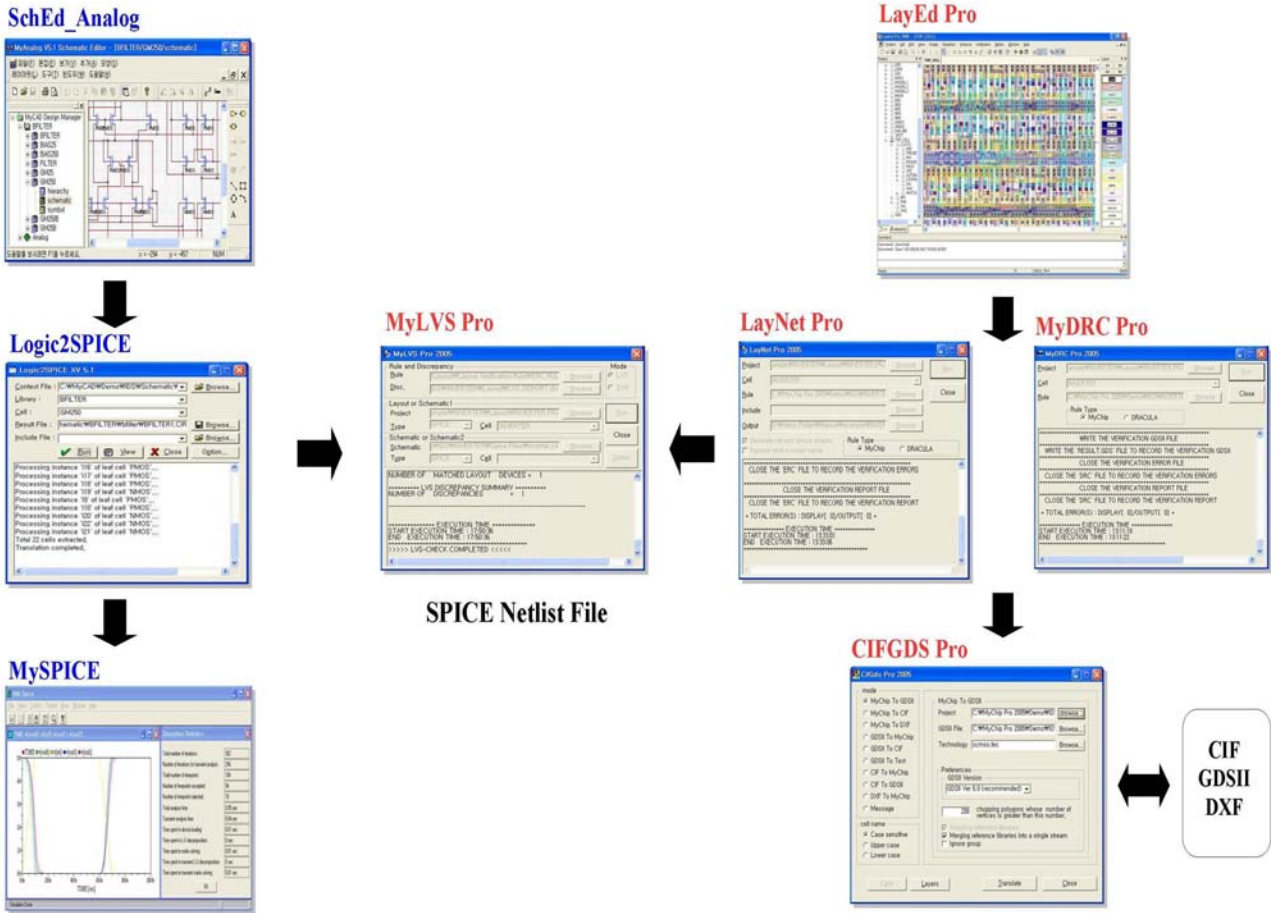
# 1. MyCAD 소개

MyCAD는 전자회로설계 및 시뮬레이션용 CAD 프로그램으로서 1990년대 자체 개발을 토대로 하여 국내외로 보급을 진행하고 있다. MyCAD는 크게 MyChip Station Pro, MyAnalog Station, MyLogic Station, MyVHDL Station으로 구성되어 있는 EDA(Electronic Design Automation) Tool이다.

MyCAD의 MyChip Station Pro와 MyAnalog Station은 회로 설계, Netlist 추출, Layout 그리고 검증을 위한 Tool로서 최종 GDS파일로 변환할 수 있다.

MyLogic Station은 front-end 설계용 Tool로서 회로설계(schematic capture), 회로검증(function simulation) 및 EDIF 생성(EDIF netlist generation) 등을 지원한다.

또한 MyCAD는 VHDL 설계, 논리합성 및 최적화, 디지털 논리회로 설계 그리고 모의 실험 등의 작업을 일반 PC Windows상에서 모든 작업을 수행하도록 최적화된 EDA Tool이다.



< 그림.1.1 MyCAD IC Design Flow >

## 1.1. MyChip Station Pro

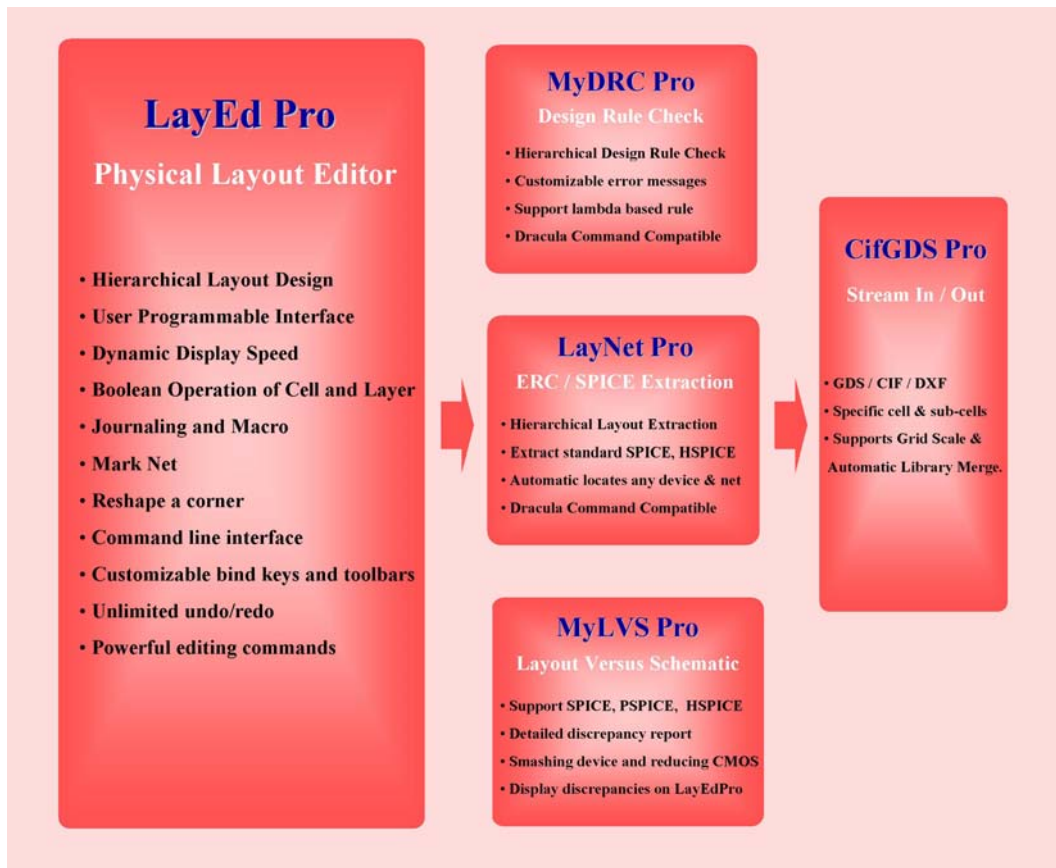
MyChip Station™ Pro는 window에서 workstation과 같이 정교한 physical design을 할 수 있도록 구현한 IC Design Solution이다.

Layout 설계를 위한 LayEd Pro는 Customizable Polygon 기반의 Full custom IC layout 편집기이다.

물리적인 설계 검증에는 Design rule을 검사하는 MyDRC Pro, Layout과 Schematic 의 Netlist를 비교하는 MyLVS Pro, 그리고 Parasitic information 과 Netlist를 추출하는 LayNet Pro등으로 구성된다. 이러한 Verification Tool은 사용자가 정의한 룰 파일을 사용할 수 있으며 DRACULA™ 와도 호환 할 수 있다.

마지막으로 CifGDS Pro는 규격화된 파일(GDS II, CIF, DXF)을 사용하여 Layout data를 Import, Export 할 수 있다.

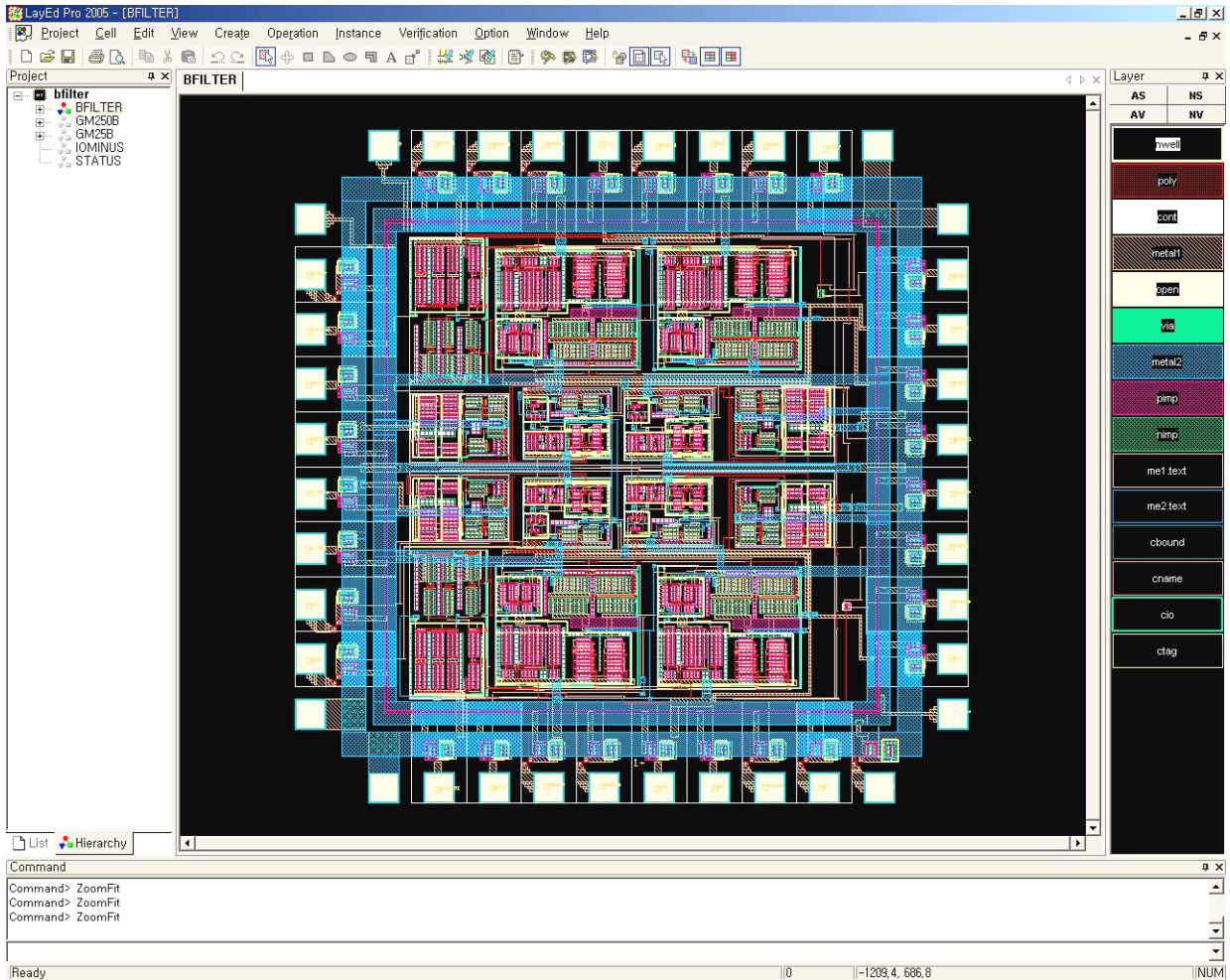
현재 국내의 수많은 대학교내 전기, 전자, 통신, 반도체 관련학과에서 MyCAD를 이용한 설계 교육을 진행하고 있고, 산업체에서는 IC layout, MEMS Design, LCD 그리고 Optical 등의 관련분야에서 Layout 설계에 사용하고 있다. 국외로는 미국, 일본, 유럽, 중국 그리고 아시아 등의 뛰어난 전문가들로부터 Analog 및 Mixed IC 설계에 수년간 사용되어오고 있으며 뛰어난 성능을 입증 해주고 있다.



< 그림 1.2 MyChip Station Pro Flow >

## (1) LayEd Pro

LayEd Pro는 Layout 편집기로써 파워풀하고 정교한 Polygon기반의 Graphical User Interface를 사용한다. 또한hierarchical Layout 설계가 가능하며 빠른 처리 능력과 예상치 못한 시스템 오류 발생 시 자동 복구하는 기능 등 쉽고 편리한 기능들을 제공함으로써 초보자에서 전문가까지 사용할 수 있다.



< 그림 1.3 LayEd Pro를 이용한 BFILTER 설계 >

## **(2) MyDRC Pro**

Layout 설계를 한 후 올바르게 설계되었는지를 검증하는 Tool로써 Hierarchical Design Rule 검사를 통하여 rule에 맞지 않는 부분을 display 해준다. Real Time DRC를 제공함으로써 실시간으로 Rule체크도 가능하다. 또한 DRACULA™ 와 호환이 되고 대용량 데이터도 고속으로 체크가 가능하다.

## **(3) LayNet Pro**

Layout에서 Netlist를 추출하는 Tool로써 Hierarchical ERC rule Check가 가능하고 SPICE와 HSPICE format에 맞는 Netlist를 추출할 수 있으며 DRACULA™ 와 호환이 된다.

## **(4) MyLVS Pro**

Hierarchical Layout Netlist와 Schematic Netlist의 비교 분석하는 Tool로써 다양한 SPICE Netlist format (standard, SPICE, HSPICE, PSPICE)을 지원한다.

## **(5) CifGDS Pro**

Industry standard(GDSII, CIF, DXF)를 사용하여 다양한 형식으로 Layout data를 import, export로 변환 할 수 있는 Tool로써 industry standard의 Data를 상호 변환한다. 또한 Layer or Cell을 사용자가 선택적으로 변환 하도록 되어 있다.

## 1.2. MyAnalog Station

MyAnalog Station은 Analog 전자회로를 설계하고 이를 모의 실험하는 Tool이다. Schematic editor로 설계한 Data를 Netlist로 변환하는 내부과정을 SPICE-Netlist로 자동 변환하며 생성된 SPICE-Netlist에 추가로 필요한 Line을 추가한 후 MySPICE에서 원하는 Analysis를 선택하여 모의실험 한다. Post Processor(MyGPP)를 사용하면 모의실험 결과가 좀 더 분석하기 쉽고 멋진 리포트로 변경 된다.



< 그림 1.4 MyAnalog Station Flow >

## (1) Schematic Editor

제공되는 Analog Library로 쉽게 Schematic 설계를 할 수 있으며 Symbol Editor로 Symbol을 만들어서 사용할 수 있다. 또한 전기적인 특성을 고려하여 설계된 회로를 ERC rule로 검증하여 rule에 위배되는 Error를 Display해준다.

## (2) Logic2SPICE

다양한 형식의 SPICE Netlist (Standard SPICE, HSPICE, PSPICE)를 추출할 수 있다.

## (3) MySPICE

MySPICE는 복잡한 회로를 DC 동작점 계산, 과도 전류, perform Fourier, noise, 왜곡 파형을 분석할 수 있는 analog simulator이다. MS Window에 기초한 GUI를 제공하며 Berkeley SPICE 모델 제공은 기본, 새로운 모델도(BSIM, BSIM2, BSIM3, Lossy Transmission Lines, MOS Level 6) 제공하고 있다.

## (4) MyGPP

MyGPP는 MySPICE를 좀 더 분석하기 쉽게 하기 위해 합과 차, 미분과 적분 같은 Function, FFT(Fast Fourier Transform), Cursor 기능을 제공한다.

### ※사용환경

- CPU : Pentium2 이상(최소) / Pentium-4 권장
- RAM : 128MB 이상(최소) / 512MB 권장
- HDD : 50MB 이상(최소) / 2GB 여유공간 권장
- OS : Windows 95 이상(최소) / Windows2000 또는 XP 권장



## 2. Tutorial 실습 목적 및 예제

### 2.1. Tutorial 실습 목적

본 Tutorial에서는 Inverter, NAND Gate 그리고 MUX의 Schematic 및 Layout의 설계를 하고 검증은 모의실험으로 할 수 있도록 한다. 다음 과정으로 Schematic과 Layout의 설계를 비교 해서 설계한대로 매칭이 되었는지 검증한다. Schematic에서부터 Layout, GDSII파일까지 실행 및 생성하여 IC설계에 대한 전반적인 이해를 돕는데 목적이 있다.

## 2.2.MyCAD Tutorial 실습 환경

### (1) 설계 환경 파일 & 환경 설정

#### ① MyAnalog Station

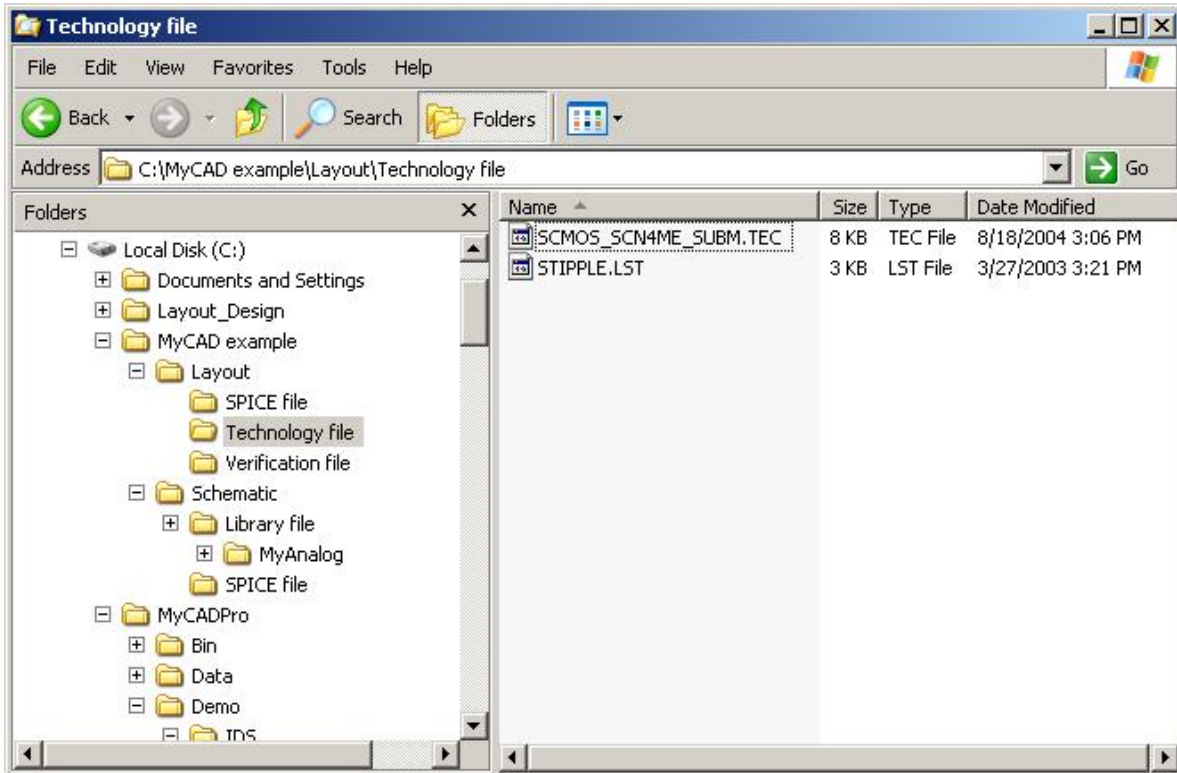
- i. Library File : C:\MyCADPro\Library\MyAnalog 폴더에 있는 Analog.lib에서 제공, 실습에 필요한 모든 Cell을 제공
- ii. Include File : C:\MyCADPro\Demo\IDS\MyCell\BSIM3 Model 폴더에서 SCN4M\_SUMB\_SPICE BSIM3.txt파일 제공, Spice Simulation시 NMOS와 PMOS의 기본 model 제공 (MOS model과 Spice Netlist 추출 시 MOS의 속성이 같아야 한다.)

#### ② MyChip Station Pro

- i. SCMOS\_SCN4ME\_SUBM.TEC : C:\MyCADPro\Demo\IDS\MyCell\Layout 에서 제공, 레이아웃에 관한 정보와 화면 디스플레이에 관한 정보를 담고 있는 파일
- ii. Stipple.lst : C:\MyCADPro\Demo\IDS\MyCell\Layout 에서 제공, 레이아웃의 채우기 패턴 모양을 정의하여 놓은 파일
- iii. SCMOS\_SCN4ME\_SUBM\_DRC.rul :  
C:\MyCADPro\Demo\IDS\MyCell\Layout\Layout\Verification Rule에서 제공, MyDRC Pro수행을 위한 파일로서, 설계규칙 검증을 위한 파일
- iv. SCMOS\_SCN4ME\_SUBM\_ERC.rul :  
C:\MyCADPro\Demo\IDS\MyCell\Layout\Layout Verification Rule에서 제공, LayNet Pro, MyLVS Pro수행을 위한 파일로서, Netlist 추출할 때 전기적 소자의 추출에 관한 규칙파일
- v. Include File :  
C:\MyCADPro\Demo\IDS\MyCell\BSIM3 Model 폴더에서 SCN4M\_SUMB\_SPICE\_BSIM3.txt파일 제공, Spice Simulation시 NMOS와 PMOS의 기본 model 제공
- vi. SCMOS\_SCN4ME\_SUBM의 파일들은 VLSI circuit 회사인 MOSIS사에서 만든 설계규칙이다. Transistor의 크기는  $(W/L)_p = (2.4/0.4)\mu\text{m}$ ,  $(W/L)_n = (1.2/0.4)\mu\text{m}$ 를 사용한다.

### ③ 실습환경

※ 먼저 실습하기 전 설계 시 편의를 위해 <그림2.3.(1)-1>과 같이 MyCAD example폴더를 생성하고 각각의 폴더 안에 파일들을 넣는다. 하위폴더에 넣는 파일들의 위치는 7페이지에 경로가 명시되어있다



< 그림2.3.(1)-1 실습에 필요한 폴더생성 및 파일 위치지정 >

#### ■ MyCAD example폴더

##### -Layout 폴더

- SPICE file 폴더: SCN4M\_SUMB SPICE BSIM3.txt
- Technology file 폴더: SCMOS\_SCN4ME\_SUBM.TEC, STIPPLE.LST
- Verification file 폴더: SCMOS\_SCN4ME\_SUBM\_DRC.rul, SCMOS\_SCN4ME\_SUBM\_ERC.rul

##### -Schematic 폴더

- Library 폴더: C:\MyCADPro\Library\MyAnalog 폴더 전부 복사
- SPICE file 폴더: SCN4M\_SUMB SPICE BSIM3.txt

④ 중요 File 설명

확장자명		내 용
*.TEC		MyChip Station에서 사용하는 Technology 파일이다. 사용자는 이 파일을 원하는 공정에 맞추어서 변경 사용할 수 있다.
*.LST		라이브러리 작업에 사용할 layer fill 패턴 정보를 담고 있는 파일이다. 사용자가 변경 가능하다.
*.rul	DRC.rul	Design 설계 오류 검색 시 그 기준이 되는 파일을 의미한다. MyDRC Pro 실행 시 이 파일을 기준으로 하여 rule체크를 한다.
	ERC.rul	전기적 오류 검색과 설계 회로 Netlist 추출에 필요한 Device들과 net 정보를 가지고 있다. LayNetPro 사용시 이 파일을 기준으로 하여 Rule체크를 한다.
*.cir, *.spc		SPICE 형태의 Netlist 추출 시 결과 파일로, 회로의 연결 정보를 담고 있는 파일이다
*.dis		MyLVSPRO 실행 후 Layout과 Schematic의 비교 분석결과 정보를 담고 있는 파일로 Discrepancy 내용을 확인할 수 있다.
*.inc		SPICE Simulation에 사용할 model parameter를 담고 있는 파일이다. MyCAD Tutorial에서는 TSMC 0.35um공정 model parameter제공한다.

## (2) 설계 후 생성되는 파일

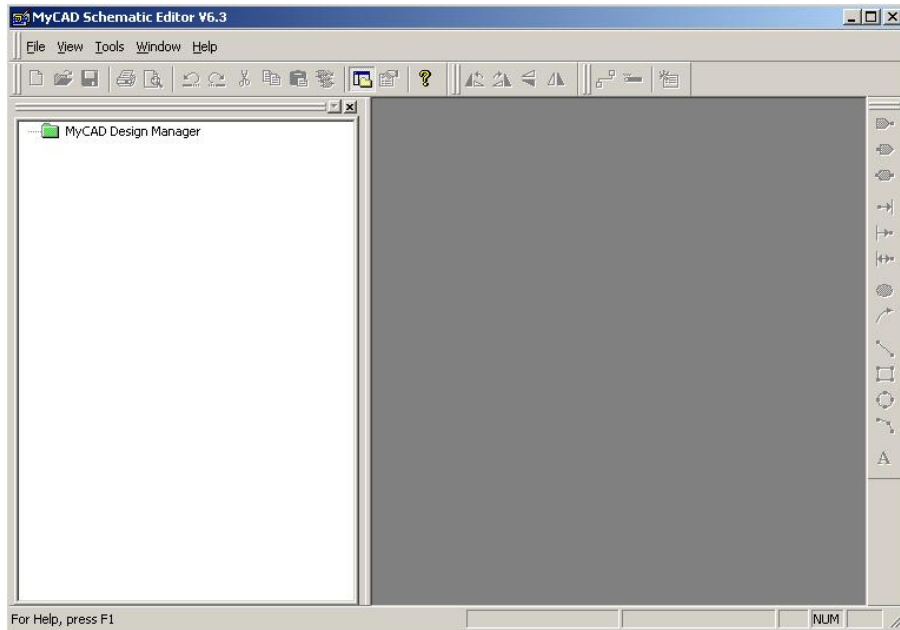
Schematic 설계와 Layout 설계를 하면 여러 가지 파일이 생성되는데 파일들의 역할은 다음과 같다.

구 분	파 일 명	내 용
MyAnalog Station	schematic	Schematic 생성할 때 inv 폴더에 만들어짐
	symbol	symbol 생성할 때 inv 폴더에 만들어짐
	netlist	Netlist 추출에 관한 정보가 담긴 파일
	*.mdc	Schematic 실행파일
	*.lib	설계 후 저장하면 생성되는 정보파일
	*.log	Simulation 시 발생한 error메시지를 담고 있는 파일
MyChip Station Pro	layout.1	셀에서 만든 레이아웃 데이터
	drc_bin.1	DRC 수행결과의 오류를 담고 있으며 그래픽 정보를 제공
	drc.1	DRC 수행결과의 오류를 담고 있으며 텍스트파일의 형식으로 오류가 발생한 부분의 XY 좌표를 제공
	extract.1	Extraction 수행결과 파일로서 레이아웃이 담고 있는 소자와 연결 상태에 관한 정보 수록
	devshape.1	Extraction 수행 결과 생기며, LayEd Pro에서 Find Device 명령을 통해 레이아웃 상에서 원하는 소자를 찾을 수 있는 정보제공
	netshape.1	Extraction 수행결과 파일로 소자연결 네트에 관한 정보를 담고 있는 파일
	erc_bin.1	ERC 수행결과를 담고 있는 파일
	lvs_bin.1	LVS 수행결과 스케메틱과 레이아웃이 일치하지 않은 오류에 관한 정보

## 2.3.Inverter 설계

### (1) Inverter Schematic 설계

시작 → 프로그램 → MyCAD Pro 2005 → Schematic Editor for MyAnalog를 실행 시킨다.

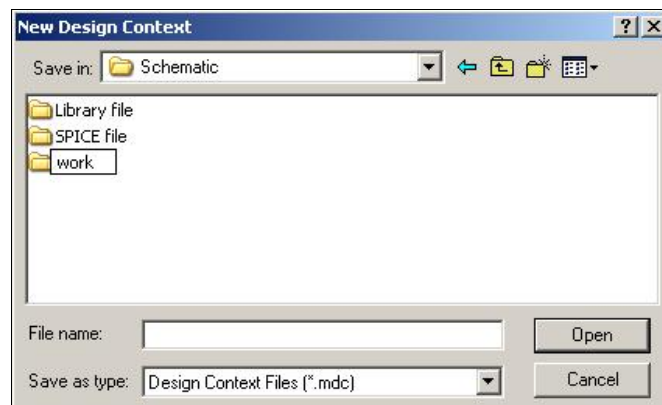


< 그림 2.3.(1)-2 Schematic Editor >

#### ① Library 생성

##### i. New Folder

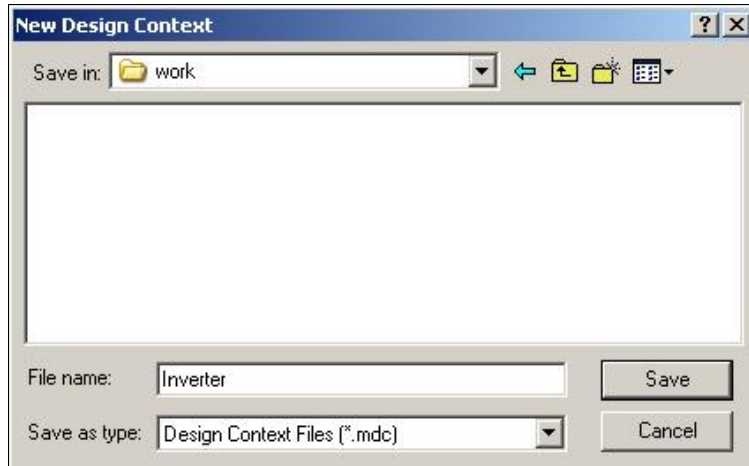
Menu 에서 파일(File) → 새 디자인(New Design Context) 선택 후 New Design Context 창에서 C:\MyCAD example\Schematic에 새로운Work Folder를 만든다.



< 그림 2.3.(1)-3 New Design Context >

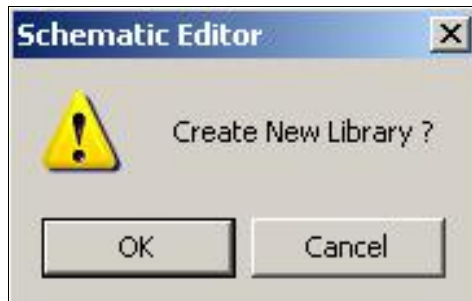
ii. New Library file

Work Folder를 만든 후 파일이름을 Inverter로 정해준다. MDC file (MyCAD Design Context)을 만들면 Library file 도 생성된다. 확장자명은 생략해도 자동으로 만들어진다.



< 그림 2.3.(1)-4 실행파일 만들기 >

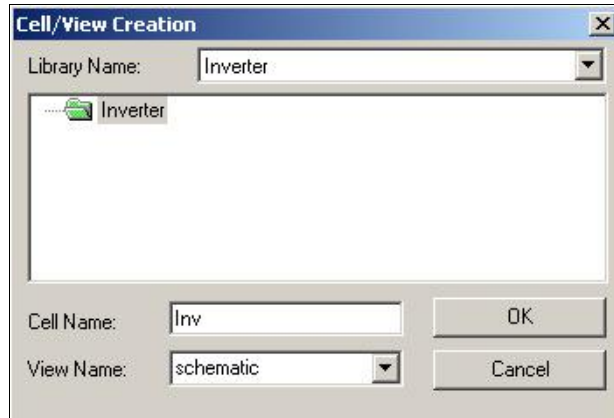
저장을 한 후 `새로운 라이브러리를 만들겠습니까?` (Create New Library?)에서 확인 (OK)을 누르면 Library file이 만들어진다.



< 그림 2.3.(1)-5 Library 생성 >

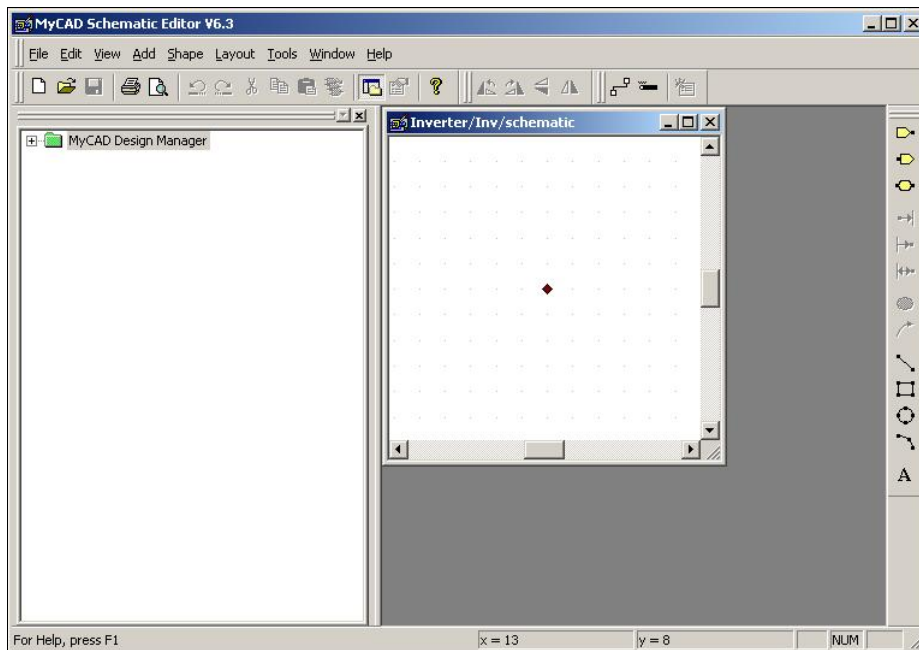
iii. New Cell & View

Menu 에서 파일(File) → 셀/뷰 만들기(New) 선택 후 셀/뷰 생성(Cell/View Creation) 창에서 셀 이름에 Inv를 쓰고 뷰 이름에 Schematic을 선택한다.



< 그림 2.3.(1)-6 셀 만들기 >

셀/뷰 생성(Cell/View Creation) 창에 확인(OK)을 누르면 Schematic창이 뜬다.

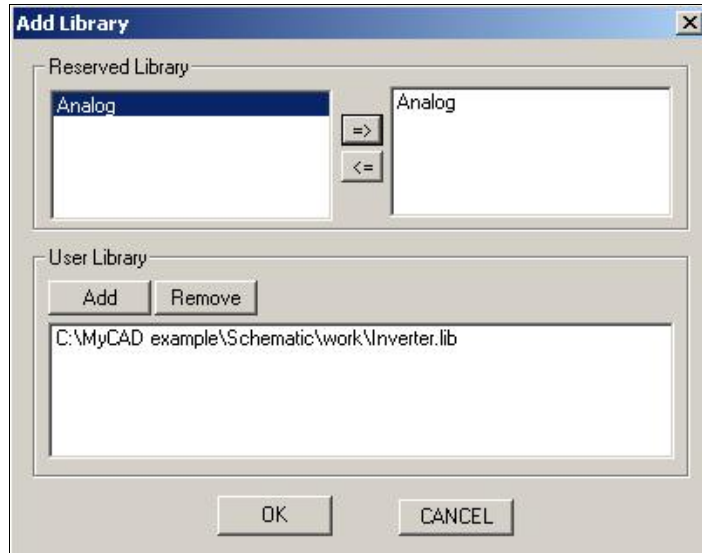


< 그림 2.3.(1)-7 셀 생성 >



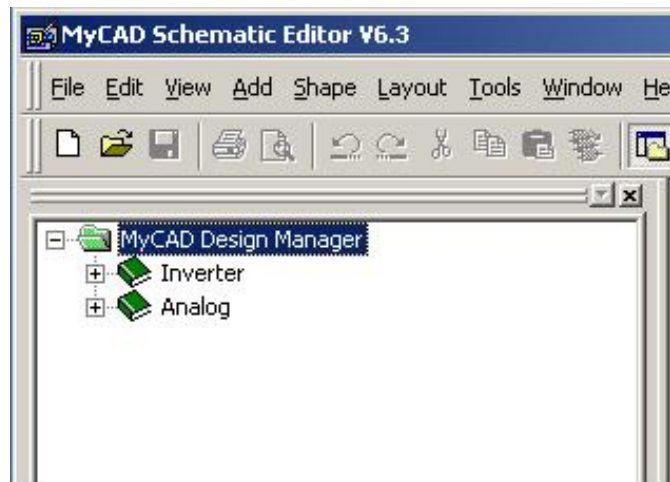
iv. Add Library

MyAnalog Station에서 제공하는 기본 소자를 불러온다. Menu에서 파일(File) → 라이브러리 추가/삭제(Add/Remove Library)를 선택하면 Add Library창이 뜬다. Reserved Library창의 Analog를 선택하고 중앙에 있는 오른쪽 화살표를 누른다.



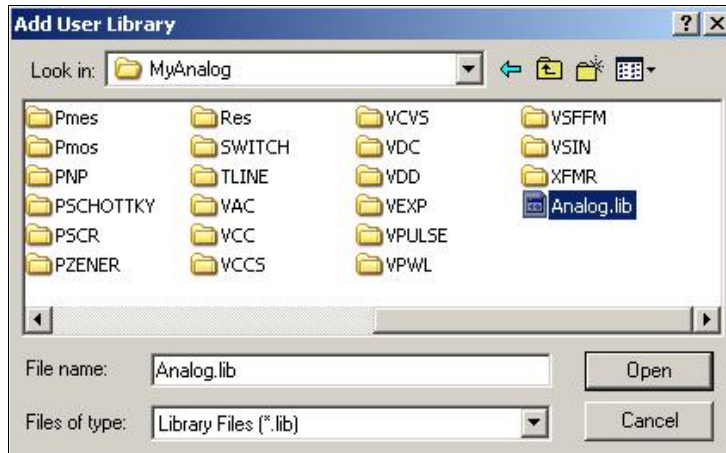
< 그림 2.3.(1)-8 Add Library >

Add Library창의 확인(OK)을 누르면 Analog Library가 추가된다.



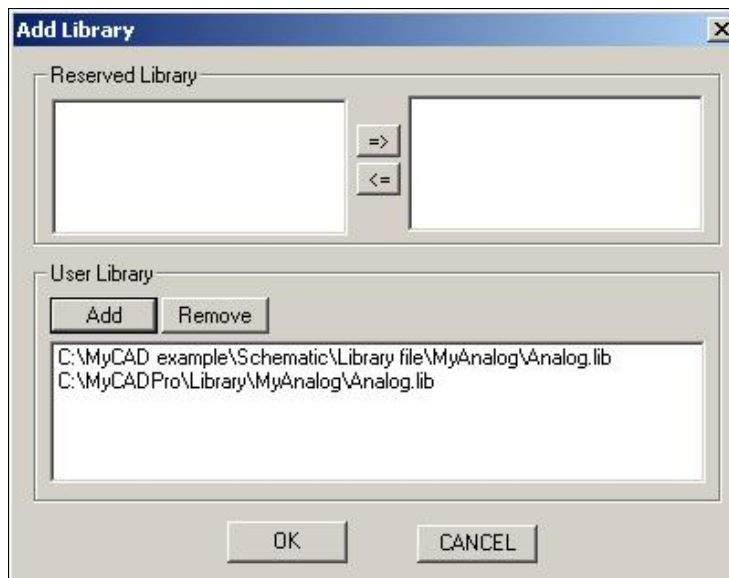
< 그림 2.3.(1)-9 추가된 라이브러리 >

Reserved Library에 Analog가 없으면 User Library의 추가(Add)를 누른 후 C:\MyCAD example\Schematic\Library\MyAnalog\Analog.lib를 선택하고 열기(Open)를 누른다.



< 그림 2.3.(1)-10 Analog Library file >

Add Library창에서 확인(OK)을 누르면 Analog Library가 추가된다.

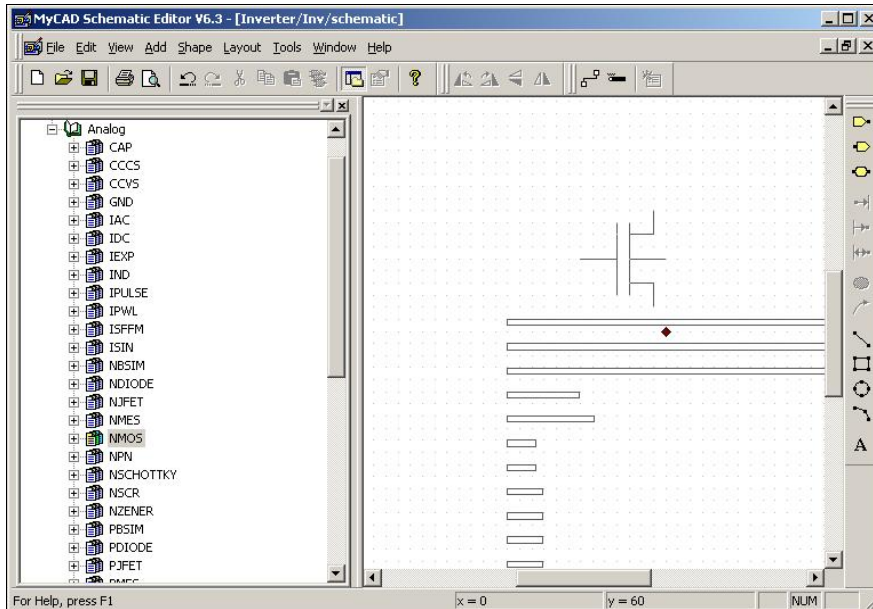


< 그림 2.3.(1)-11 Analog Library 추가 >

## ② Schematic 설계

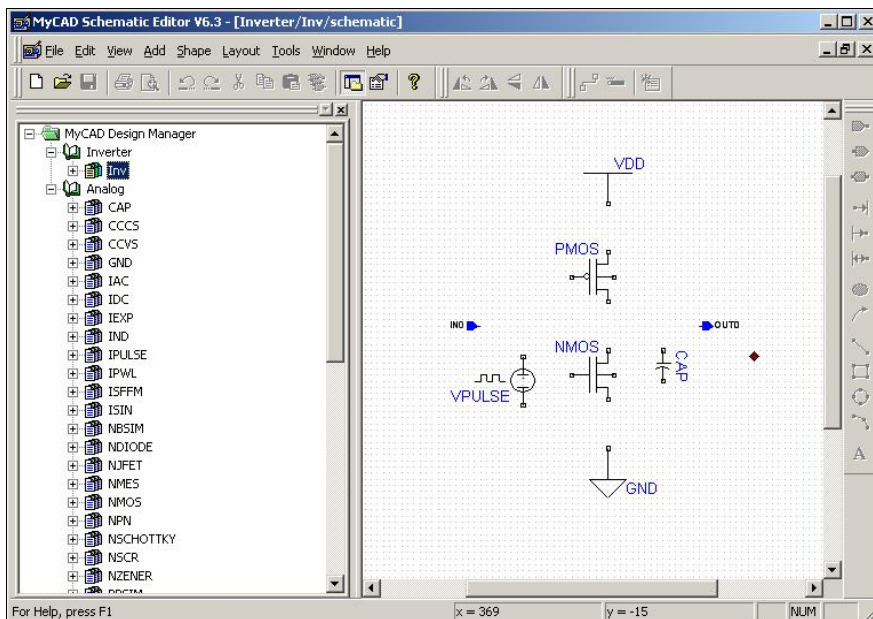
### i. Symbol구성

Inverter를 설계하는데 필요한 symbol(NMOS, PMOS, CAP, VDD, GND, VPULSE)들을 Analog Library에서 끌어서 Schematic창에 놓는다.



< 그림 2.3.(1)-12 Symbol 불러오기 >

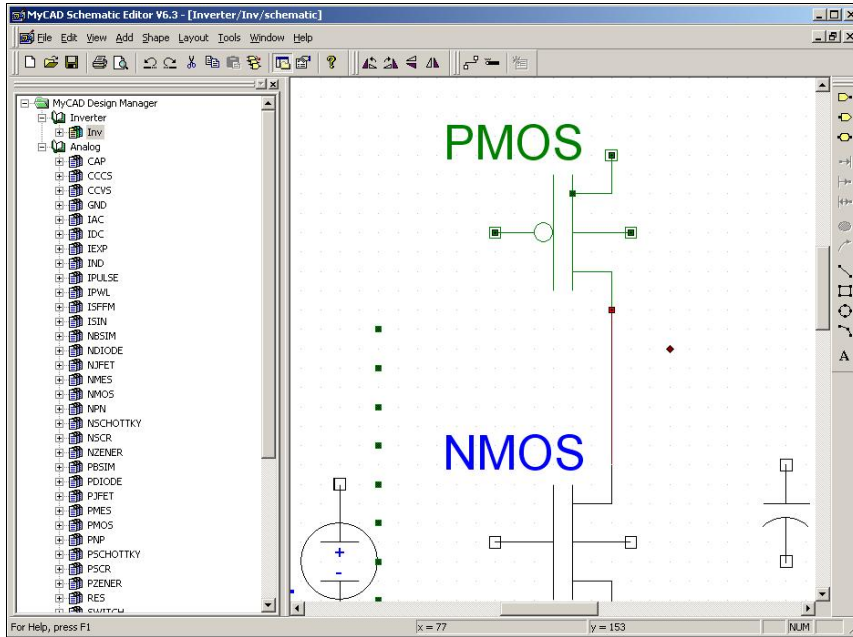
필요한 모든 symbol을 끌어서 Inverter를 만들기 위해 자리를 배치한다.  
입력포트와 아웃포트는 Object bar에서 끌어 놓는다.



< 그림 2.3.(1)-13 symbol 배치 >

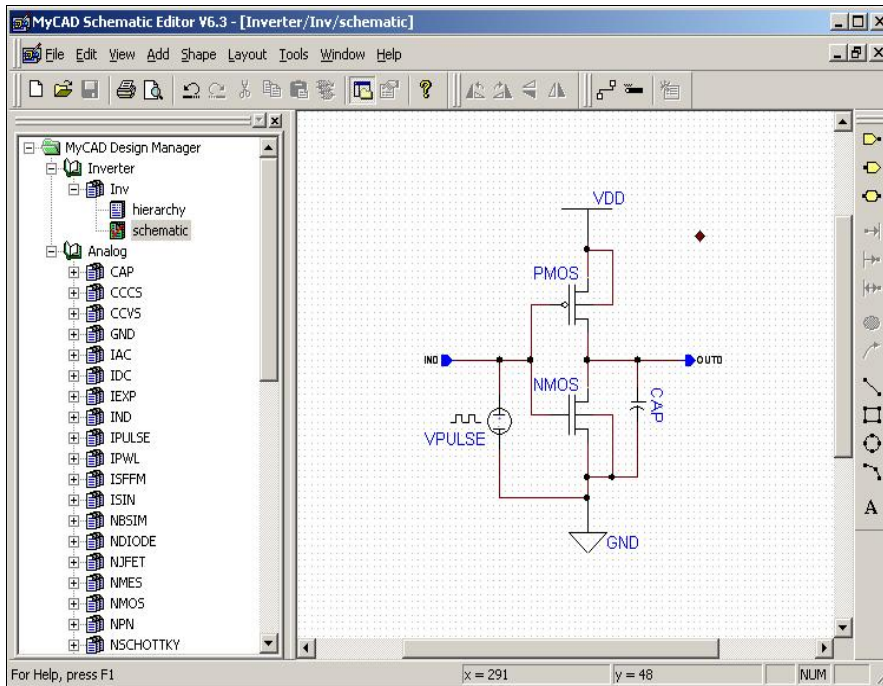
ii. 선 연결하기

Symbol의 net point에 더블 클릭한 후에 끌어서 다른 symbol의 net point에 연결시킨다.



< 그림 2.3.(1)-14 symbol간의 선 연결 >

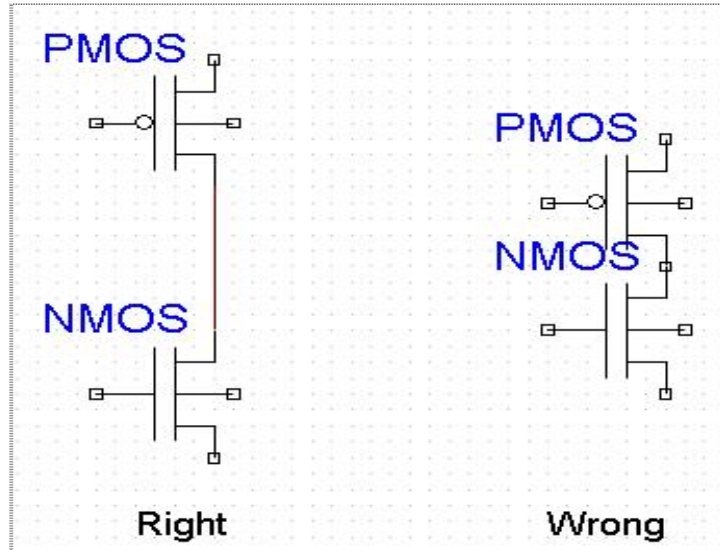
각 symbol을 연결하여 Inverter회로를 완성시킨다.



< 그림 2.3.(1)-15 Inverter 회로도 >

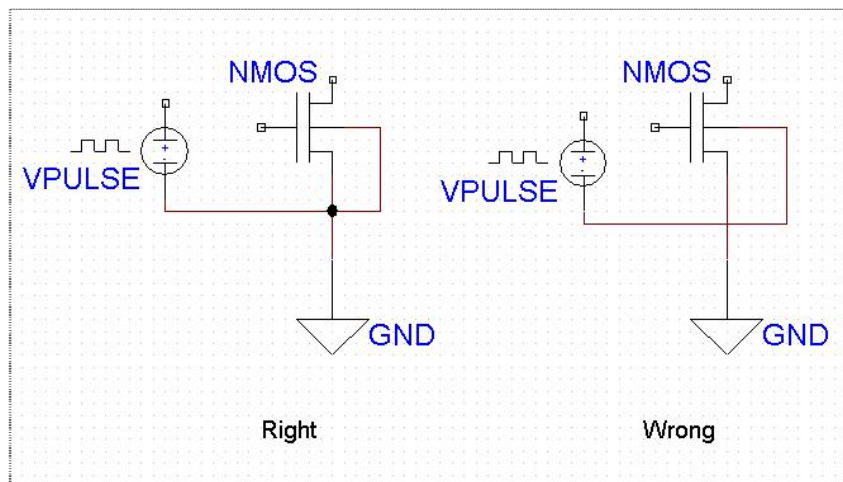
※선 연결시 주의사항

- a) Symbol과 Symbol 을 직접 연결할 수 없다. Symbol과 symbol 사이는 반드시 선으로 연결하여 주어야 한다.



< 그림 2.3.(1)-16 올바른 선 연결 >

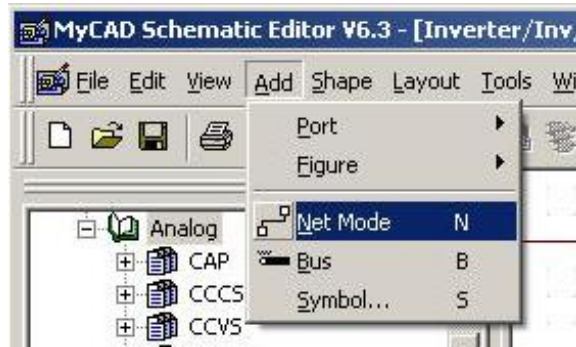
- b) 노드와 노드가 연결될 때에는 ‘·’이 생기는데 생기지 않았을 경우는 연결되지 않았다는 것을 뜻한다.



< 그림 2.3.(1)-17 교차점 >

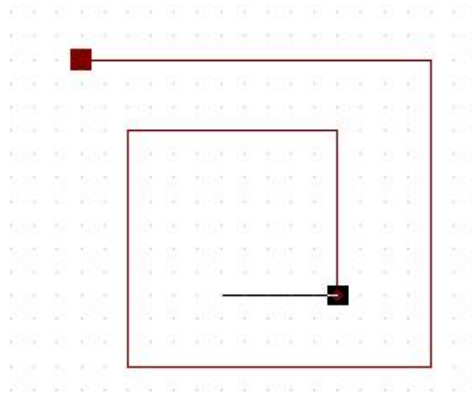
c) 네트모드(Net Mode)

선을 연결할 때 쓰는 방법중의 하나로 Menu에서 추가(Add) → 네트모드(Net Mode)를 선택하여 사용할 수 있다.



< 그림 2.3.(1)-18 Net Mode 설정 >

시작점을 클릭하고 이동하면서 선을 그리며 마우스좌측버튼 한번 클릭으로 방향을 전환할 수 있다. 선 연결을 끝낼 때는 끝나는 지점에서 마우스 좌측버튼 더블클릭으로 할 수 있다.



<그림 2.3.(1)-19 Net Mode로 선 그리기 >

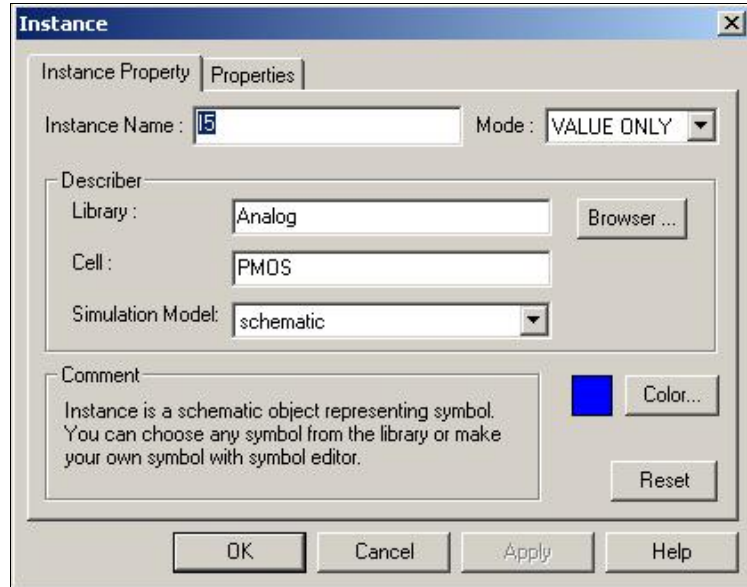
네트모드(Node Mode)를 종료할 때는 Menu에서 추가(Add) → 네트모드(Net Mode)를 다시 선택해서 해제해야 한다.



iii. Symbol 속성 설정

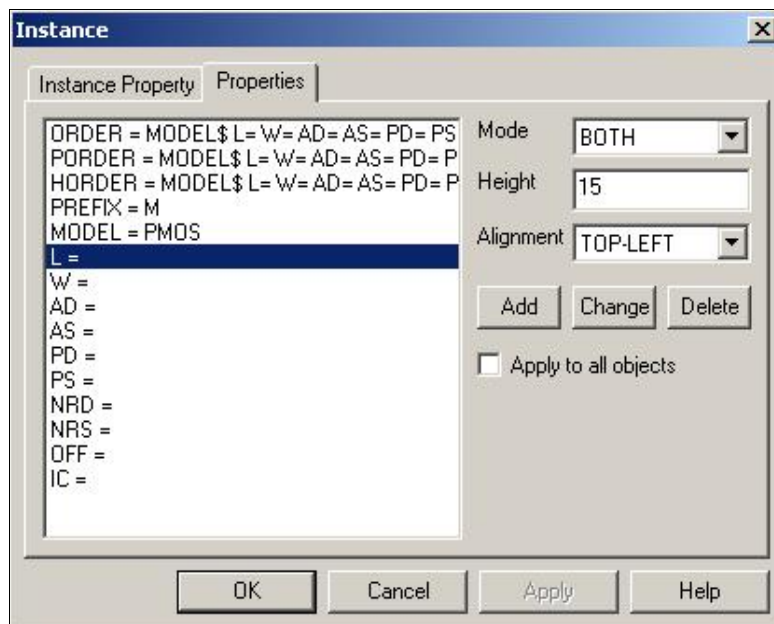
제공된 symbol에는 속성이 비워져 있다. Simulation을 하기 위해서는 매개 변수 값을 정해 주어야 한다.

PMOS의 symbol의 중앙을 더블 클릭하면 Instance창이 뜬다.



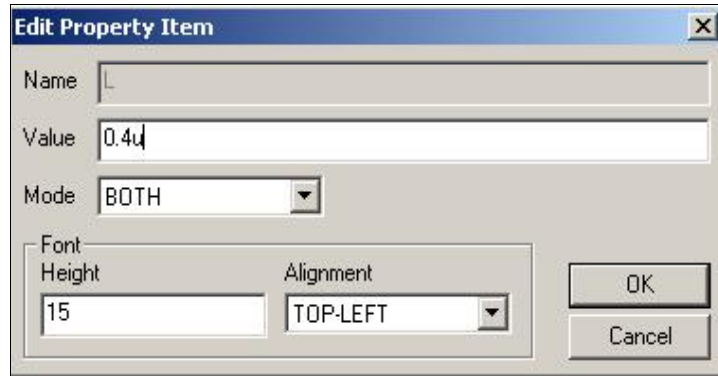
< 그림 2.3.(1)-20 Instance 설정 창 >

속성(Properties)메뉴를 선택하고



< 그림 2.3.(1)-21 Instance 속성 >

L = 을 더블 클릭하면 속성수정(Edit Property Item) 창이 뜬다.



< 그림 2.3.(1)-22 Instance 속성값 입력 >

값으로 0.4u를 넣고 확인(OK)을 누른다.

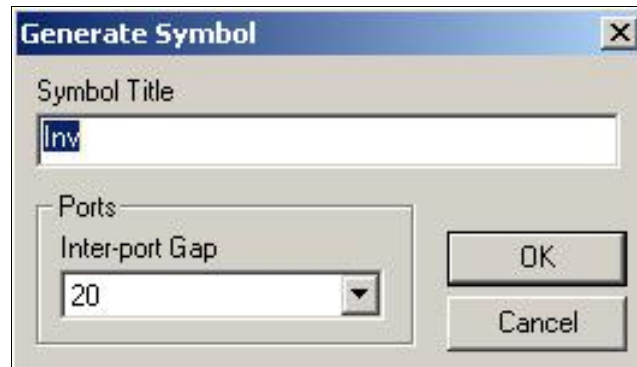
이와 같은 방법으로 PMOS ( L=0.4u, W=2.4u, AD·AS=2.64p, PD·PS=4.6u ), NMOS ( L=0.4u, W=1.2u, AD·AS =1.32p, PD·PS=3.4u ), CAP ( VALUE=0.1p ) VPULSE ( V1=0, V2=5, TD=20n, TR=2n, TF=2n, PW=48n, PER=100n )의 값을 넣어준다.

속성설명 - MOS ( MODEL - Model Name, L - Length, W - Width, AD·AS - Drain, source diffusion area, PD·PS - Drain, source diffusion periphery, NRD·NRS - Drain, source diffusion resistor squares ), VPULSE ( V1 - 초기값(t=0일 때), V2 - 펄스 있을 때의 값, TD - 지연시간, TR - 상승시간, TF - 하강시간, PW - 펄스 폭, PER - 펄스 주기 등을 나타낸다.)

작업이 완료되면 저장한다.

#### iv. Symbol 생성

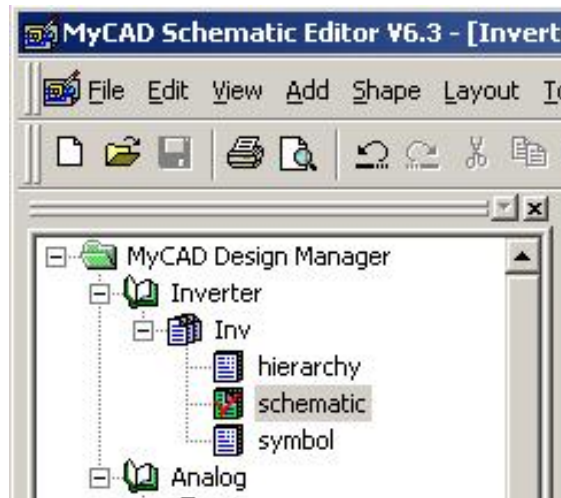
Menu에서 도구(Tools) → 심볼 만들기(Make Symbol)를 선택한다.



< 그림 2.3.(1)-23 symbol 생성 >

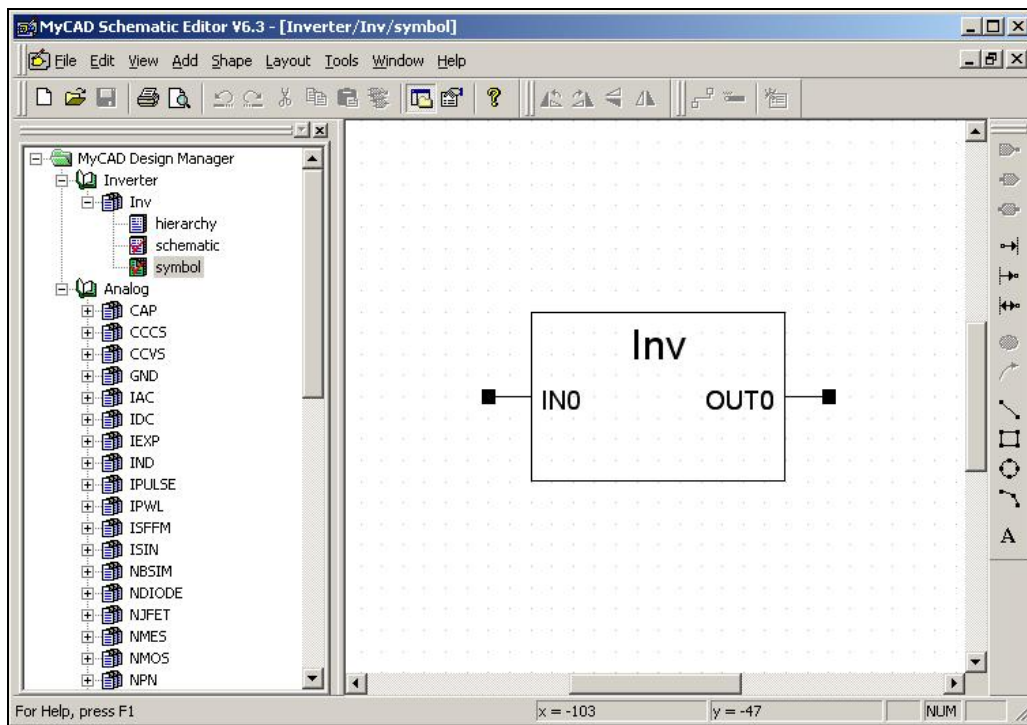


확인(OK)을 누르면 Inverter symbol이 만들어진다.



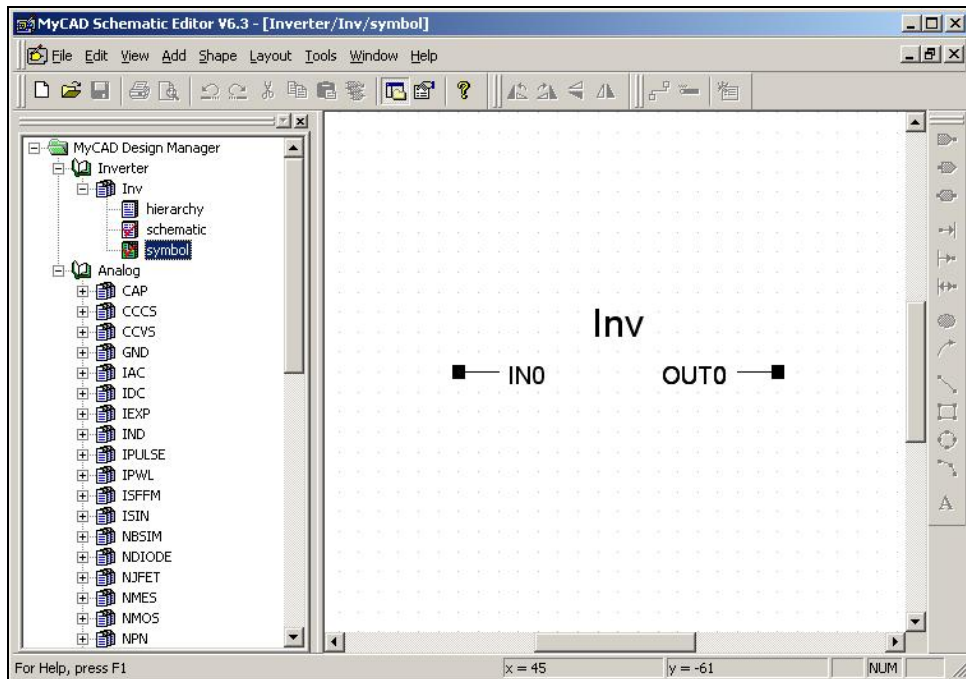
< 그림 2.3.(1)-24 symbol 생성확인 >

Design Manager Window의 Inv밑의 symbol을 더블 클릭하면 기본 심볼모양이 뜬다.



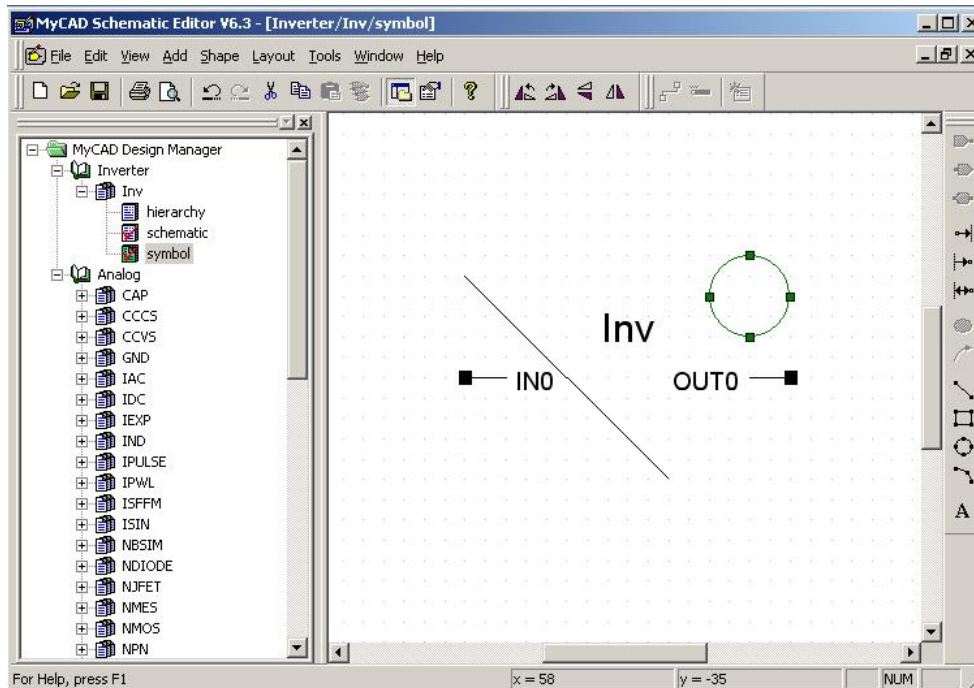
< 그림 2.3.(1)-25 symbol 모양 >

이 모양을 우리가 알고 있는 Inverter symbol 모양으로 바꾼다. (바꾸지 않아도 상관 없다)  
우선 사각형을 삭제하고



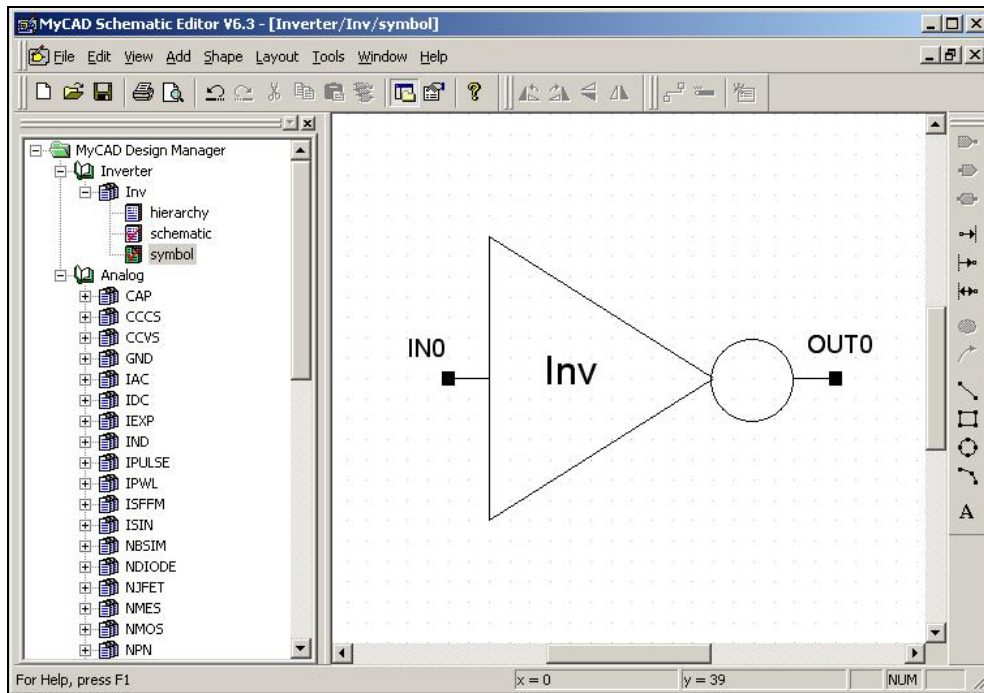
< 그림 2.3.(1)-26 symbol 모양 바꾸기 >

Object Toolbar의 선모양과 원모양을 끌어온다.



< 그림 2.3.(1)-27 symbol 모양 바꾸기 >

Inverter Symbol 모형을 만든다.



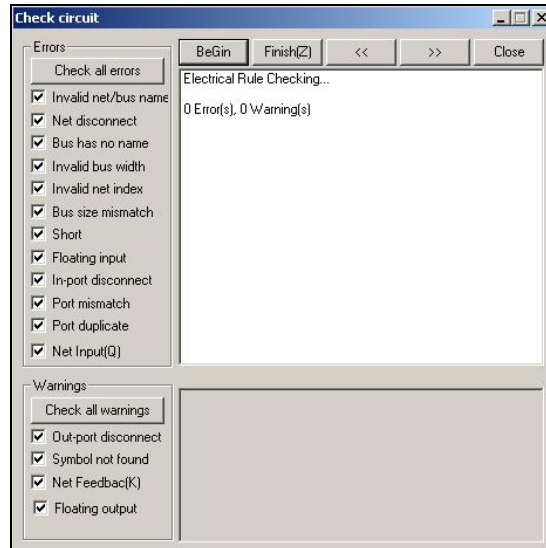
< 그림 2.3.(1)-28 symbol 모양 바꾸기 >

완성한 후 저장한다.

### ③ Schematic 검증

#### i. ERC (Electric Design Rule Check)

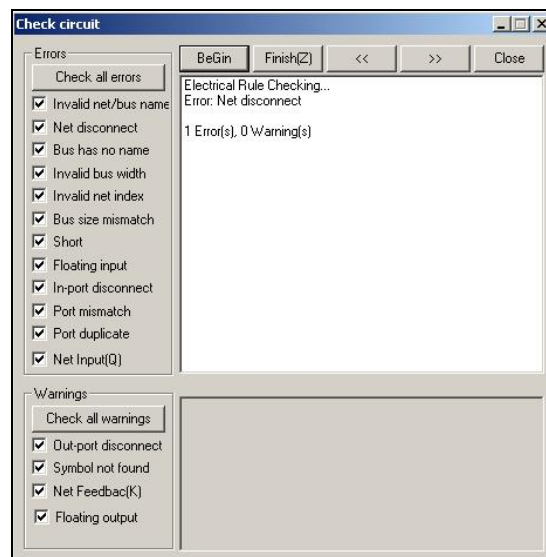
Schematic 창을 열고 Menu에서 도구(Tools) → 회로검증(Check Circuit) 선택한 후 회로검증 창의 오류메뉴의 모든 오류 확인(Check all errors)을 누르고 경고메뉴의 모든 경고 확인(Check all warnings)을 선택하고 검사시작 (BeGin)을 누른다.



< 그림 2.3.(1)-29 Schematic ERC 검증 >

#### ii. Error & Warning

회로에 문제가 발생하면 메시지가 뜬다.



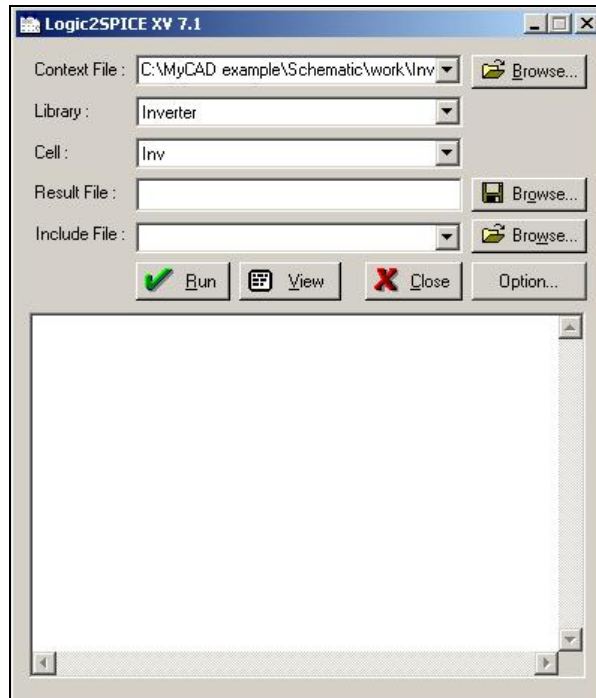
< 그림 2.3.(1)-30 오류메시지 확인 >

오류메시지를 보고 수정한다.

④ Netlist 파일 추출 (Logic2SPICE)

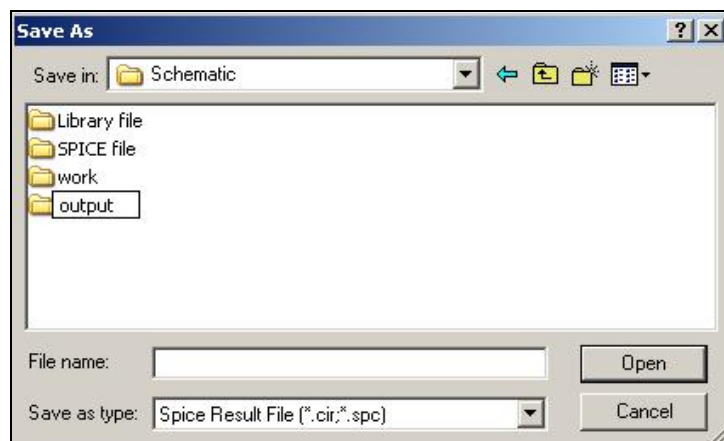
Menu 에서 도구(Tools) → SPICE 네트리스트 내보내기(SPICE Netlist Translator) 선택한다.

i. New Folder



< 그림 2.3.(1)-31 Logic2SPICE 창 >

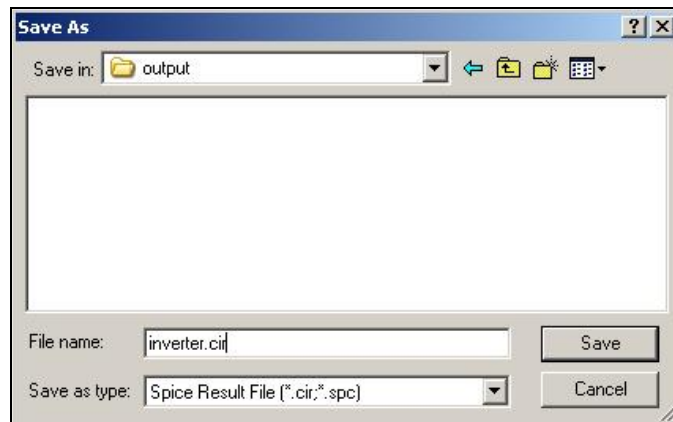
Logic2SPICE창에서 Result File의 오른쪽에 있는 Browse를 선택한다. C:\MyCAD example \Schematic 에 output folder를 만든다.



< 그림 2.3.(1)-32 Schematic Netlist 파일 존재 폴더 만들기 >

ii. New File

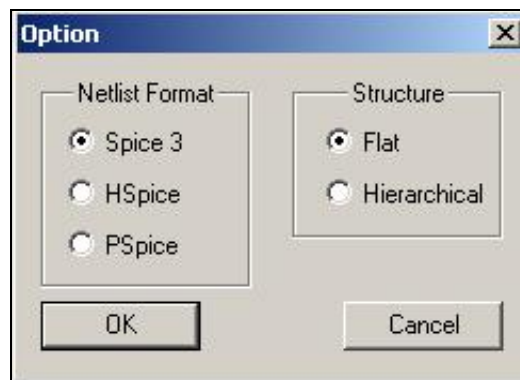
Output folder에 파일이름 Inverter를 만들고 저장(Save)한다.



<그림 2.3.(1)-33 Schematic Netlist 저장 파일 지정 >

iii. Option

Logic2SPICE창의 Option을 선택하면 Netlist Format의 종류 (Spice3, HSpice, PSpice)를 정할 수 있고 Structure (Flat, Hierarchical)를 구분할 수 있다.



< 그림 2.3.(1)-34 Option 설정 >

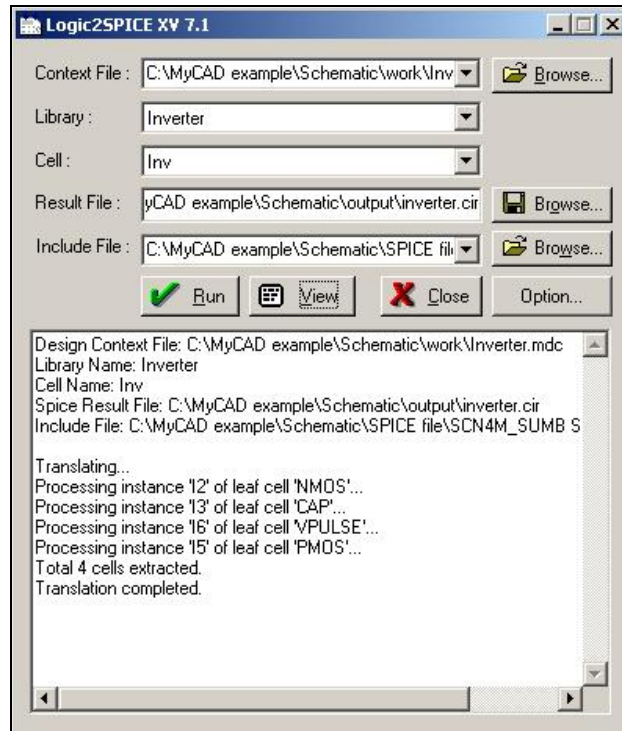
Simulation을 하려면 PMOS와 NMOS의 model이 있어야 한다. PMOS와 NMOS의 전기적인 특성을 나타내는 parameter값을 넣어줌으로써 원하는 결과값을 얻을 수 있다.

iv. Include File 포함

C:\MyCAD example\Schematic\spice file에 있는 SCN4M\_SUMB SPICE BSIM3.txt 파일을 Logic2SPICE 창에 Include File에 포함 시킨다.

v. Netlist 추출

RUN을 하면 PMOS, NMOS model이 포함되어 Netlist가 추출된다.



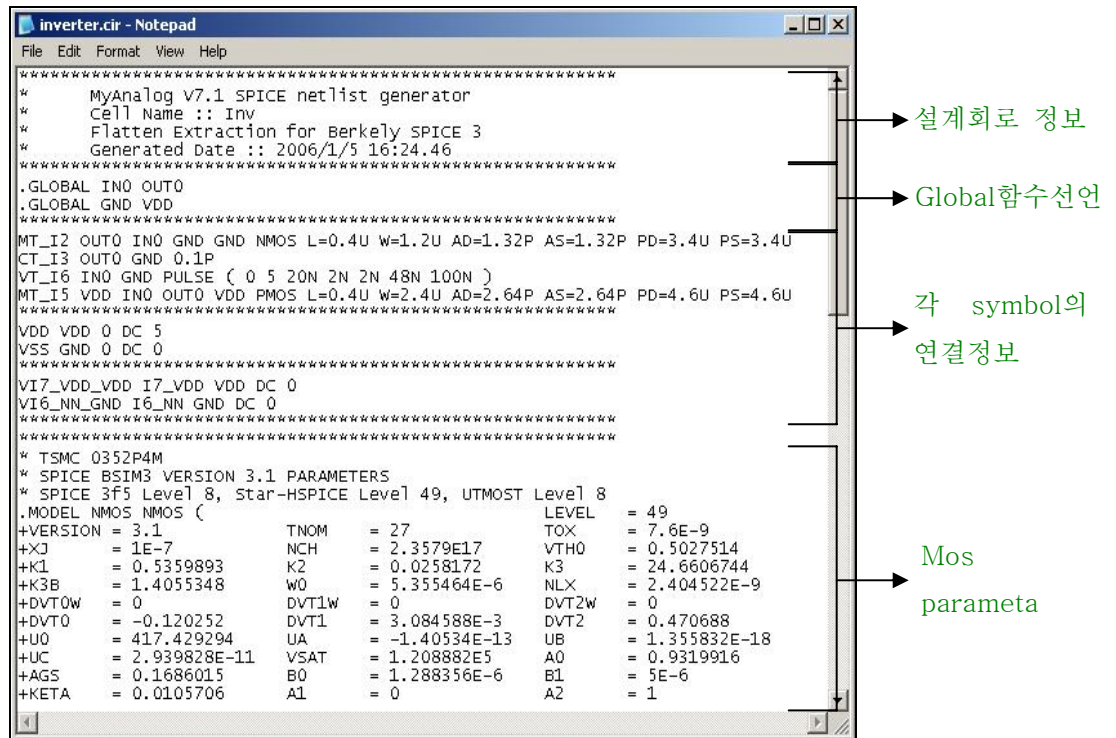
< 그림 2.3.(1)-35 Schematic Netlist 추출 >

Logic2SPICE창의 View를 선택하면 완성된 Inverter.cir파일을 볼 수 있다.

Netlist 추출 시 반드시 Include 파일을 첨부하는 것은 아니다. Include 파일을 첨부하는 이유는 simulation을 실행시키기 위해 필요한 작업일 뿐이다. LVS에서는 include파일을 포함하지 않은 것으로 비교 할 수 있다.



※ Netlist file을 보는 방법은 다음과 같다.



< 그림 2.3.(1)-36 추출된 Schematic Netlist 보기 >

일반적인 연결 순서는 다음과 같다

<인스턴스이름> <+노드><-노드> [모델명]<value> 순으로 연결 노드를 확인할 수 있다

예를 들면 MOS의 경우

Mxxx ND NG NS NB 모델명 < L=Value > <W=Value> <AD=Value> <AS=Value>  
<PD=Value> <PS=Value>

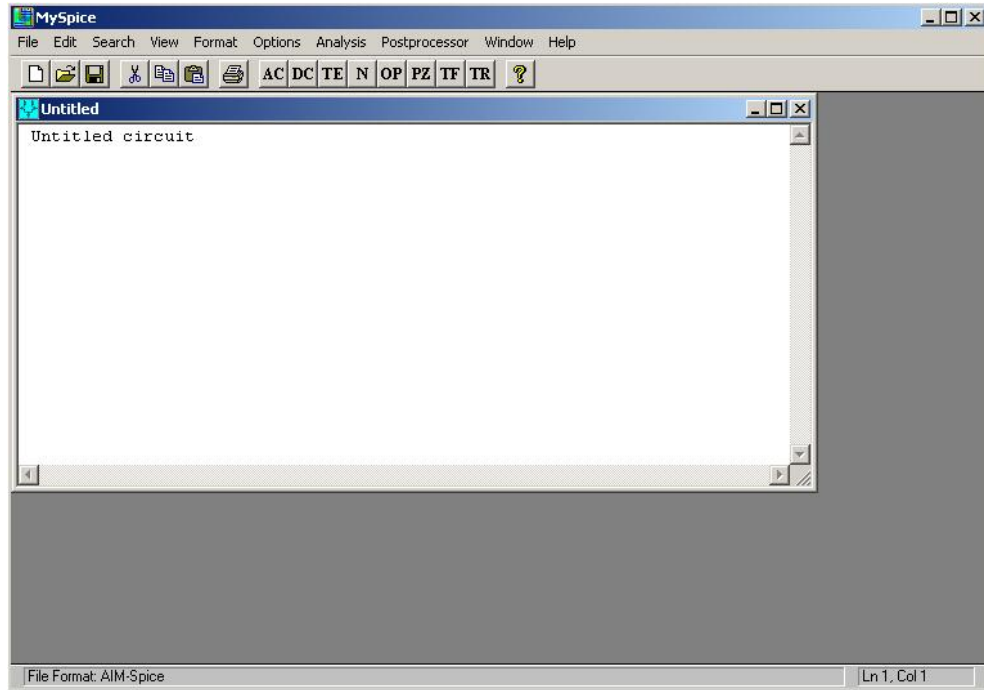
- ND : Drain Node
- NG : Gate Node
- NS : Source Node
- NB : Bulk(Substrate) Node
- MNAME : 지정된 모델명



⑤ Simulation

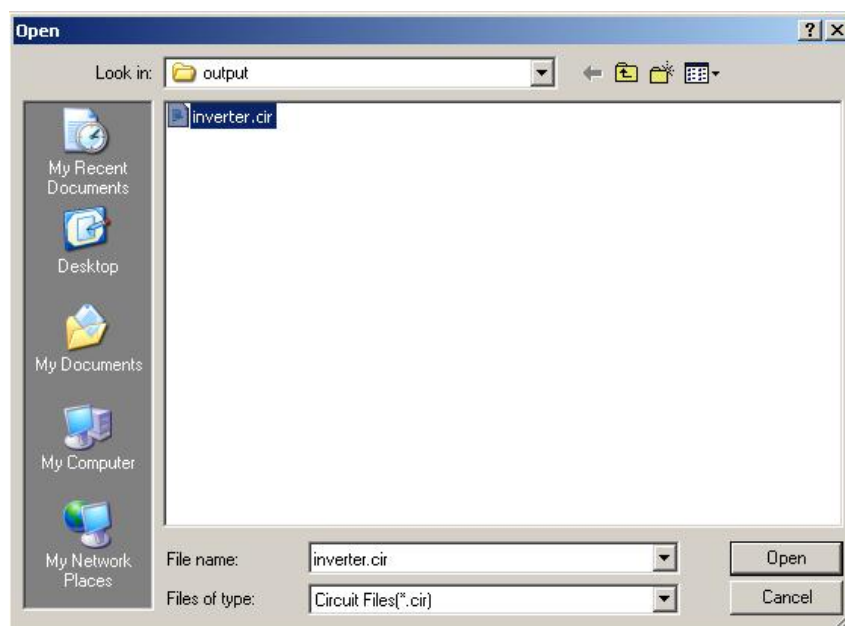
i. MySPICE

MyCAD Pro 2005 → MySPICE를 실행시킨다.

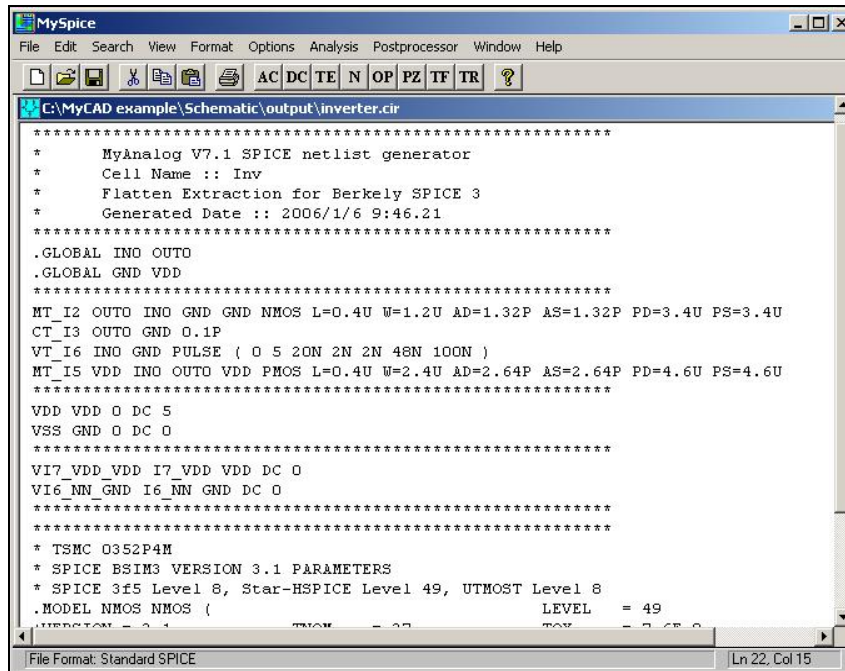


< 그림 2.3.(1)-37 MySPICE 실행 창 >

Menu 에서 File → Open선택 후 C:\MyCAD exampleWSchematic\output의 Inverter.cir 파일을 선택하고 열기(Open)를 누른다.



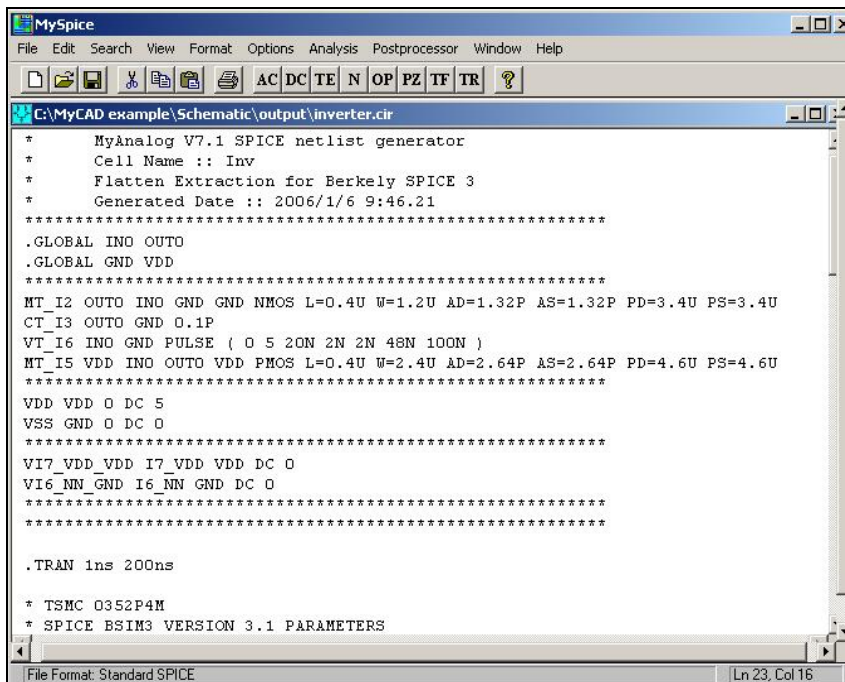
< 그림 2.3.(1)-38 Schematic Netlist File 불러오기 >



< 그림 2.3.(1)-39 불러온 Schematic Netlist 보기 >

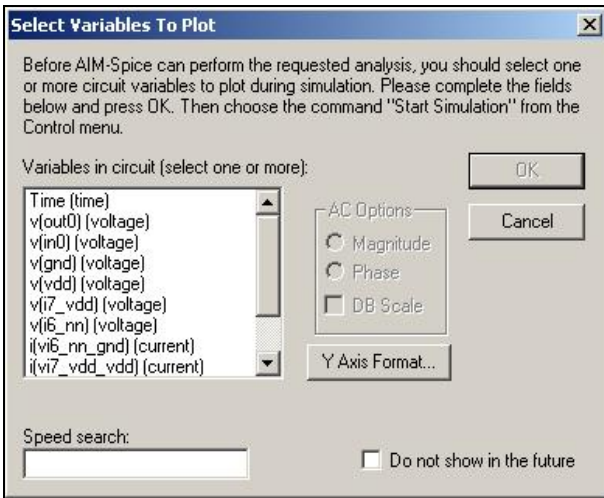
Simulation을 실행시키기 위해서는 PMOS, NMOS model parameter값 위에 시간구간을 정해 주어야 한다. 그림 2.3.(1)-33 에서는 1ns에서 200ns까지 구간을 정해 실행시키기 위해 다음과 같은 내용을 넣어주었다. 구간은 사용자 임의로 변경이 가능하다.

.TRAN 1ns 200ns

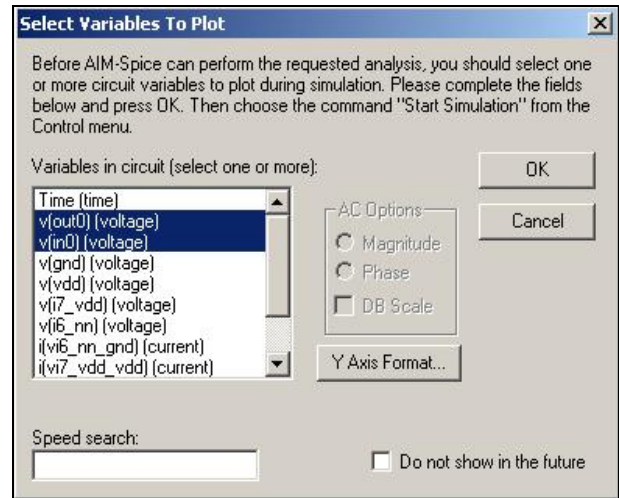


< 그림 2.3.(1)-40 시간 구간 설정 내용추가 >

Menu 에서 Analysis → Run Standard Spice File선택한다.



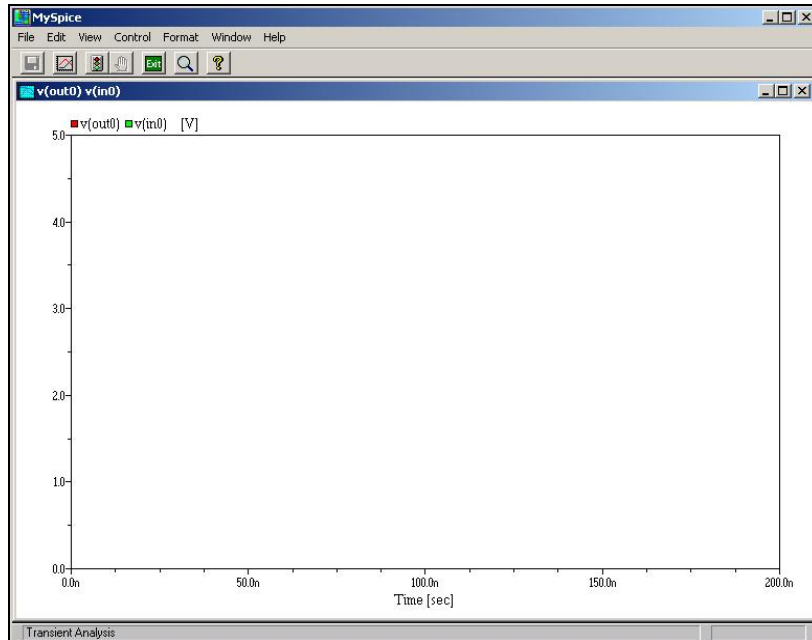
< 그림 2.3.(1)-41 Select Variables To Plot >



< 그림 2.3.(1)-42 v[out0], v[in0]선택 >

Select Variables To Plot창에서 원하는 결과를 선택한다. v[out0][voltage], v[in0][voltage]를 선택하고 OK를 누른다.

아래와 같은 그림에서 Menu 에서 Control → Start Simulation를 선택한다.



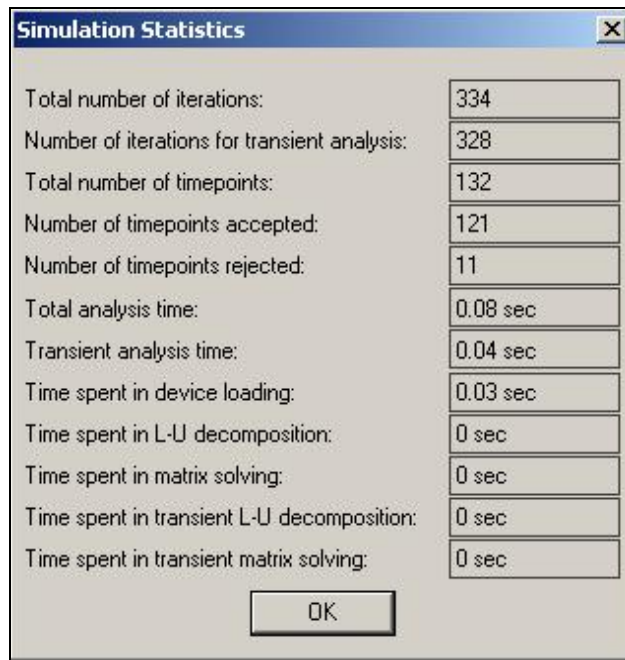
< 그림 2.3.(1)-43 MySPICE 실행 창 >

위의 그림에서 그림 2.3.(1)-36 그림으로 화면전환을 하고 싶을 시에는 Menu icon중에서 Exit버

튼을 클릭하면 된다.

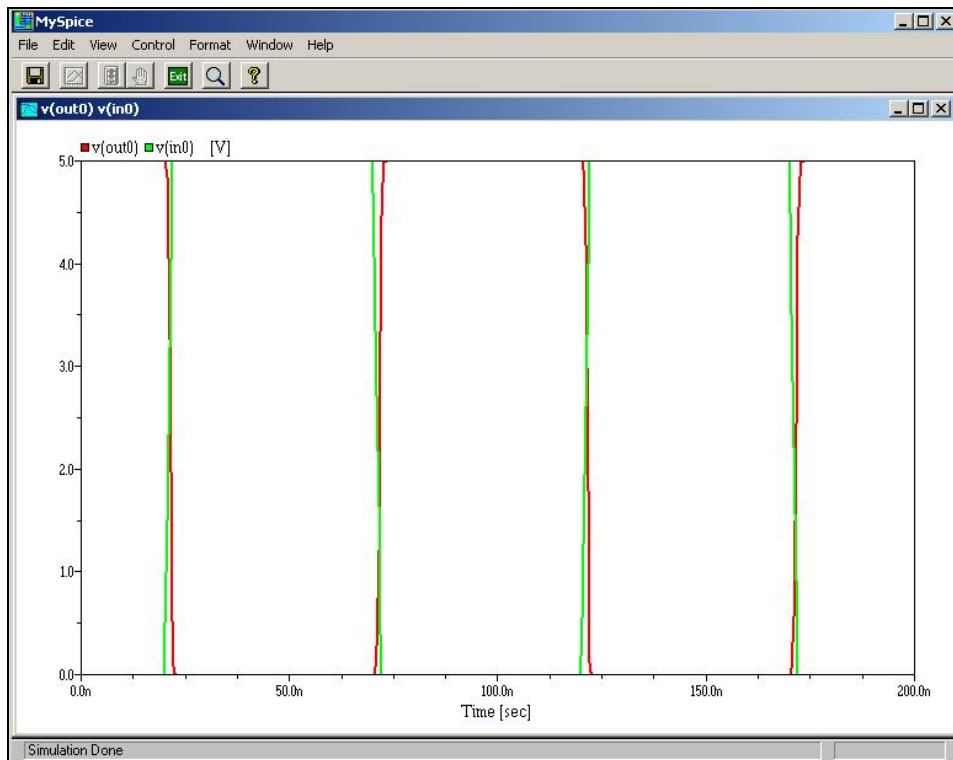


Simulation Statistics창에서 상태를 확인하고 OK를 누른다.



< 그림 2.3.(1)-44 Simulation Statistics >

ii. 결과 확인

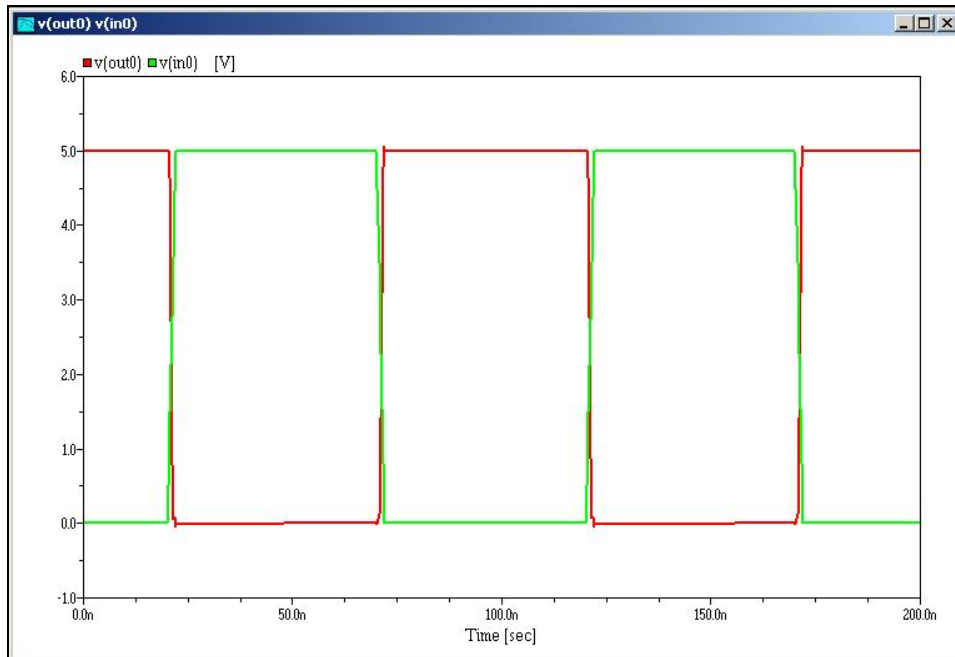


< 그림 2.3.(1)-45 Simulation 결과 확인 >



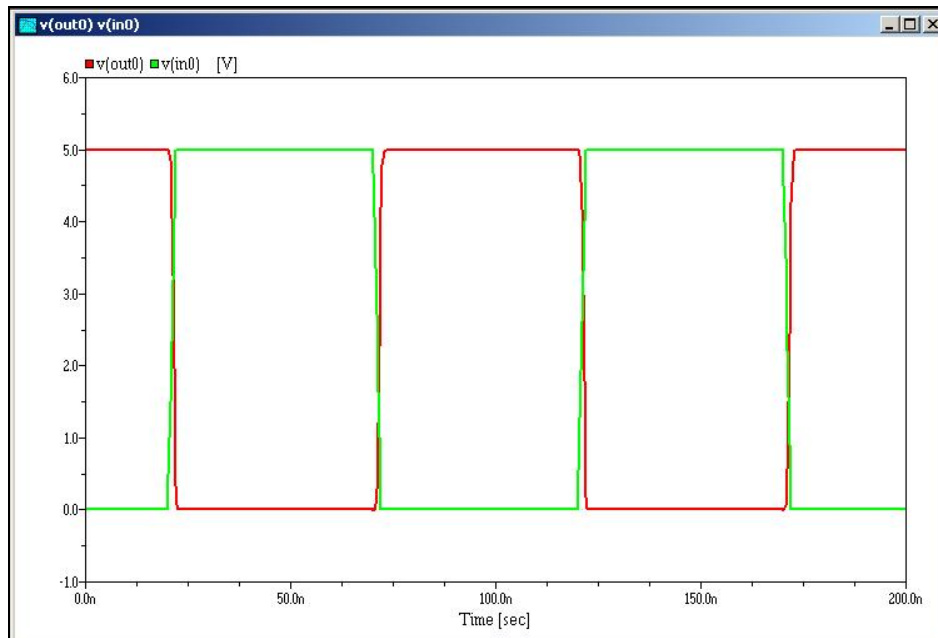
iii. CAP변화에 따른 결과

- Cap = 0



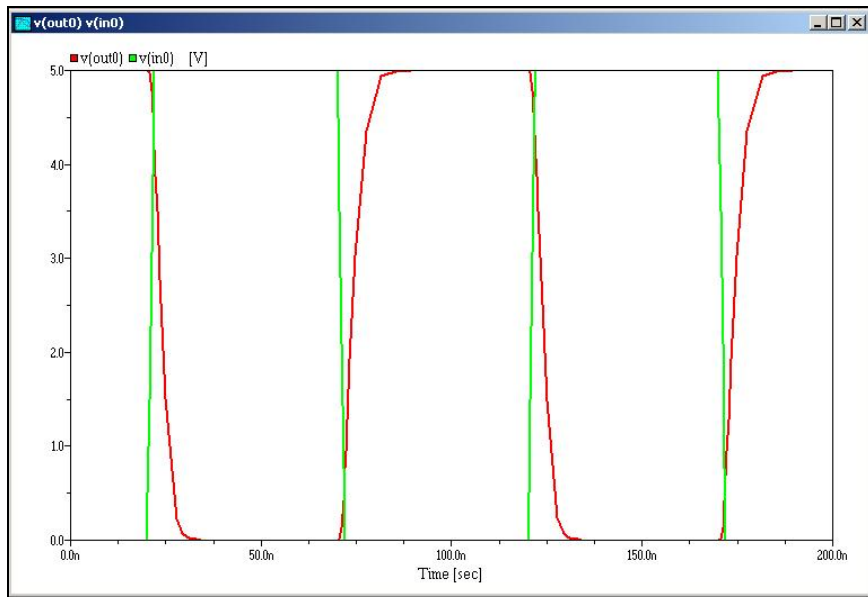
< 그림 2.3.(1)-47 Cap = 0일 때 결과 >

- Cap = 0.1p



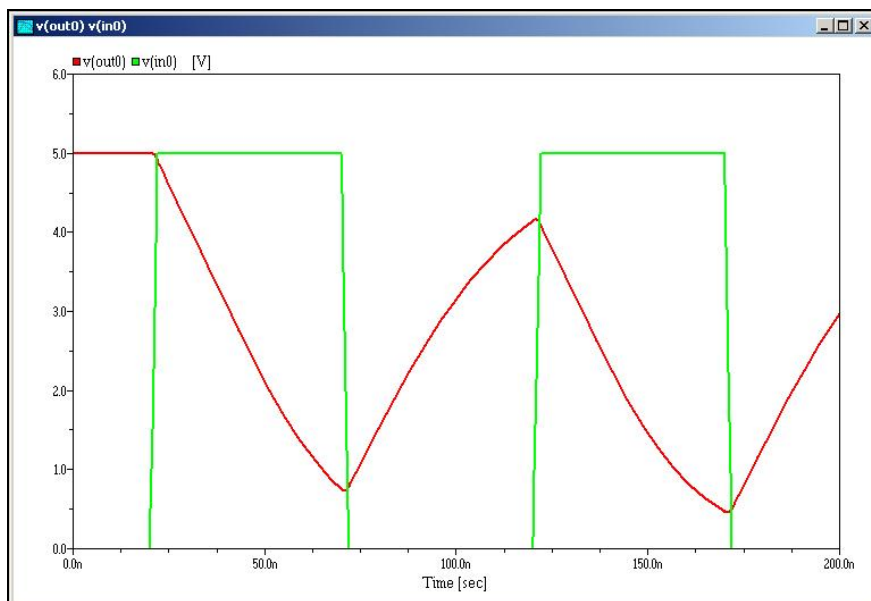
< 그림 2.3.(1)-48 Cap = 0.1p일 때 결과 >

- Cap = 1p



< 그림 2.3.(1)-49 Cap = 1p일 때 결과 >

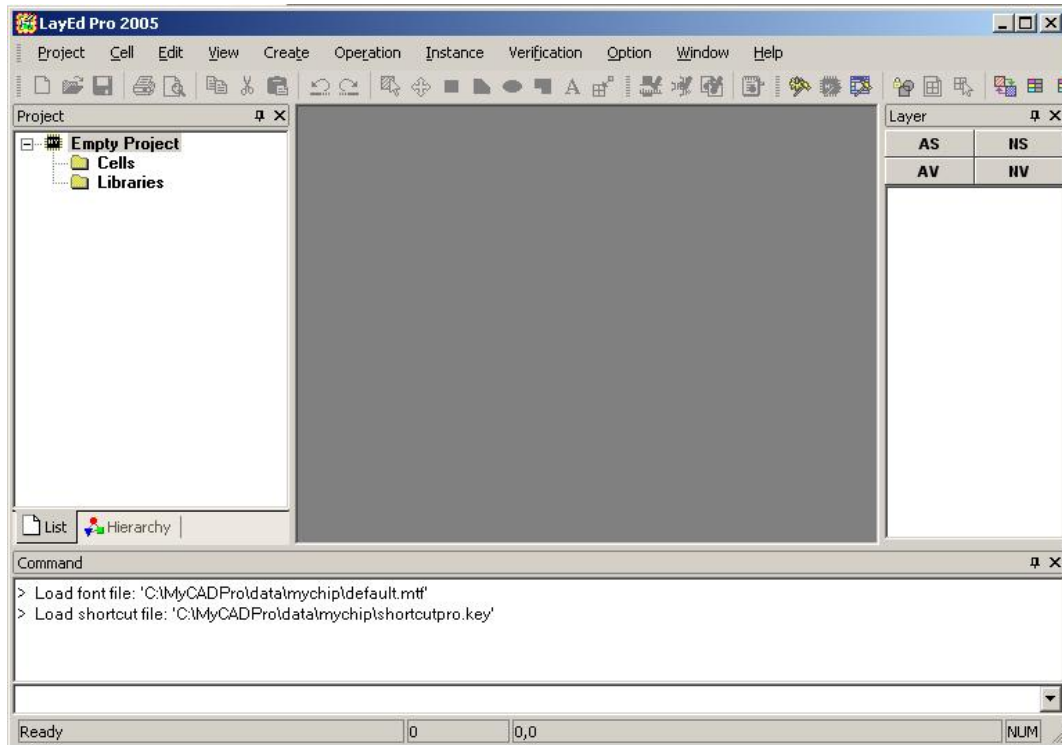
- Cap = 10p



< 그림 2.3.(1)-50 Cap = 10p일 때 결과 >

## (2) Inverter Layout 설계

시작 → 프로그램 → MyCAD Pro2005 → LayEd Pro (Layout Editor)를 실행 시킨다.



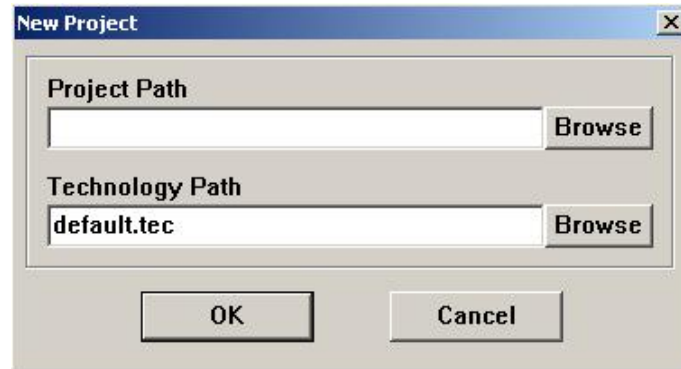
< 그림 2.3.(2)-1 LayEd Pro 실행 창 >



① Project 생성

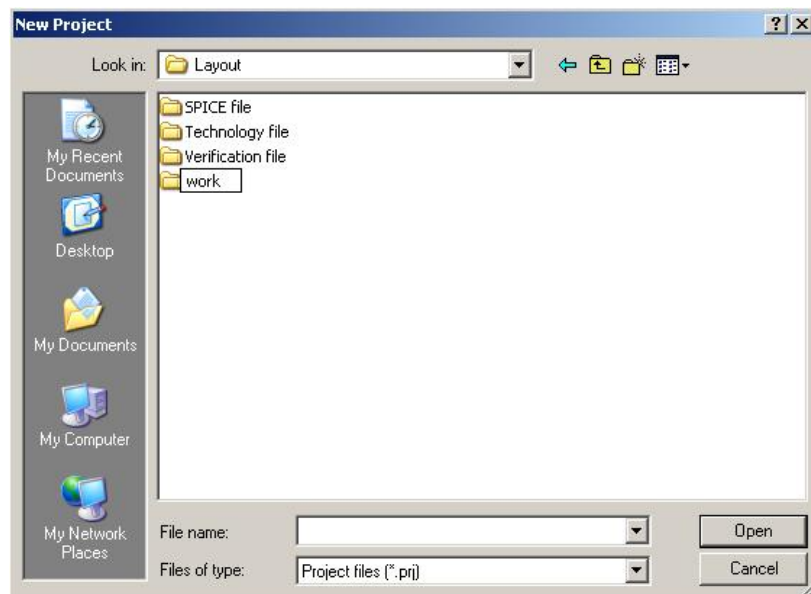
i. New Folder

Menu 에서 Project → New Project를 선택한다.



< 그림 2.3.(2)-2 Project 생성 경로 설정 >

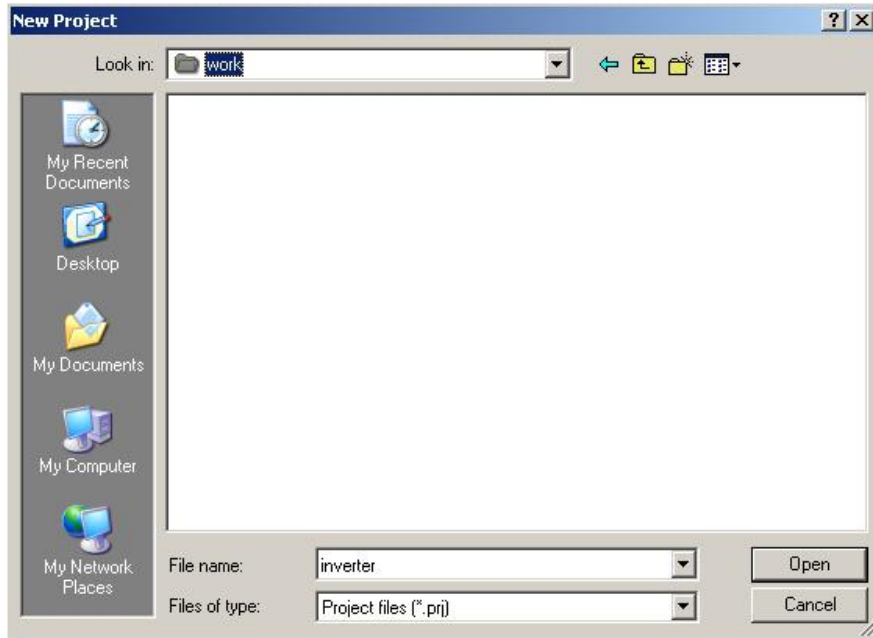
New Project창에서 Project Path의 Browse를 선택하고 C:\MyCAD example\Layout에 work Folder를 만든다.



< 그림 2.3.(2)-3 Project 생성 폴더 설정 >

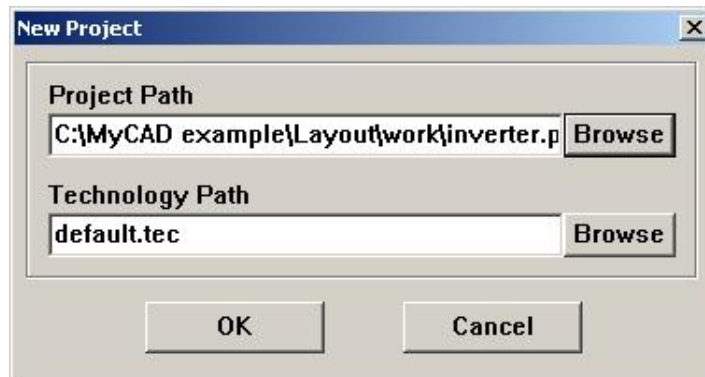
ii. New Project & Technology File 변경

Work Folder에 파일이름에 inverter를 쓰고 열기(Open)를 누른다. 확장자명( \*.prj )는 자동으로 생성된다.



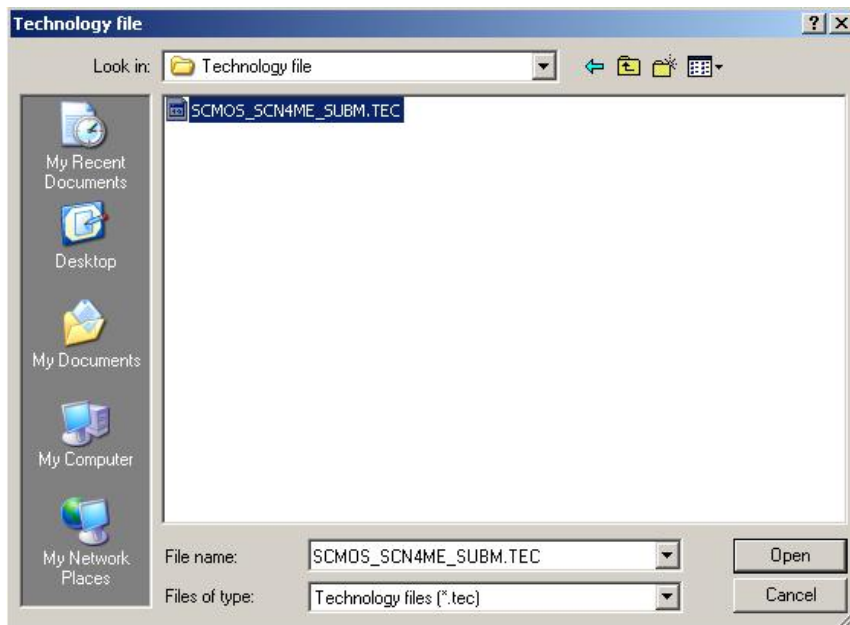
< 그림 2.3.(2)-4 Project 실행 파일 설정 >

다시 New Project창의 Technology Path의 Browse를 선택한다.



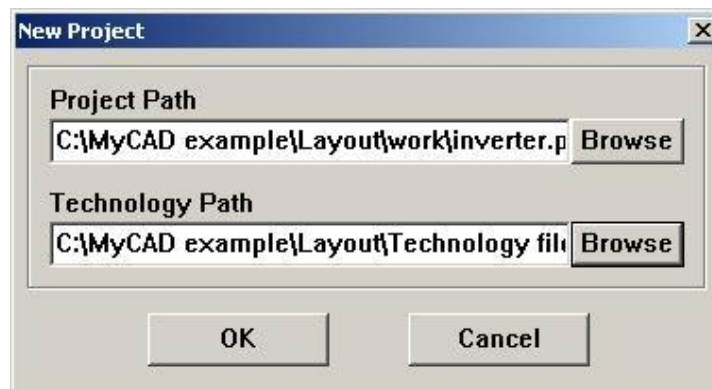
< 그림 2.3.(2)-5 Technology Path 설정 >

C:\MyCAD example\Layout\technology file\SCMOS\_SCN4ME\_SUBM.TEC를 선택하고 열기 (Open)를 누른다. Default.tec파일에서 사용자가 편집해서 사용해도 된다.



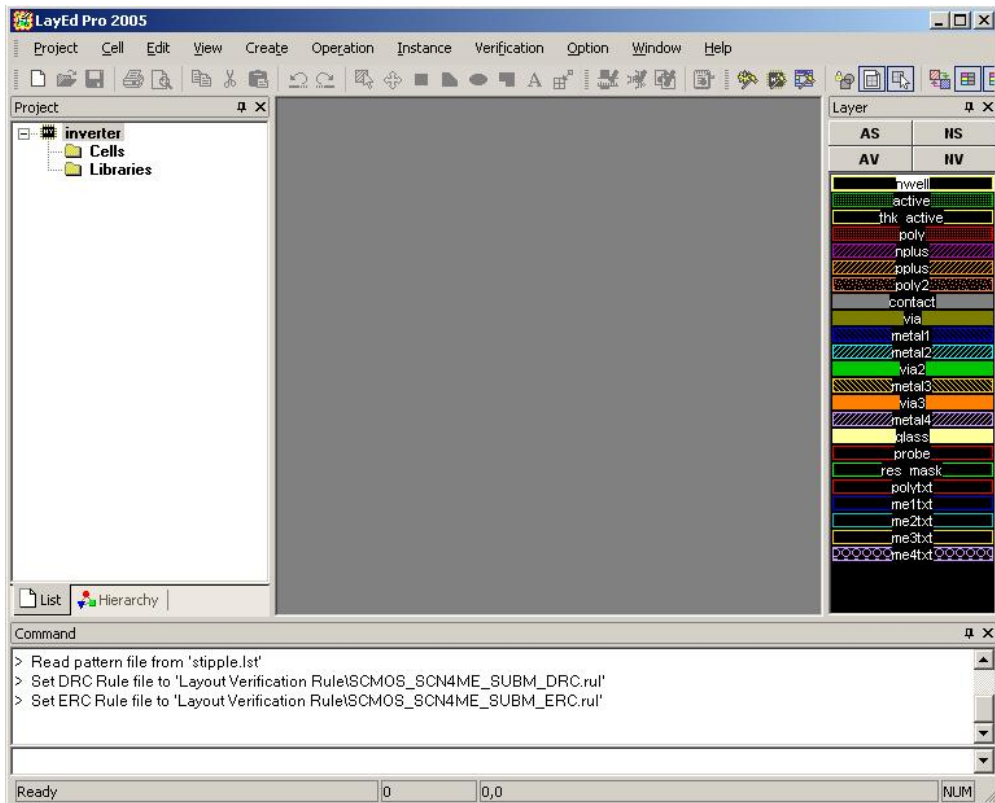
< 그림 2.3.(2)-6 Technology Path 설정 >

New Project창에 아래 그림과 같이 입력이 완료되면 OK를 누른다.



< 그림 2.3.(2)-7 New Project Path 설정 >

LayEd Pro창의 Project창에 Inverter Project가 생기고, Layer창에 Layer가 생긴 것을 볼 수 있다.



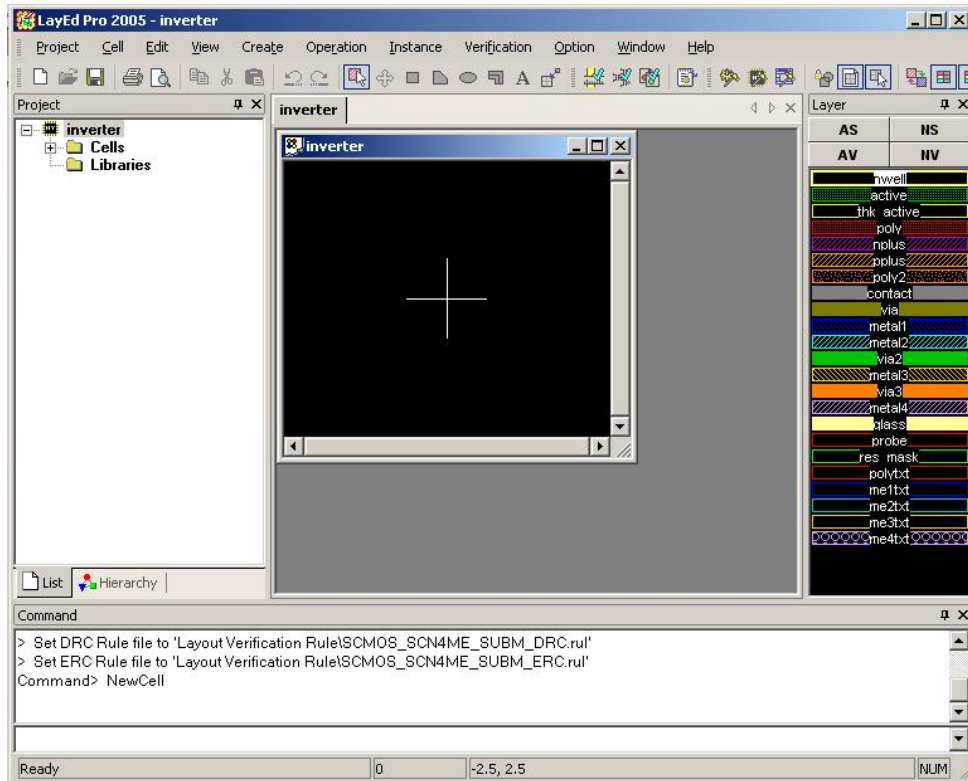
< 그림 2.3.(2)-8 Inverter Project 생성 화면 >

### iii. New Cell

Menu 에서 Cell → New Cell선택한 후 New Cell창에서 Cell Name에 Inverter 쓰고 OK를 누른다.



< 그림 2.3.(2)-9 Cell 이름 설정 >



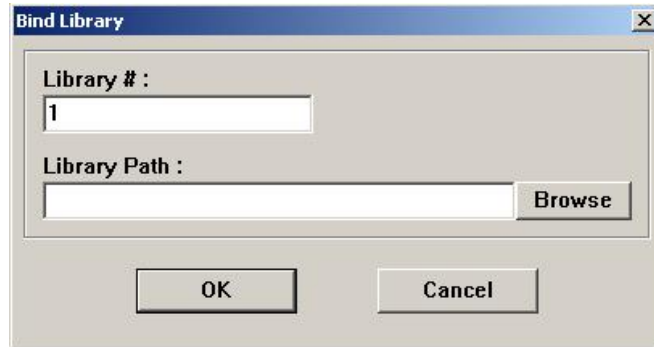
< 그림 2.3.(2)-10 Cell 생성 창 >

그림 2.3.(2)-10 화면까지 완성됐으면 Layout설계준비가 끝났다. 설계를 시작하기 전 Menu 에서 option → Project option에서 Grid (Layout창의 격자 사이의 간격)설정이 얼마로 되어있는지 확인한다.(본문에서 사용하는 Back-Ground Color는 흰색으로 바꿔 사용한 것이다. 사용자는 default값을 사용하면 된다.)

② Bind Library

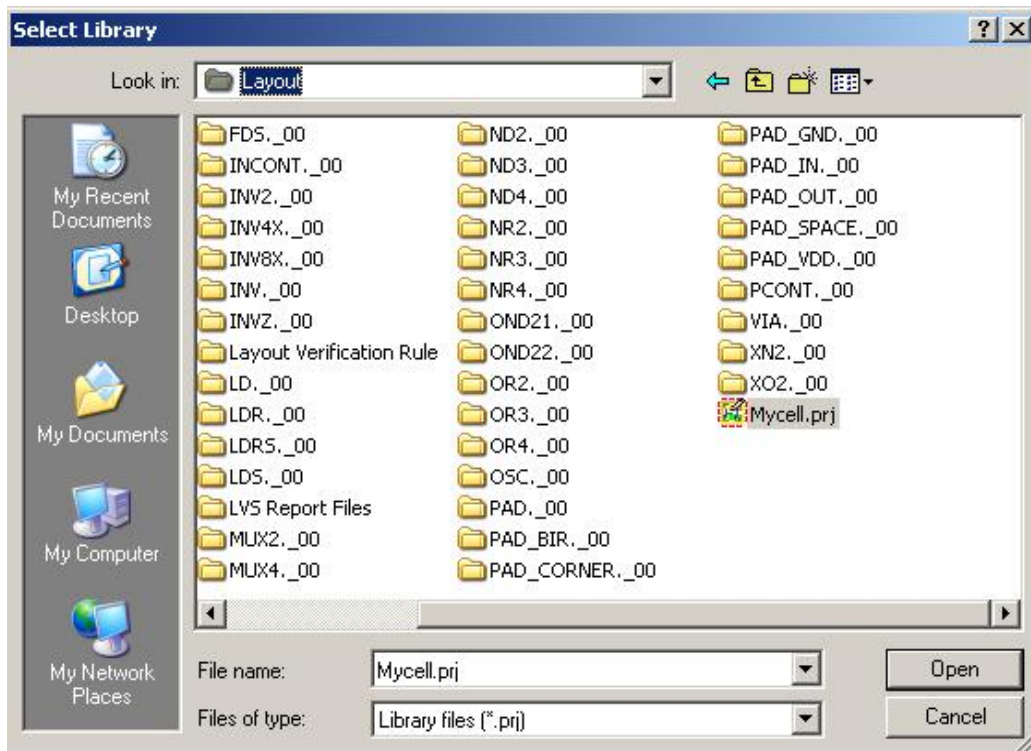
Inverter 예제를 그리기 위해 참조할 수 있는 Library를 불러온다.

Menu에서 Project → Bind Library를 선택한 후 Bind Library창에서 Browse를 선택한다.



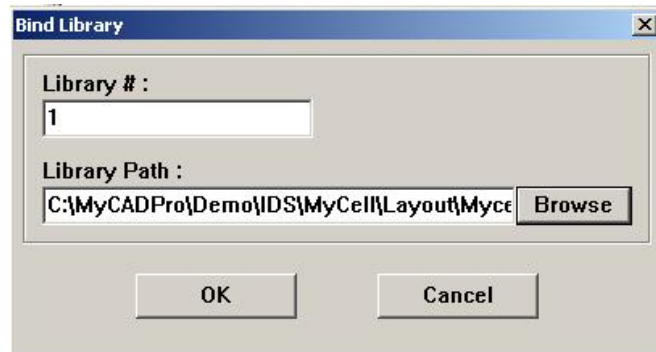
< 그림 2.3.(2)-11 Bind Library >

Select Library 창에서 C:\MyCADPro\Demo\IDS\MyCell\Layout에 있는 Mycell.prj를 선택하여 열기(Open)를 누른다.



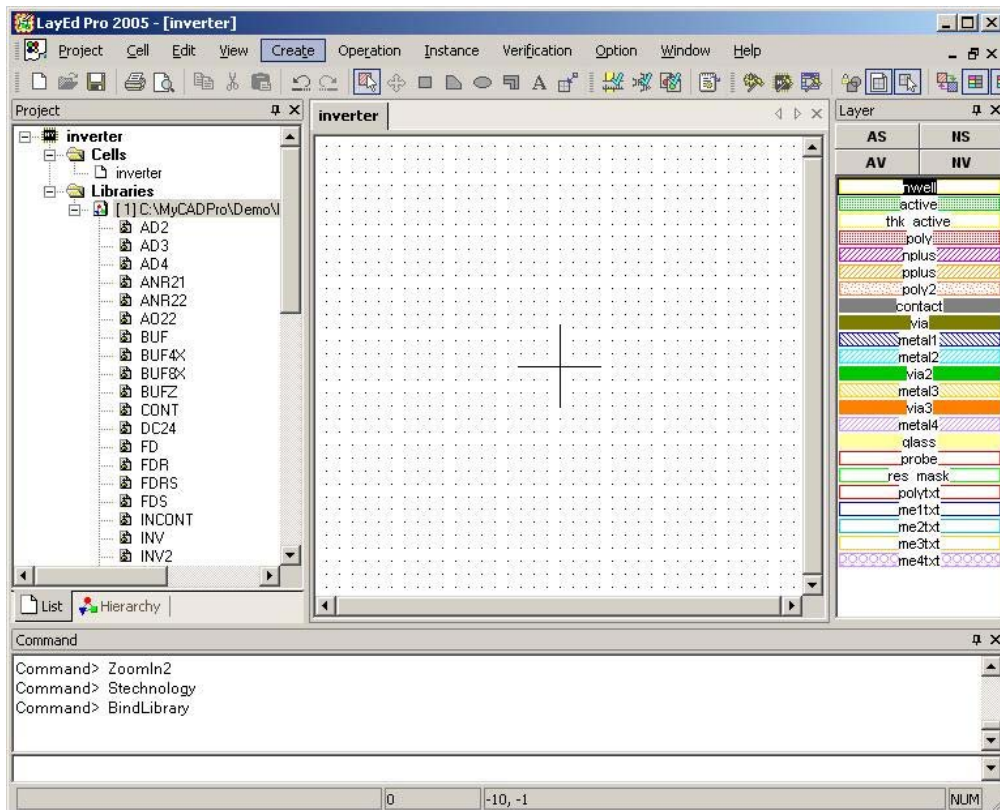
< 그림 2.3.(2)-12 Mycell Project 경로 >

Bind Library창에 아래 그림과 같이 입력이 완료되면 OK를 누른다.



< 그림 2.3.(2)-13 Bin Library Path >

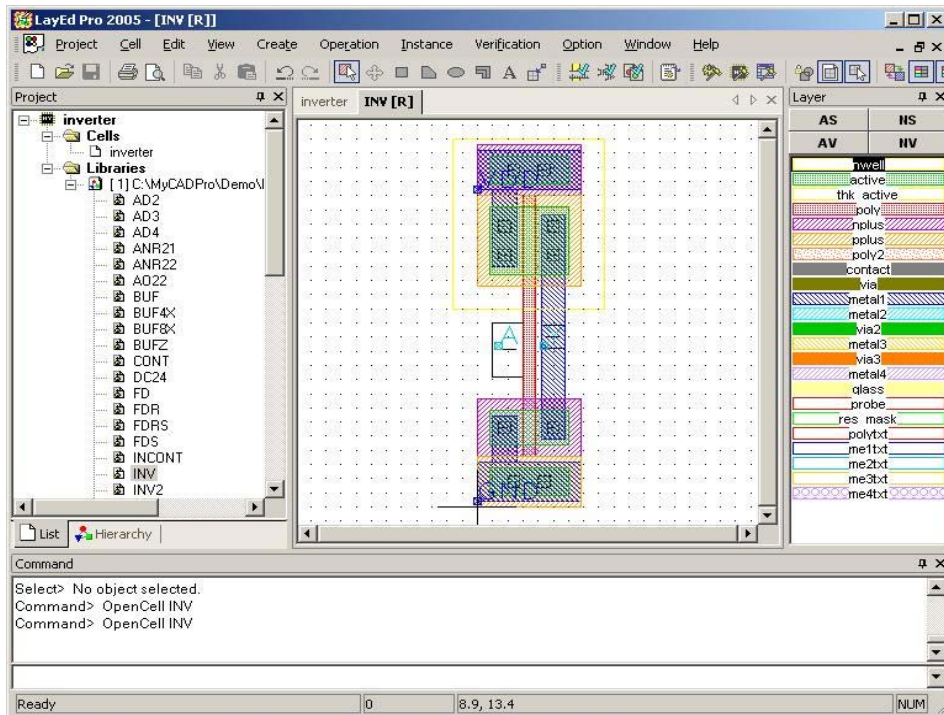
Project창에 Library가 추가 된다.



< 그림 2.3.(2)-14 MyCell Project 창 >

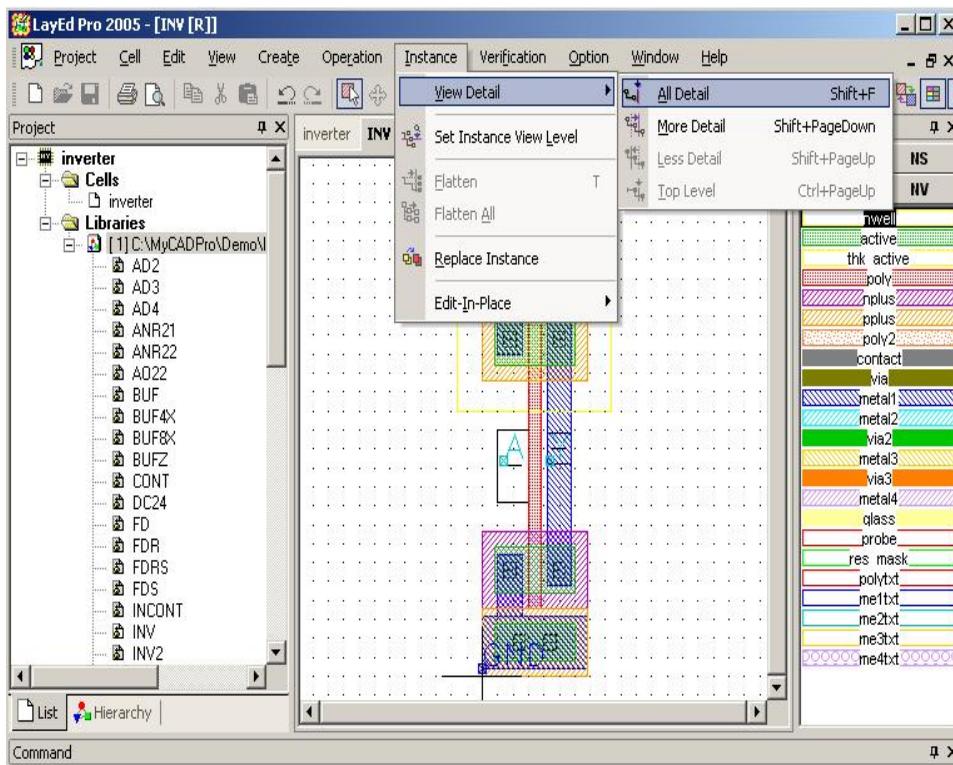


INV파일을 더블 클릭해서 inverter예제를 볼 수 있다.



< 그림 2.3.(2)-15 Mycell Project 에서 INV 파일 확인 >

Menu에서 Instance → View Detail → All Detail을 선택하면 외곽선만 표시 되어있던 것들도 볼 수 있게 한다.



< 그림 2.3.(2)-16 Instance에 대한 view Detail >



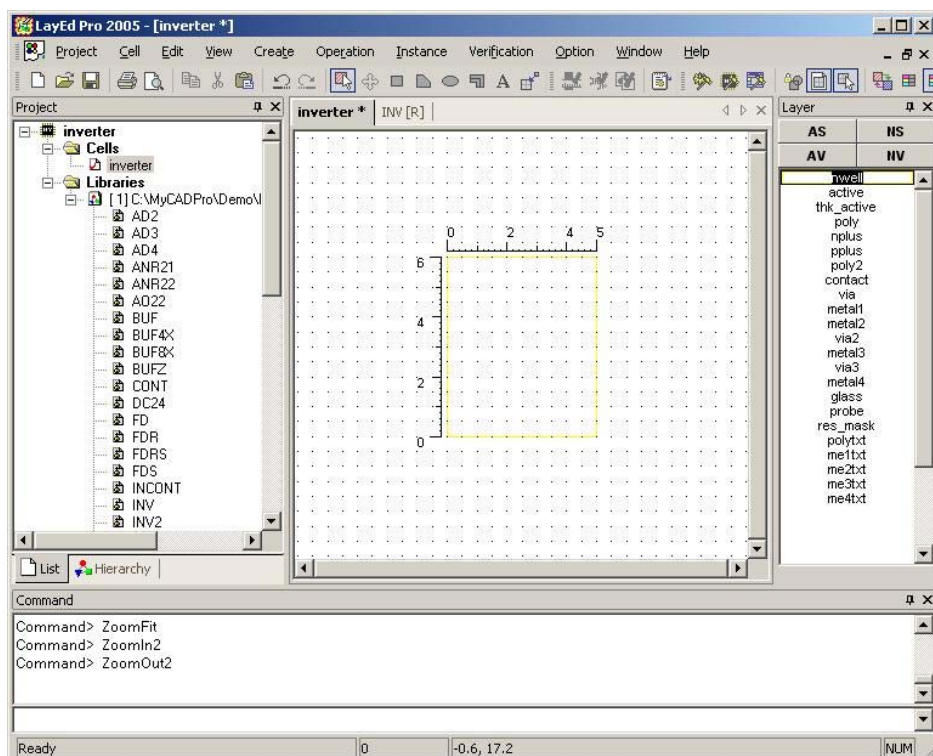
읽기 전용으로 불러온 파일이기 때문에 수정은 할 수 없다.

### ③ Layout 설계

Schematic회로를 보고 Inverter Layout을 설계한다. 모든 그림은 설계 규칙에 맞게 그려야 한다. 주어진 그림의 크기와 간격을 참고 한다. 직접 그려서 설계하는 방법 말고 Command창에 명령어를 사용해서 설계하는 방법도 있다.(명령어를 사용하면 Macro나 VBS를 불러와서 설계할 수도 있다.) Menu 에서 View → Ruler → Draw Ruler를 선택하여 길이를 잴다.

#### i. Nwell 그리기

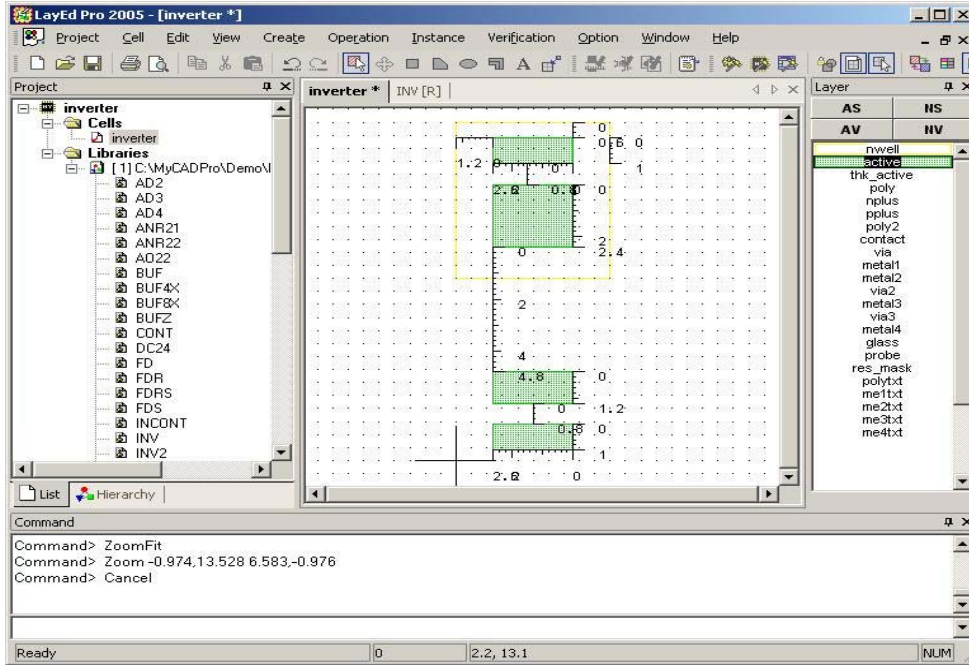
Project창에서 Inverter Cell을 더블 클릭하여 inverter화면으로 전환되면 Layer Panel의 nwell 을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-17과 같이 그린다.



< 그림 2.3.(2)-17 Nwell 그리기 >

ii. Active 그리기

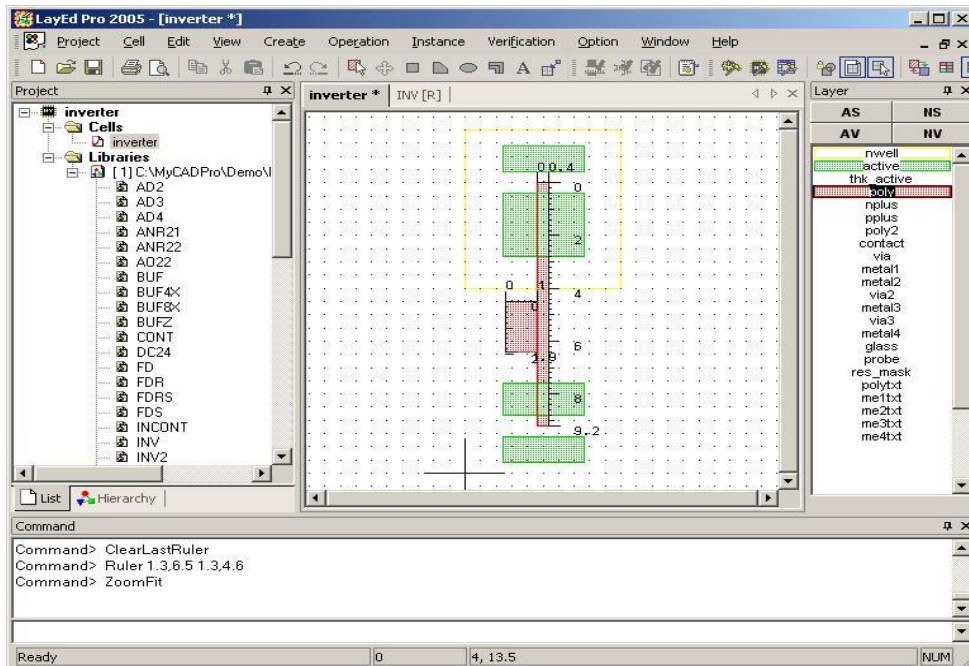
Layer Panel의 active를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-18 과 같이 그린다.



< 그림 2.3.(2)-18 Active 그리기 >

iii. Poly 그리기

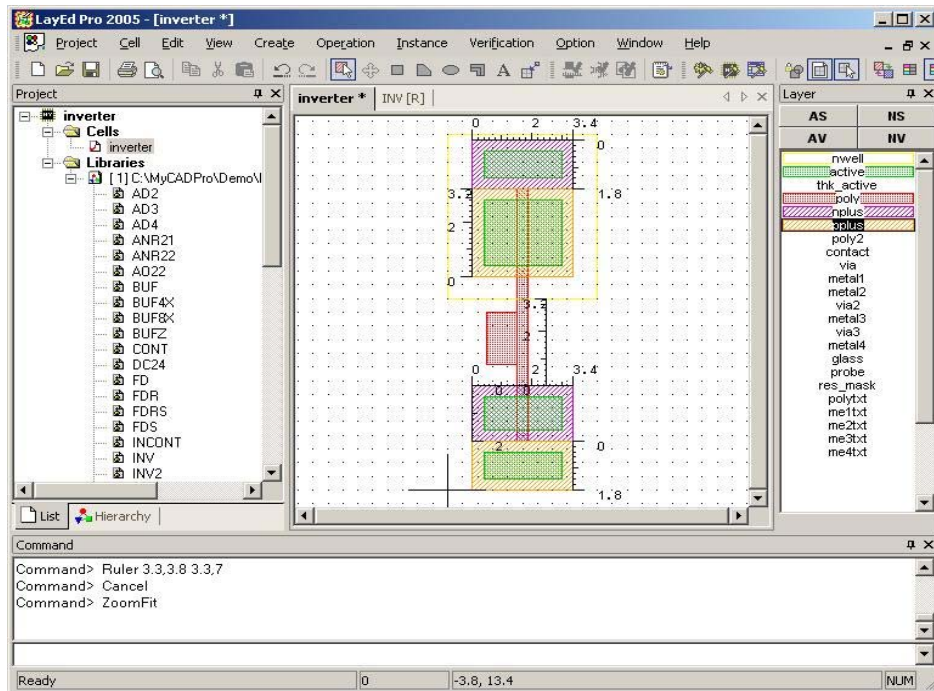
Layer Panel의 poly를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-19과 같이 그린다.



< 그림 2.3.(2)-19 Poly 그리기 >

iv. Npuls, Ppuls 그리기

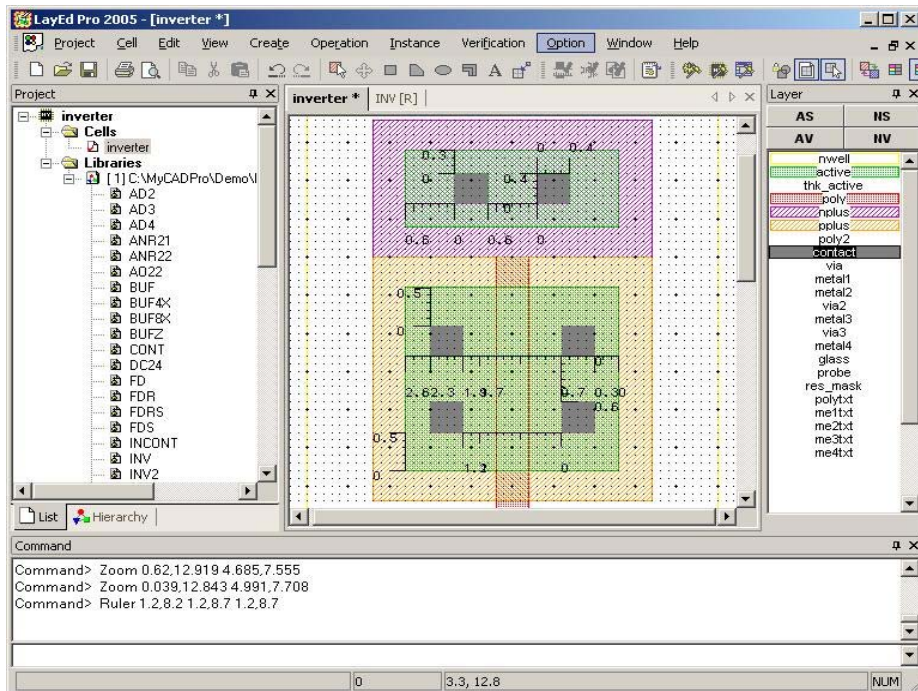
Layer Panel의 Npuls, Ppuls를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-20과 같이 그린다.



< 그림 2.3.(2)-20 Nplus, Pplus 그리기 >

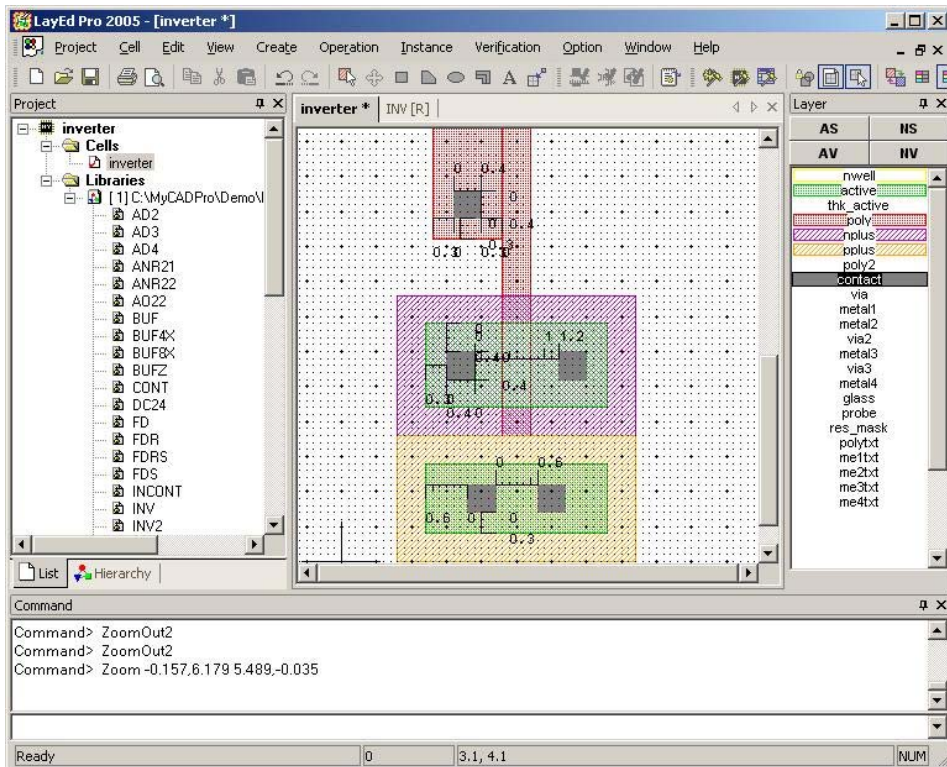
v. Contact 그리기

Layer Panel의 Contact을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-21, 그림 2.3.(2)-22과 같이 그린다.



< 그림 2.3.(2)-21 Contact 그리기 >

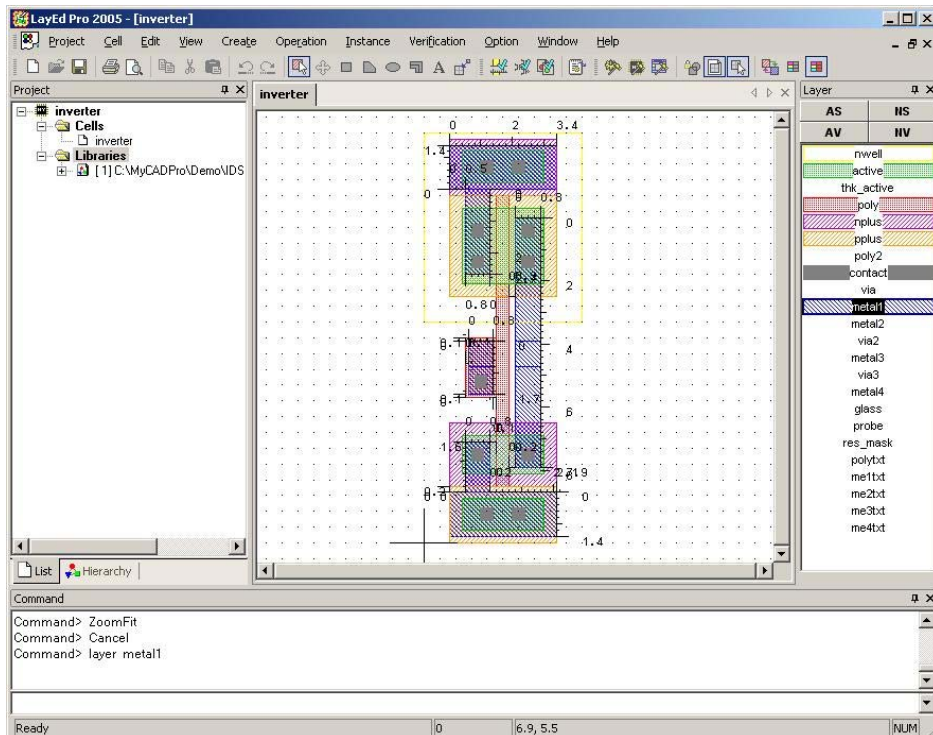




< 그림 2.3.(2)-22 Contact 그리기 >

vi. Metal1 그리기

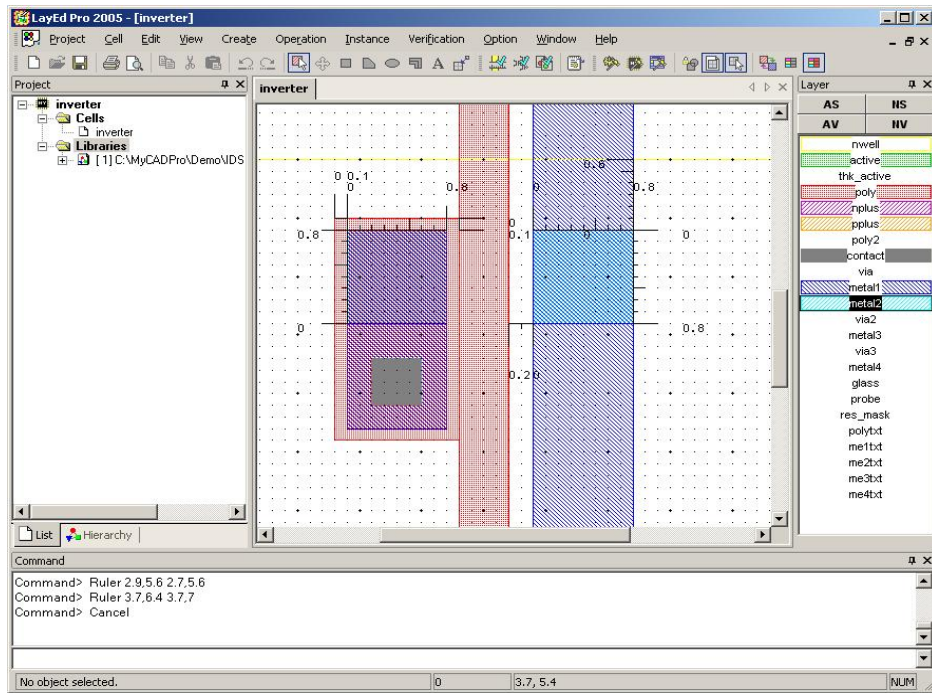
Layer Panel의 Metal1을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-23과 같이 그린다.



< 그림 2.3.(2)-23 Metal 1 그리기 >

vii. Metal2 그리기

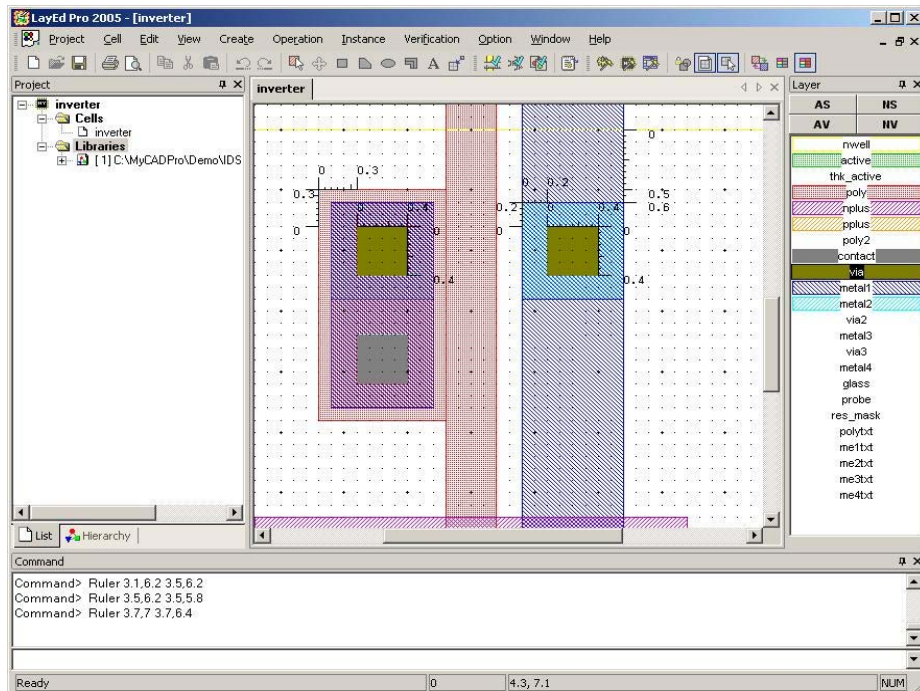
Layer Panel의 Metal2을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-24과 같이 그린다.



< 그림 2.3.(2)-24 Metal 2 그리기 >

viii. Via 그리기

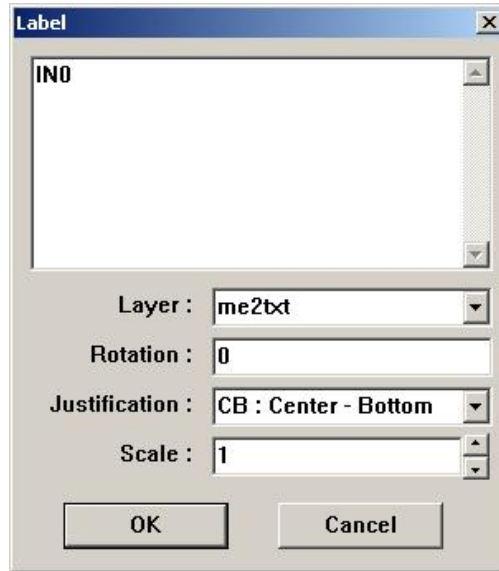
Layer Panel의 Via를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-25과 같이 그린다.



< 그림 2.3.(2)-25 Via 그리기 >

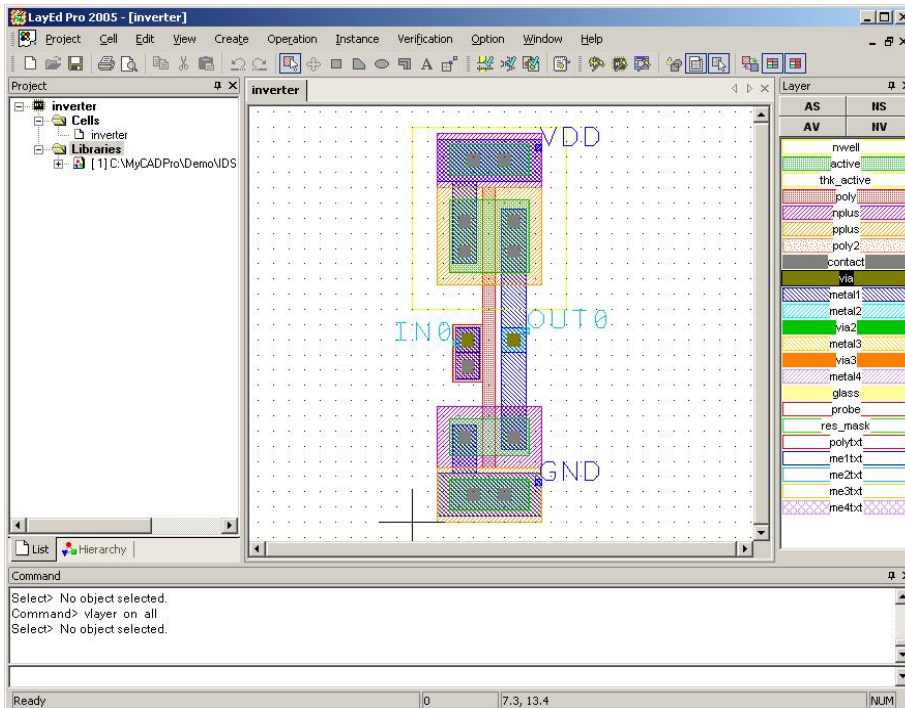
ix. Metal text 그리기

Layer Panel의 Me1txt를 선택한 후 Toolbar의 A로 표시된 Label을 선택한 후 Label창에 IN0을 쓰고 Justification의 스크롤화살표를 눌러 text의 위치를 정한다.



< 그림 2.3.(2)-26 Metal text 그리기 >

IN0, OUT0는 Layer를 me2txt로 VDD, GND는 me1txt로 선택해서 그림 2.3.(2)-27과 같이 만든다.



< 그림 2.3.(2)-27 Metal text 그리기 >

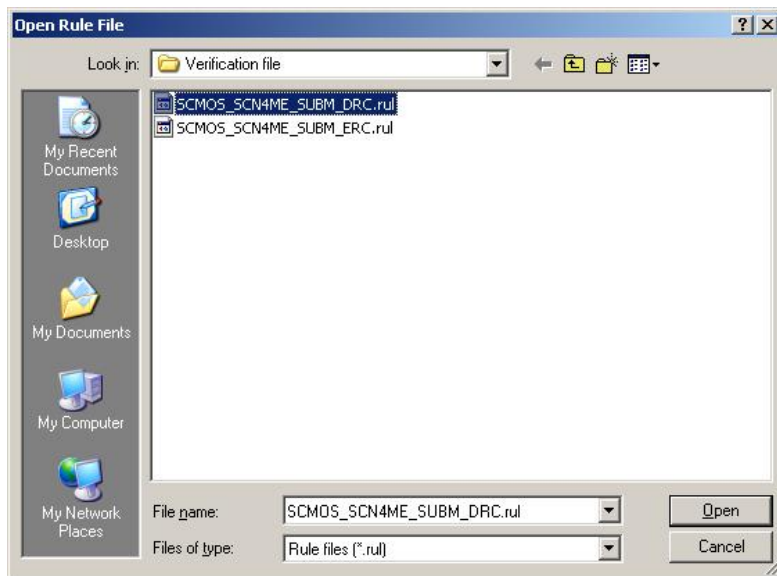
완료 후 저장하면 Layout 설계가 완성된다.



④ Layout 검증

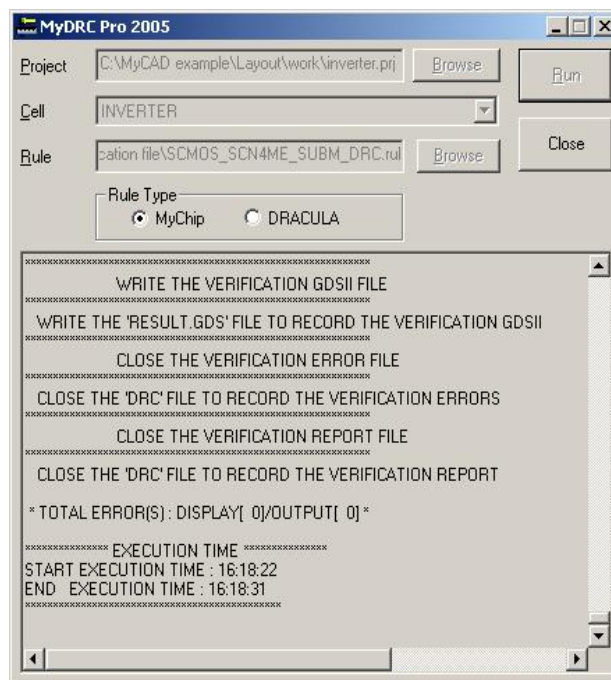
i. DRC (Design Rule Check) - MyDRC Pro

Menu 에서 Verification → DRC를 선택한다. MyDRC Pro창의 Rule 오른쪽의 Browse를 열어 C:\MyCAD실습\Layout\Verification file의 SCMOS\_SCN4ME\_SUBM\_DRC.rul을 선택한다.



< 그림 2.3.(2)-28 DRC Rule 파일 첨부 >

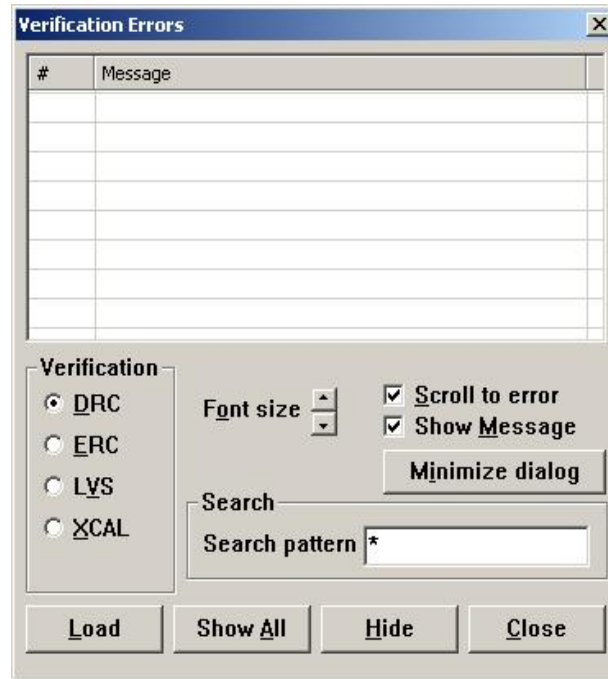
MyDRC Pro창의 Rule에 그림 2.3.(2)-28과 같이 DRC.rul파일이 추가 되면 Run을 누른다.



< 그림 2.3.(2)-29 Design Rule Check 실행 >

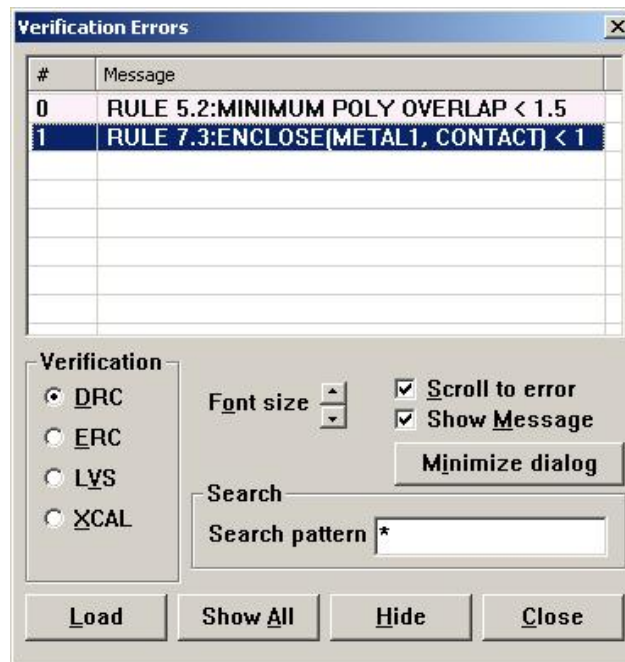


그림 2.3.(2)-29 화면이 나오면 Close를 누른다. 그러면 Verification Errors창이 뜬다.

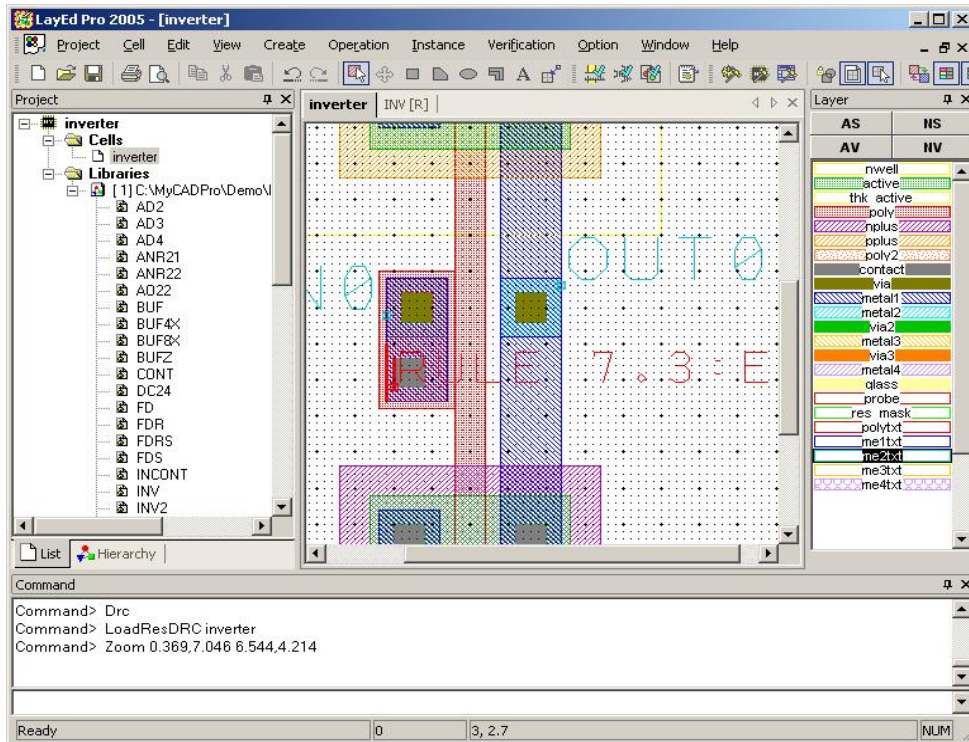


< 그림 2.3.(2)-30 Verification Errors 창 >

Error가 나오면 Error를 더블 클릭하여 Layout상의 Error발생 지점으로 화면이 이동하면 설계 규칙에 맞게 수정한다.



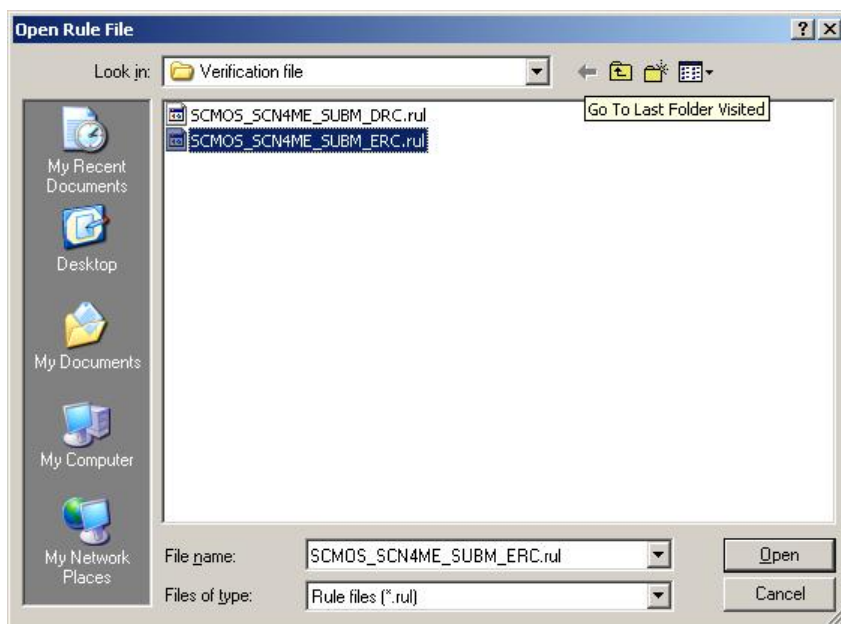
< 그림 2.3.(2)-31 Verification Errors 창에서 Errors 메시지 확인 >



< 그림 2.3.(2)-32 Error 메시지에 의한 Error 발생 지점으로의 이동 >

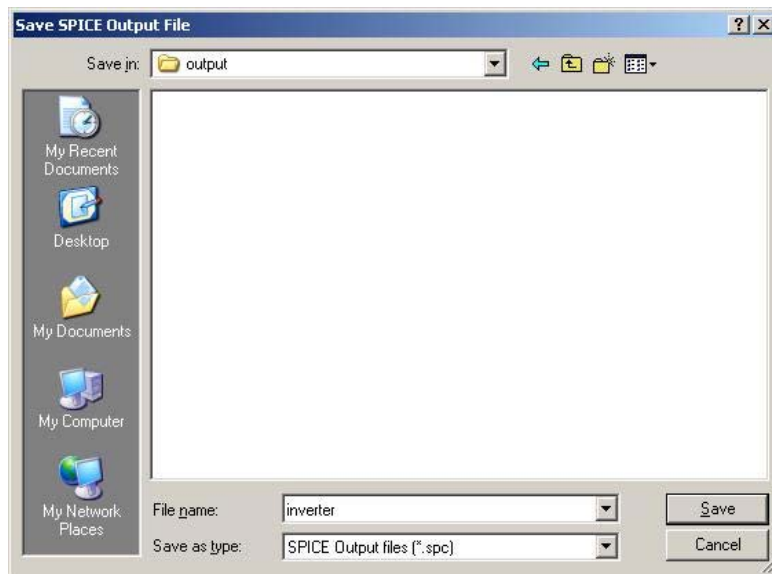
ii. Extract & ERC (Spice Netlist Extract & Electric Rule Check) - LayNet Pro

Menu 에서 Verification → Extract & ERC를 선택한다. LayNet Pro창의 Rule 오른쪽의 Browse 를 눌러 C:\MyCAD example\Layout\Verification file\ SCMOS\_SCN4ME\_SUBM\_ERC.rul 을 넣는다.



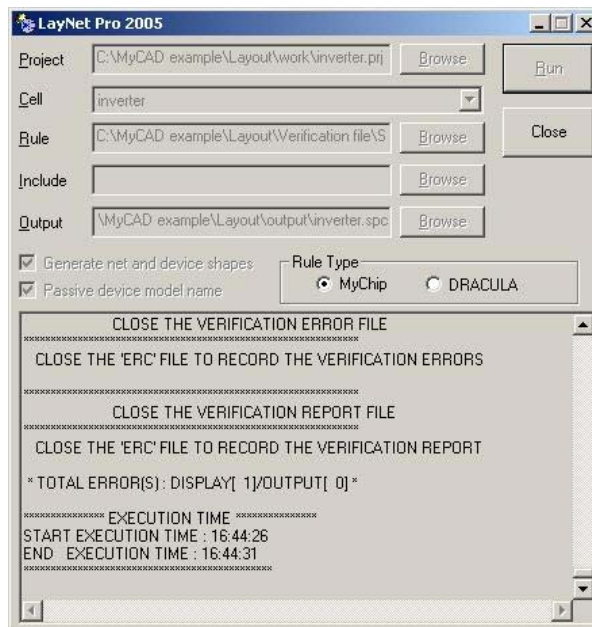
< 그림 2.3.(2)-33 ERC Rule 파일 첨부 >

LayNet Pro창의 Output 오른쪽의 Browse를 눌러 C:\MyCAD example\Layout에 output folder를 만들고 output folder에 파일이름 inverter를 쓰고 저장(Save)을 누른다.



< 그림 2.3.(2)-34 Layout Netlist 저장 파일 저장 >

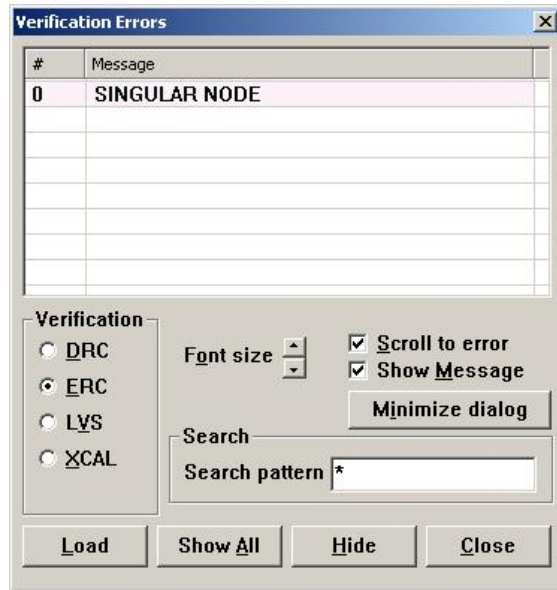
LayNetPro2005창에서 Generate net and device shapes와 Passive device model name을 그림 2.3.(2)-27과 같이 체크한 후 Run을 누른다. Inverter.spc파일이 만들어진다.



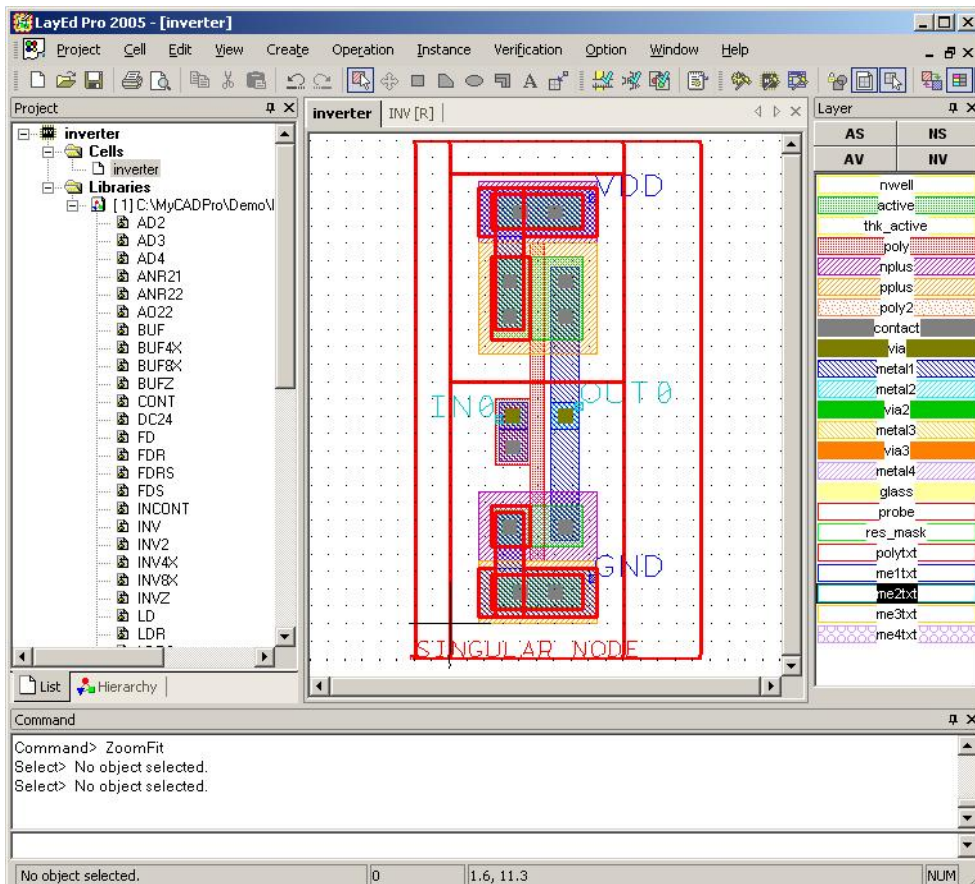
< 그림 2.3.(2)-35 Layout Netlist 추출 >

Generate net and device shapes를 체크하는 이유는 Netlist 추출은 물론 디바이스와 노드의 좌표까지 저장하기 위한 것이고 Passive device model name을 체크하는 이유는 디바이스의 모델이름을 지정해서 표시해 주기 위한 것이다.

Close를 누르면 Verification Errors창이 켜진다. Error를 더블 클릭하여 Layout상의 Error발생 지점으로 화면이 이동하면 설계 규칙에 맞게 수정한다

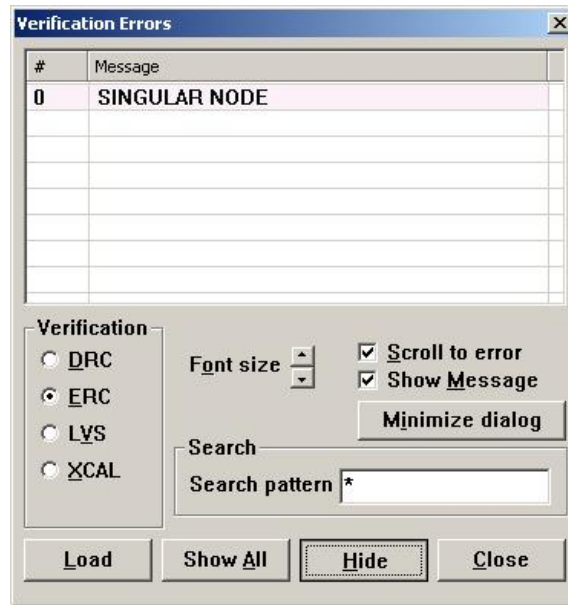


< 그림 2.3.(2)-36 Layout 오류메시지 확인 >



< 그림 2.3.(2)-37 오류메시지에 의한 오류 발생 지점에서의 이동 >

error 표시된 곳을 지우려면 Verification Errors 창에서 아래쪽에 있는 Hide를 누르면 된다.

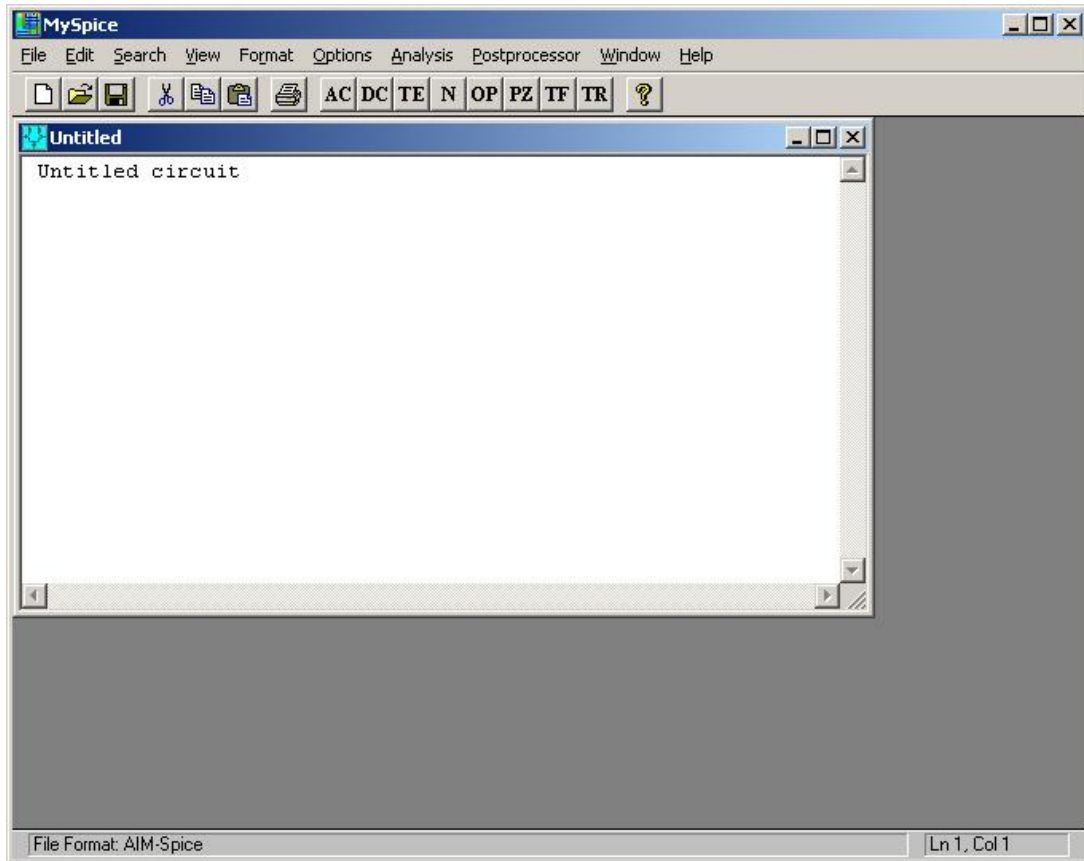


< 그림 2.3.(2)-38 Error 표시된 곳 지우기 >

Inverter 예제에서 SINGULAR NODE error가 발생한 이유는 ERC Rule파일에 VDD나 GND에 하나의 노드만 연결이 되어있을 때 이러한 메시지를 display하도록 되어 있기 때문이다. 일반적으로 설계를 하면 여러 개의 노드가 VDD와 GND에 연결이 되기 때문에 이런 Rule을 써 놓은 것이다. Inverter 예제에서 발생한 SINGULAR NODE error는 무시할 수 있다.

⑤ SPICE 시뮬레이션 [MySPICE (Analog Circuit Simulation)]

시작 → 프로그램 → MyCAD Pro 2005 → MySPICE 선택하여 실행시킨다.

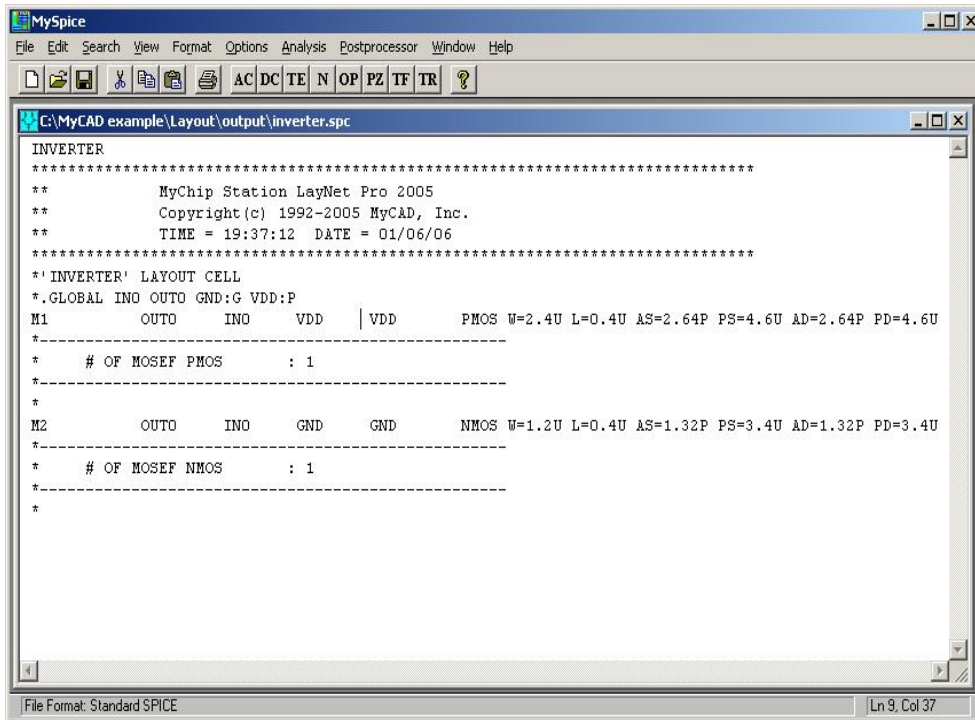


< 그림 2.3.(2)-39 MySPICE (Analog Circuit Simulation) 실행 >



i. Open File

Menu 에서 File → Open을 선택한 후 열기창에 C:\MyCAD example\Layout\output폴더로 이동 후 파일형식(Files of type)을 All Files(\*.\*)로 바꾼 후 inverter.spc를 선택한 후 열기(Open)를 누른다.



< 그림 2.3.(2)-40 추출된 Layout Netlist 열기 >

ii. Include.inc 포함

inverter.spc파일에 C:\MyCAD example\Layout\spice file의 SCN4M\_SUMB SPICE BSIM3.txt파일을 전부 복사해서 붙여 넣는다. Schematic에는 회로에 입력펄스와 캐패시터를 포함하고 있지만 Layout에서 추출한 Netlist에는 포함하고 있지 않아서 SCN4M\_SUMB SPICE BSIM3.txt파일에 MOS model과 입력펄스, 캐패시터 값, Simulation을 실행시키기 위한 시간 축 구간 값을 포함 시켜준다.

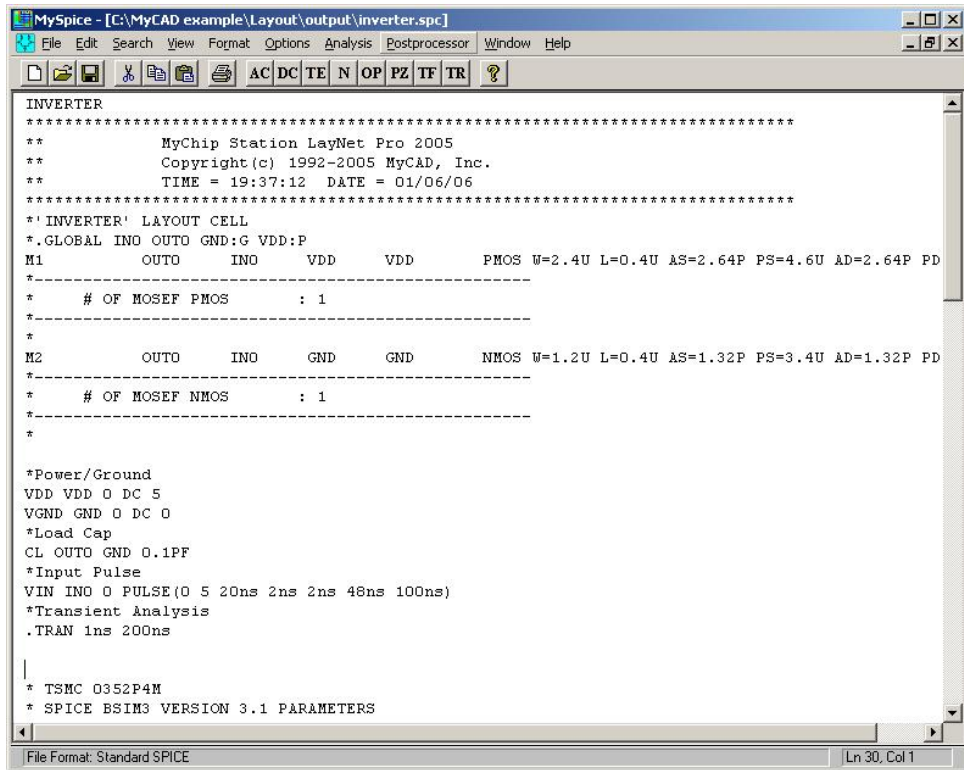
```

* Power/Ground
VDD  VDD 0 DC 5
VGND GND 0 DC 0

* Load Cap
CL OUT0 GND 0.1PF

* Input Pulse
VIN IN0 0 PULSE(0 5 20ns 2ns 2ns 48ns 100ns)

* Transient Analysis
.TRAN 1ns 200ns
  
```

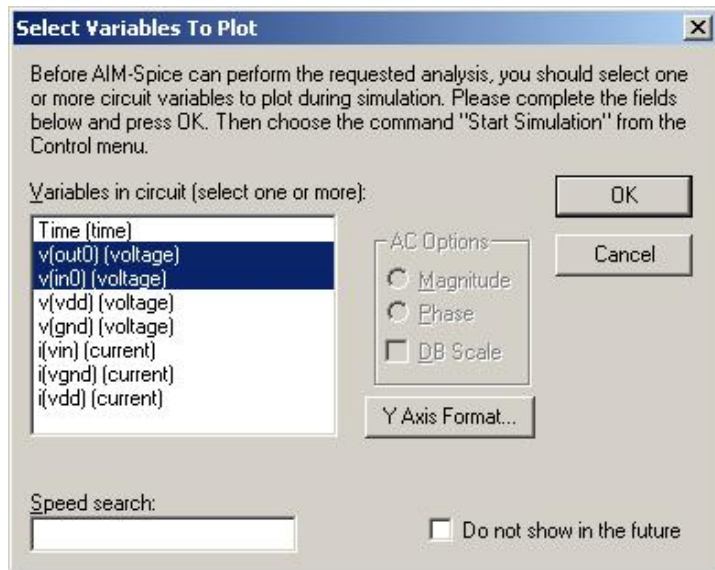


< 그림 2.3.(2)-41 추출된 Layout Netlist에 Include 파일 첨부 >

iii. RUN

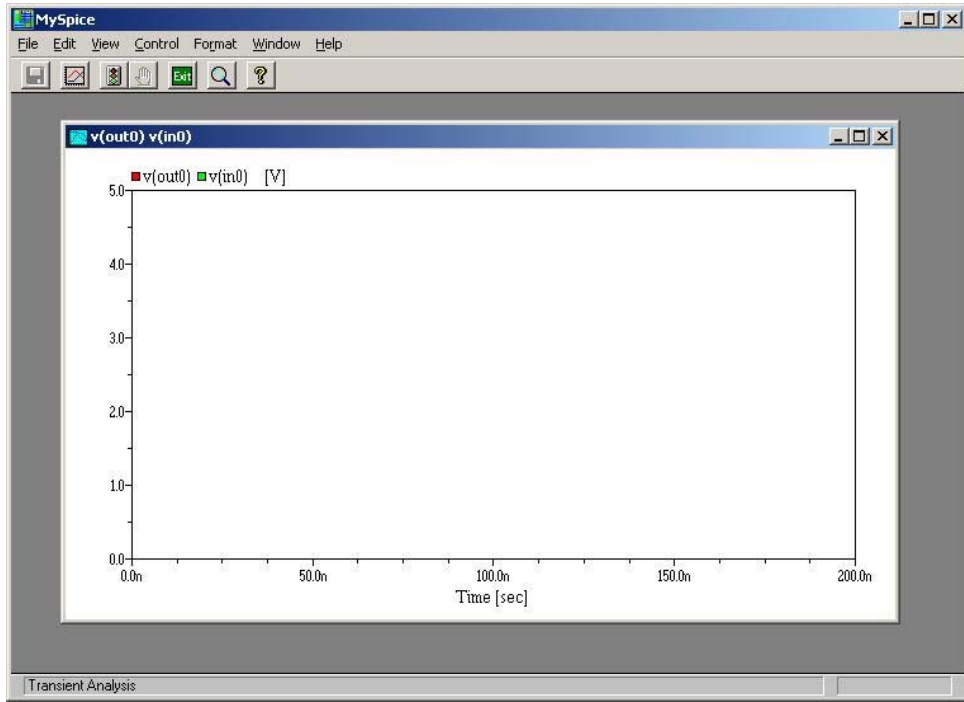
Menu 에서 Analysis → Run Standard Spice File을 선택한다.

Select Variables To Slot창에서 결과를 원하는 v[in][voltage], v[out][voltage]를 선택하고 OK를 누른다.



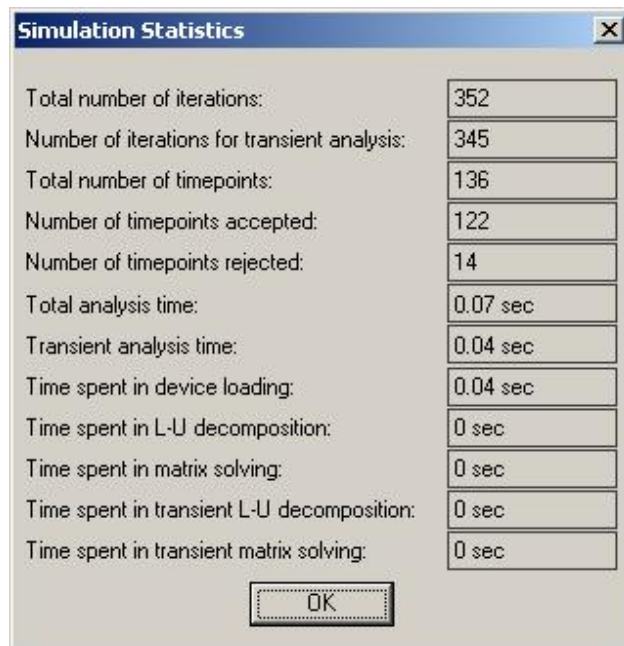
< 그림 2.3.(2)-42 Select Variables \_ V(out0, V (in0) >





< 그림 2.3.(2)-43 Select variable 후 뜨는 창 >

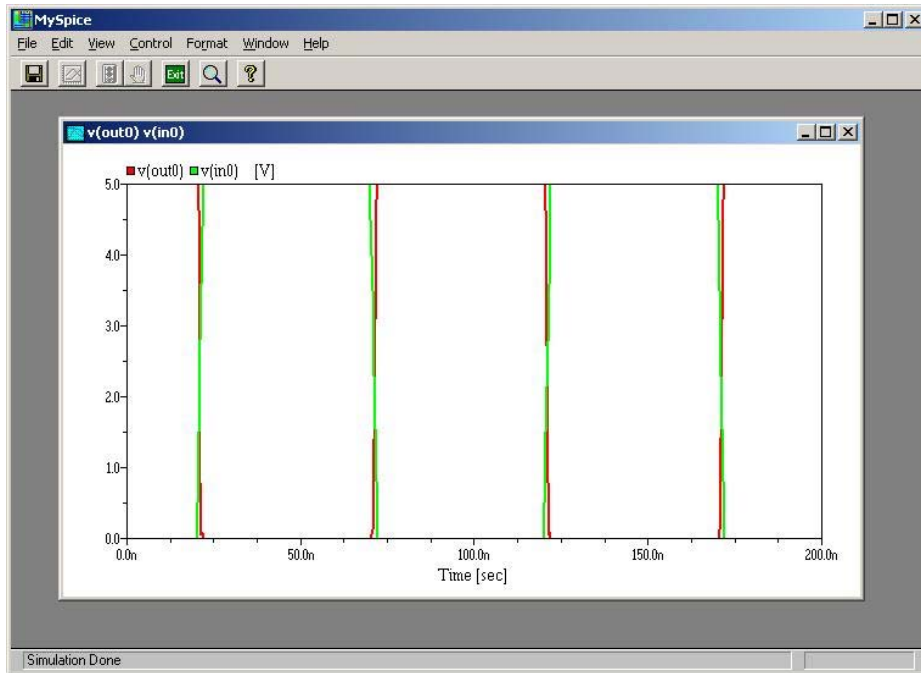
그림 2.3.(2)-43가 뜨면 Menu 에서 Control → Start Simulation을 선택한다.



< 그림 2.3.(2)-44 Simulation Statistics >

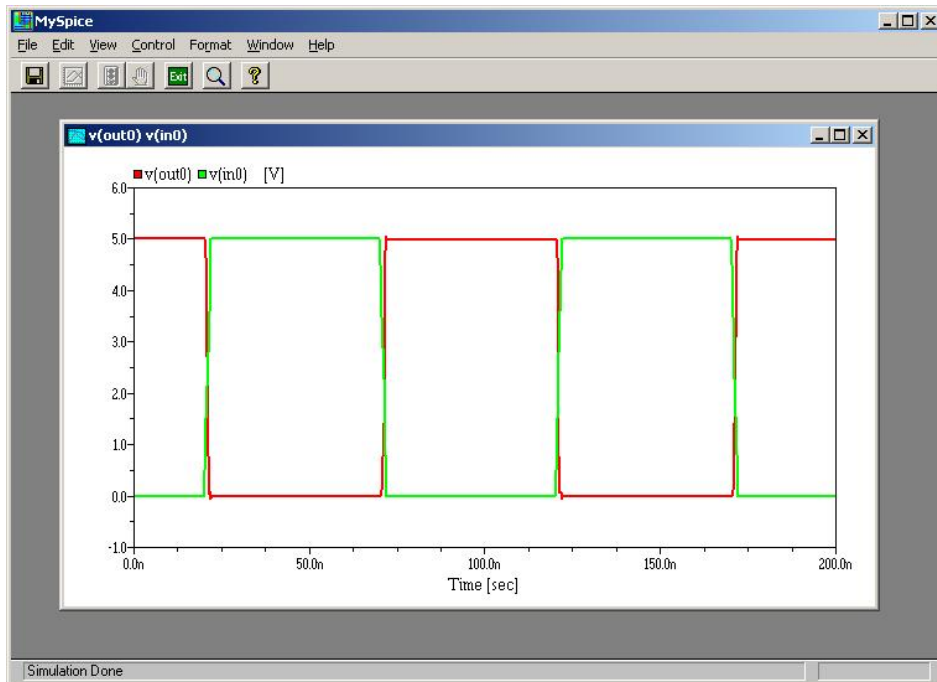
iv. 결과확인

Simulation Statistics창을 확인하고 OK를 누르면 결과가 나타난다.



< 그림 2.3.(2)-45 Layout 결과 확인 >

화면상 결과값이 다 보이지 않을 때는 Menu 에서 Format → Auto Scale을 선택한다.



< 그림 2.3.(2)-46 Layout 결과에 대한 Auto Scale >

### (3) Layout과 Schematic 비교분석

#### ① Netlist 비교 [MyLVS (Hierarchical Layout Versus Schematic Netlist Comparator)]

MyLVS는 Layout과 Schematic에서 추출된 Netlist를 비교한다.

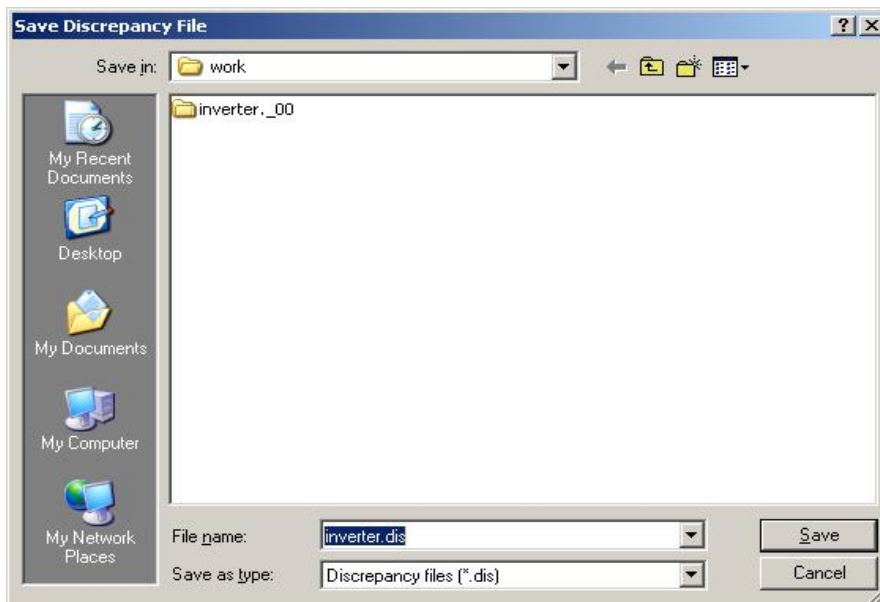
Menu 에서 Verification → LVS를 선택 하면 MyLVS Pro창이 뜬다.

##### i. Rule & Discrepancy

Rule에는 LayNet Pro에서 사용한 rule 파일을 사용한다. C:\MyCAD example\Layout\Verification file\SCMOS\_SCN4ME\_SUBM\_ERC.rul을 선택한다.

LVS에서 ERC Rule을 사용하는 이유는 Netlist 추출할 때 ERC Rule을 사용하기 때문이다. 또한 Design은 틀리지만 전기적인 성질을 같아야 하기 때문에 ERC Rule을 사용한다.

Discrepancy파일은 두 Netlist의 비교 결과 정보를 말한다. 이 정보를 보관할 수 있도록 파일을 정해준다. C:\MyCAD example\Layout\Work폴더 안에 inverter.dis로 정한다.



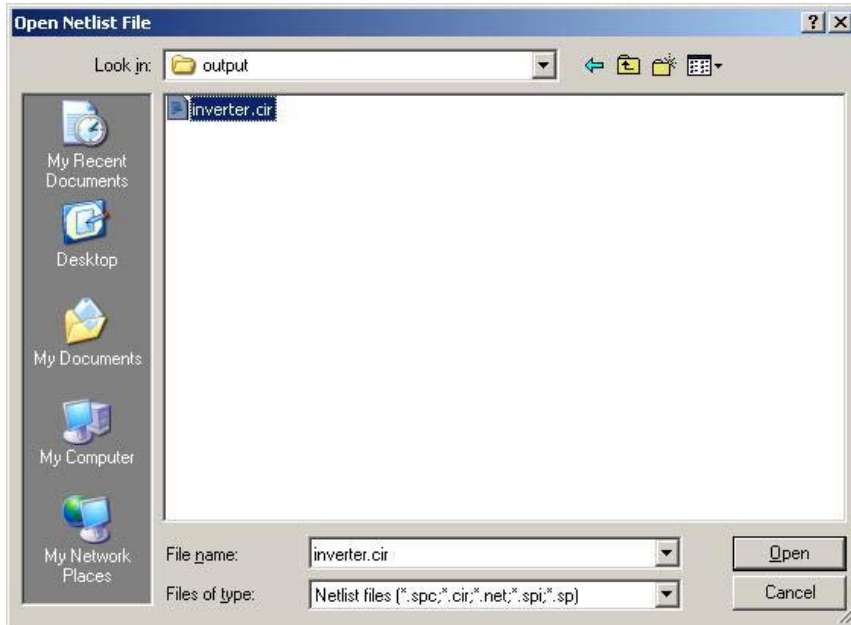
< 그림 2.3.(2)-47 Discrepancy 파일 설정 >

##### ii. Layout or Schematic1

여기에는 Layout에서 만들었던 Project와 Cell이 자동으로 저장되어 있다. 그러나 SVS를 하려면 Schematic Library를 넣으면 된다. Type란에는 어떤 종류의 Spice를 사용할 것인지 결정한다. 여기서는 Spice를 사용하므로 선택되어 있다.

iii. Schematic or Schematic2

Schematic Ed에서 추출한 Netlist를 불러온다. C:\MyCAD example\Schematic\output폴더에 inverter.cir를 연다.(include 파일에 있는 MOS model과는 비교하는데 관계가 없다.)



< 그림 2.3.(2)-48 Schematic Netlist 불러오기 >

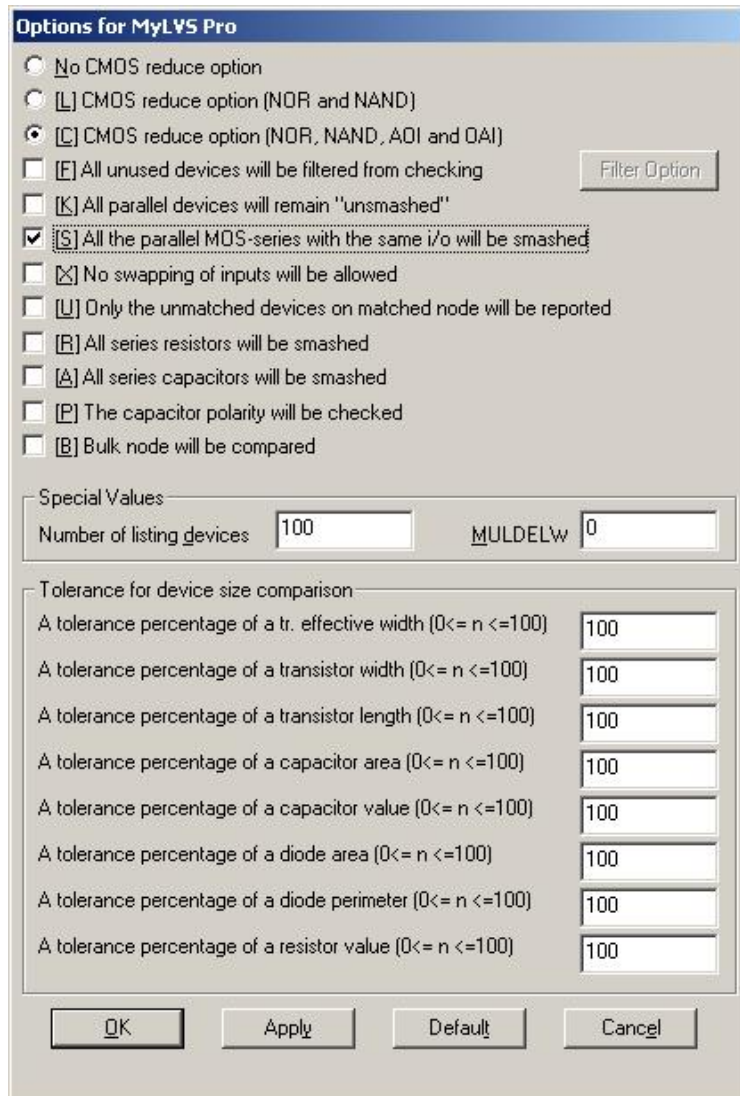
Type란에는 Spice를 선택한다. CDL, HSPICE, PSPICE Type의 Schematic Netlist도 비교 가능하다.

iv. Mode

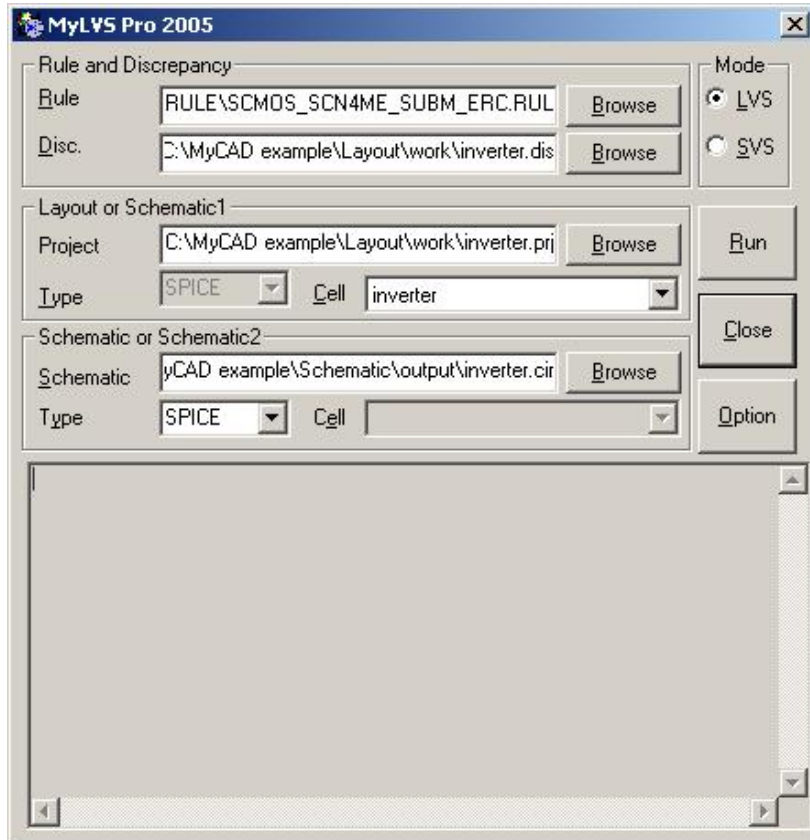
LVS (Layout Versus Schematic)와 SVS (Schematic Versus Schematic) 두 가지를 다 비교할 수 있다. 여기서는 LVS를 선택한다.

v. Option

위 부분에는 회로의 구조변경에 대한 부분이고, 아랫부분은 두 Netlist상의 크기 차이 허용 범위를 나타내는 부분이다.



< 그림 2.3.(2)-49 Option 설정 >

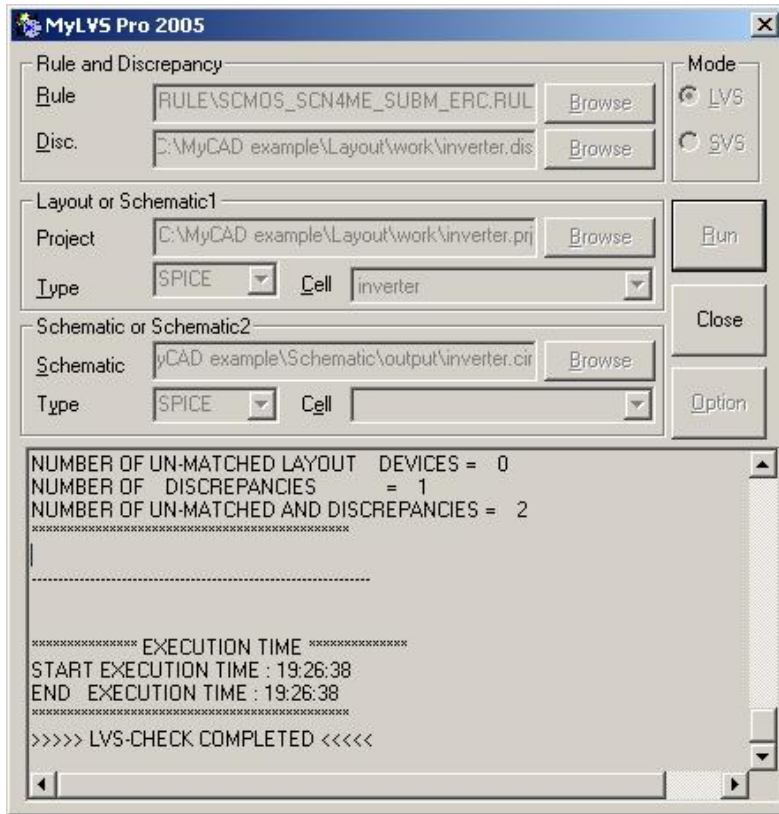


< 그림 2.3.(2)-50 MyLVS 경로설정 >

그림 2.3.(2)-50와 같이 작성한 후 Run을 눌러 실행시킨다.

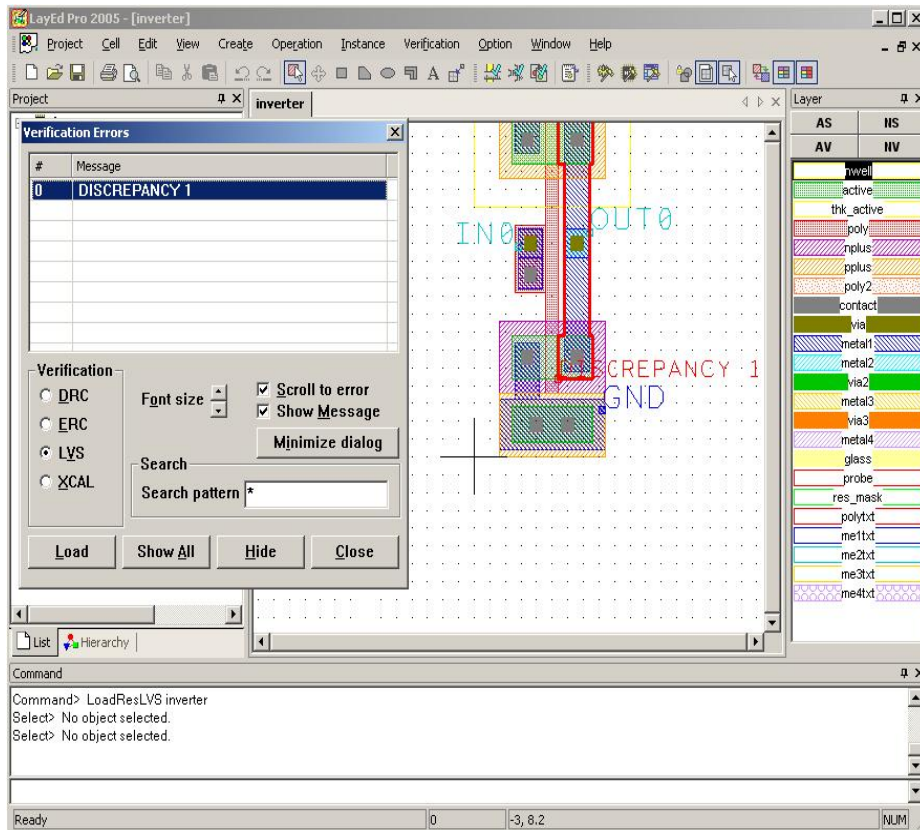
② Discrepancy 파일 확인

MyLVS가 완료된 후 Message창에서 Error를 확인할 수 있다.



< 그림 2.3.(2)-51 MyLVS 실행 >

확인 후 Close를 누르면 Verification Errors창이 켜진다. Message창의 Error를 더블 클릭하면 Layout상의 Error지점으로 화면이 이동한다.

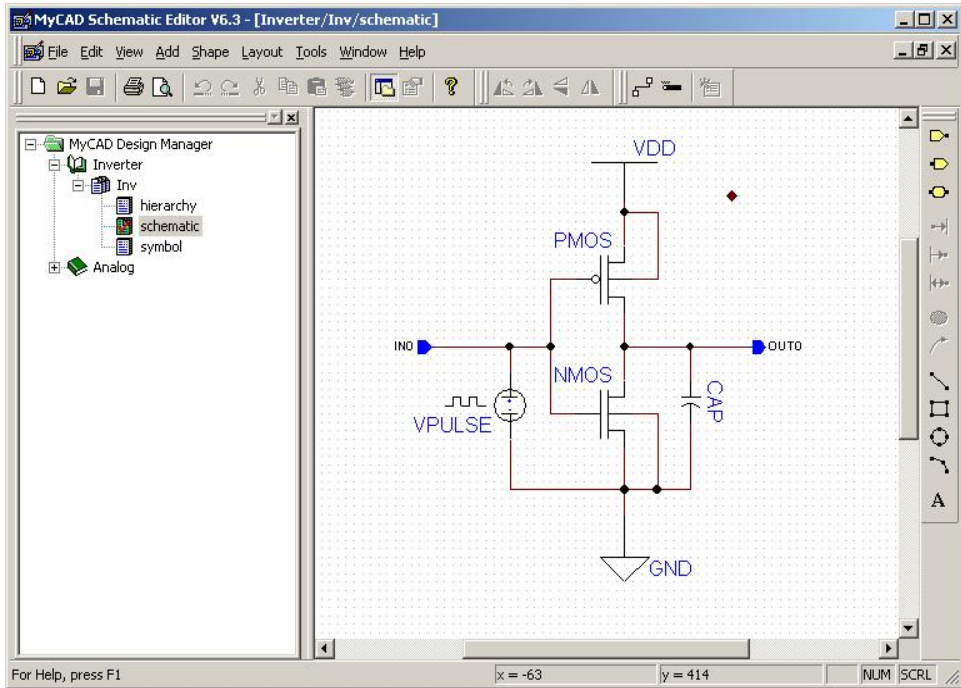


< 그림 2.3.(2)-52 MyLVS 에 대한 Discrepancy 메시지 확인 >



③ Layout 수정

이 과정에서 Error가 발생하면 수정해야 하지만, 원인을 알고 있으면 무시할 수도 있다.



< 그림 2.3.(2)-53 Inverter Schematic 회로구성 보기 >

위의 Schematic을 보면 Layout에서는 볼 수 없는 VPULSE와 CAP을 볼 수 있다.

```

inverter.cir - Notepad
File Edit Format View Help
*****
* MyAnalog v7.1 SPICE netlist generator
* Cell Name :: Inv
* Flatten Extraction for Berkely SPICE 3
* Generated Date :: 2006/1/6 9:46:21
*****
.GLOBAL INO OUTO
.GLOBAL GND VDD
*****
MT_I2 OUTO INO GND NMOS L=0.4U W=1.2U AD=1.32P AS=1.32P PD=3.4U PS=3.4U
CT_I3 OUTO GND 0.1P
VT_I6 INO GND PULSE ( 0 5 20N 2N 2N 48N 100N )
MT_I5 VDD INO OUTO VDD PMOS L=0.4U W=2.4U AD=2.64P AS=2.64P PD=4.6U PS=4.6U
*****
VDD VDD 0 DC 5
VSS GND 0 DC 0
*****
VI7_VDD_VDD I7_VDD VDD DC 0
VI6_NN_GND I6_NN GND DC 0
*****

```

< 그림 2.3.(2)-54 Schematic Netlist >

```

inverter.spc - Notepad
File Edit Format View Help
INVERTER
*****
** MyChip Station LayNet Pro 2005
** Copyright(c) 1992-2005 MyCAD, Inc.
** TIME = 19:37:12 DATE = 01/06/06
*****
*'INVERTER' LAYOUT CELL
*.GLOBAL INO OUTO GND:G VDD:P
M1 OUTO INO VDD VDD PMOS W=2.4U L=0.4U
AS=2.64P PS=4.6U AD=2.64P PD=4.6U
*-----
* # OF MOSEF PMOS : 1
*-----
*
M2 OUTO INO GND GND NMOS W=1.2U L=0.4U
AS=1.32P PS=3.4U AD=1.32P PD=3.4U
*-----
* # OF MOSEF NMOS : 1
*-----
*

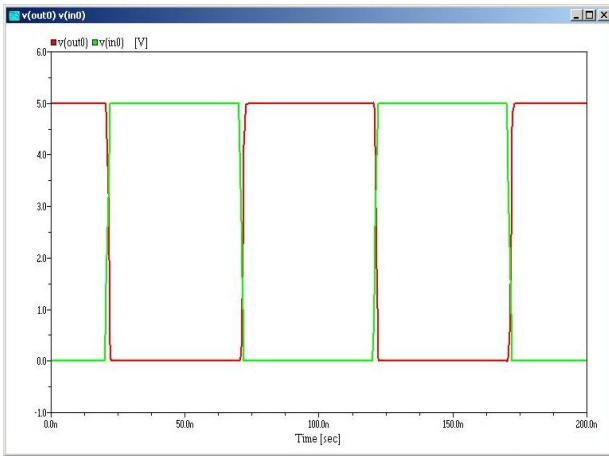
```

< 그림 2.3.(2)-55 Layout Netlist >

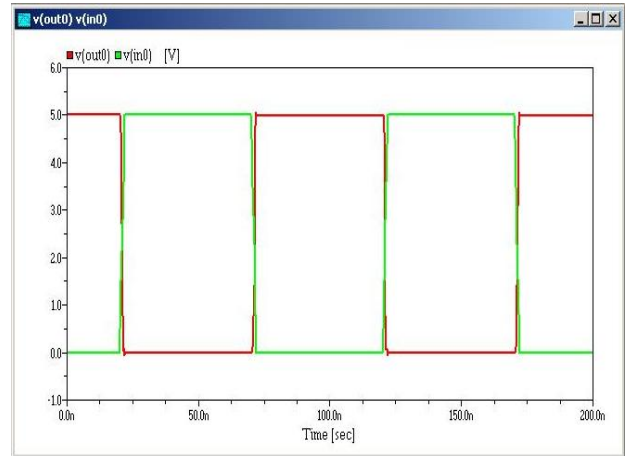
그림 2.3.(2)-46의 두 Netlist에서도 VPULSE와 CAP의 차이가 나는 것을 알 수 있다.

종종 트랜지스터만의 연결도만을 비교하곤 하는데, 이때는 커패시터를 그리지 않고 단지 트랜지스터만으로 구성된 Schematic 회로도 와, 역시 MOS model을 포함하지 않고 생성한 Layout Netlist를 비교하여, 이 둘의 차이점을 비교한다. 설계경험이 풍부해지면 Inverter.dis파일을 보면서 수정할 수도 있다.

④ Schematic Spice Simulation과 Layout Spice Simulation 비교



< 그림 2.3.(2)-56 Schematic 결과확인 >



<그림 2.3 (2)-57 Layout 결과 확인 >

#### (4) Layout data 변환

##### ① CifGDS Pro

바탕화면에서 시작 → 프로그램(All Program) → MyCADPro 2005 → CifGDS Pro를 실행시킨다. CifGDS Pro는 Data Converter로서 MyChip의 Layout설계를 Mask제작을 위한 파일(GDSII, CIF, DXF)로 변환 할 수 있으며, 이러한 파일을 MyChip으로 변환 할 수도 있다. 또한 파일들 상호변환도 가능하다) 실행 시킨다.

여기서는 MyChip To GDSII로 변환하는 예를 보이기로 한다.

##### i. Mode

MyChip To GDSII을 선택한다.

##### ii. MyChip To GDSII

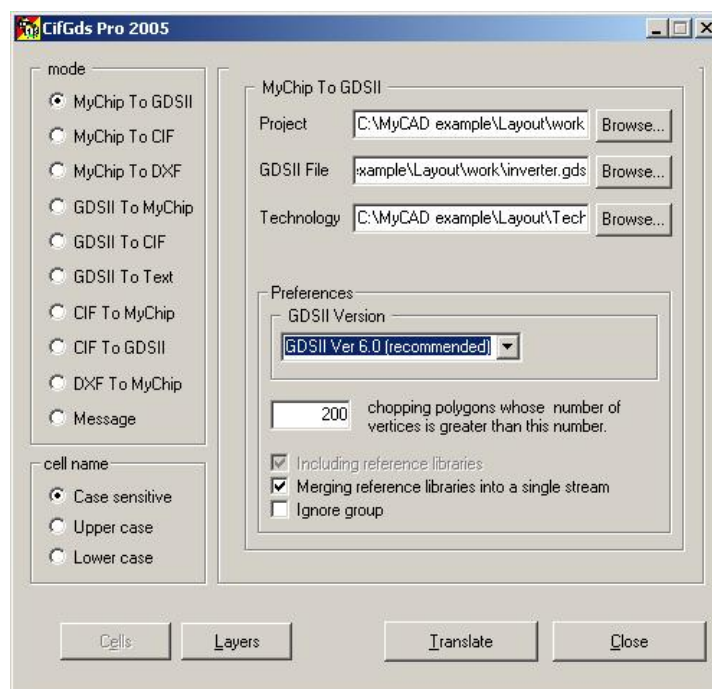
Project는 C:\MyCAD example\Layout\Work\Inverter.prj를 선택한다. GDSII File은 Work folder에 Inverter.gds로 Technology는 SCMOS\_SCN4ME\_SUBM.TEC으로 자동 지정된다.

##### iii. Preferences

GDSII Version은 Mask제작 방식에 맞는 버전을 선택한다. 여기서는 6.0버전을 선택한다.

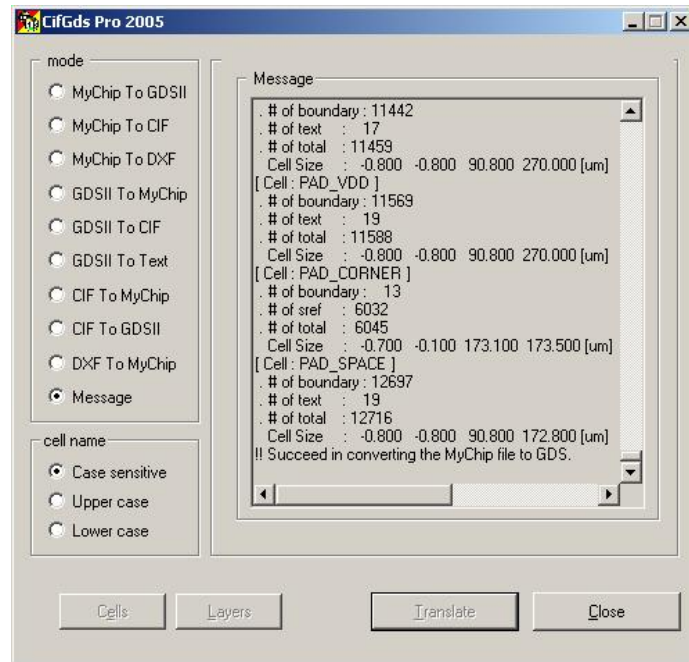
##### iv. Cell name

Case sensitive를 선택한다.



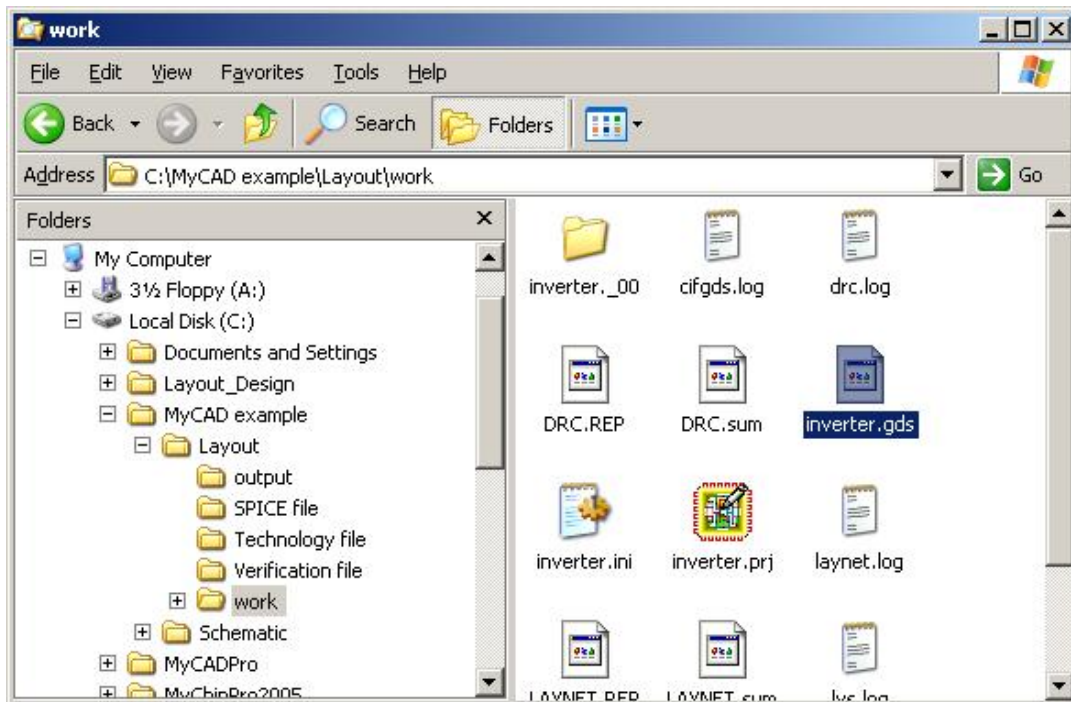
< 그림 2.3.(2)-58 CifGDS Pro 실행을 위한 설정 >

그림 2.3.(2)-48과 같이 완료되면 Translate를 눌러 실행시킨다.



< 그림 2.3.(2)-59 Translate CifGDS Pro >

Layer mapping결과를 볼 수 있다. 확인이 됐으면 Close를 눌러 창을 닫은 후 C:\MyCAD example\Layout\Work에 Inverter.gds를 확인한다.



< 그림 2.3.(2)-60 GDS 파일 확인 >

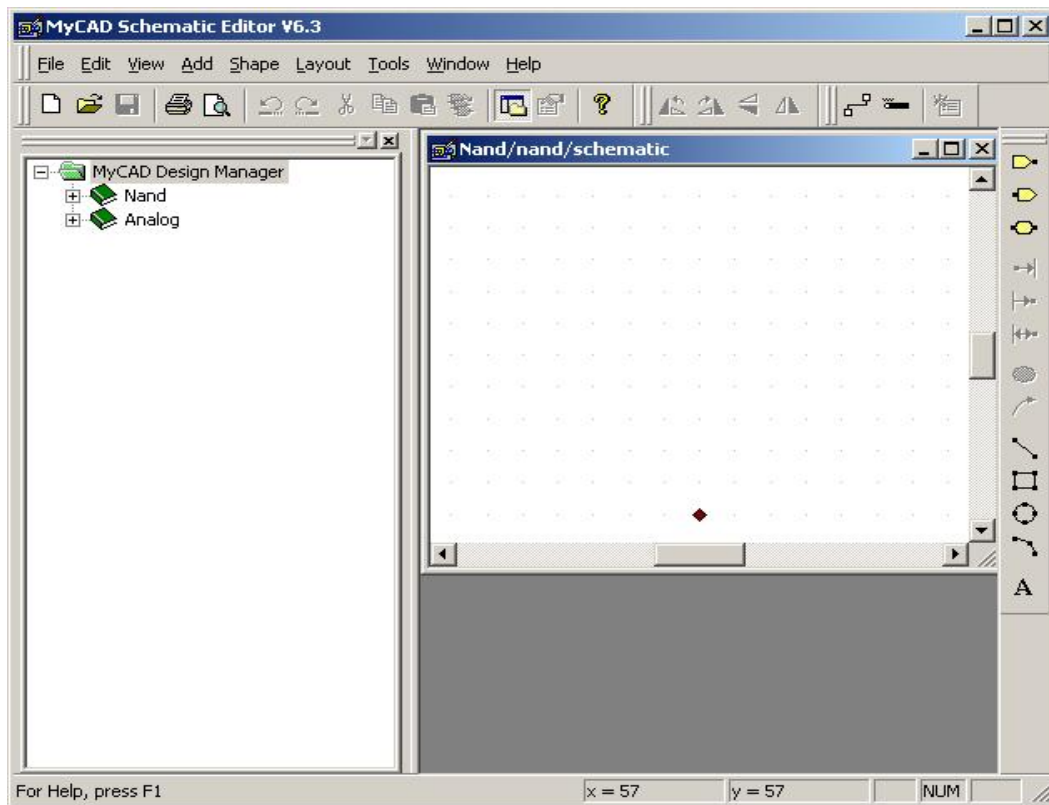
## 2.4.NAND 설계

### (1) NAND Schematic 설계 (Schematic Editor For MyAnalog)

2.3 (1) Inverter Schematic 설계를 참고 한다.

#### ① Library 생성 & 추가

SchEd를 실행시키고 SchematicWork Folder에 Nand library File과 Cell을 만들고 Analog library File을 추가한다.

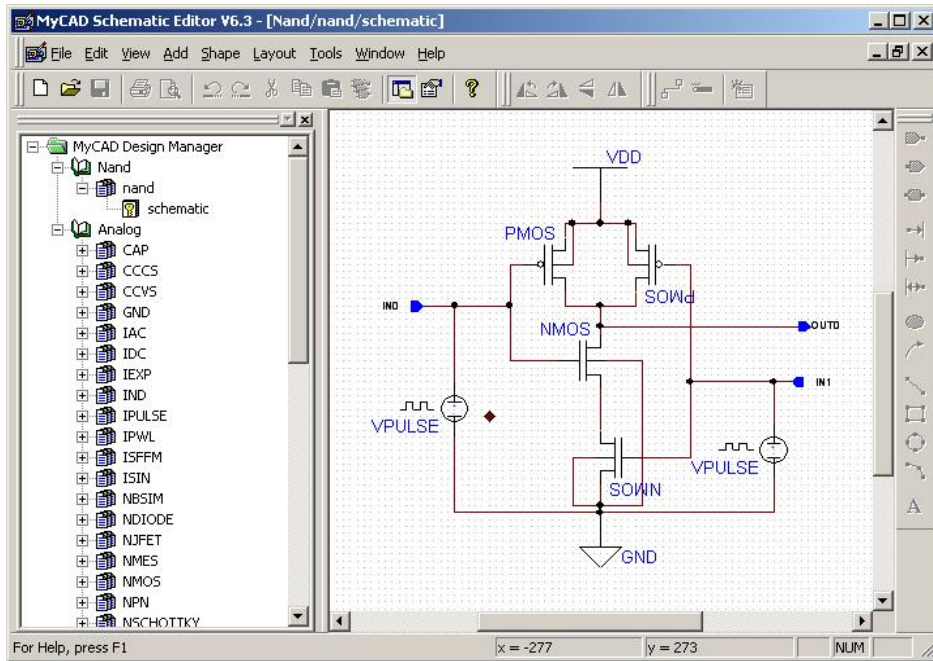


< 그림 2.4.(1)-1 Library 생성 & 추가 >

② Schematic 설계

i. 회로구성

Analog library file에서 NAND gate에 필요한 심볼들(2NMOS, 2PMOS, VDD, GND, 2VPULSE)을 불러와 회로를 구성한다.

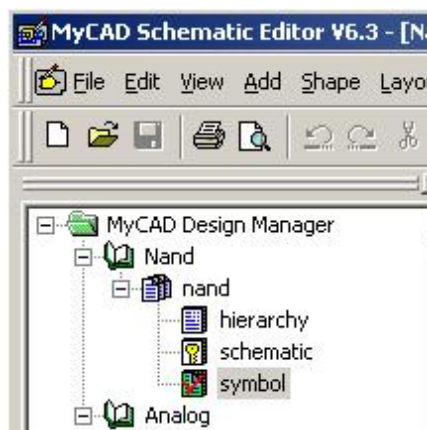


< 그림 2.4.(1)-2 Schematic 설계 >

ii. 심볼속성설정 및 생성

심볼속성은 2.3의 Inverter와 같으나 NAND gate는 입력이 2개 이므로 IN0 VPULSE ( V1=0, V2=5, TD=10ns, TR=2ns, TF=2ns, PW=48ns, PER=100ns ), IN1 VPULSE ( V1=0, V2=5, TD=35ns, TR=2ns, TF=2ns, PW=48ns, PER=100ns ) 설정한다. Pulse가 교차할 수 있도록 하여 결과를 확인할 수 있도록 한다.

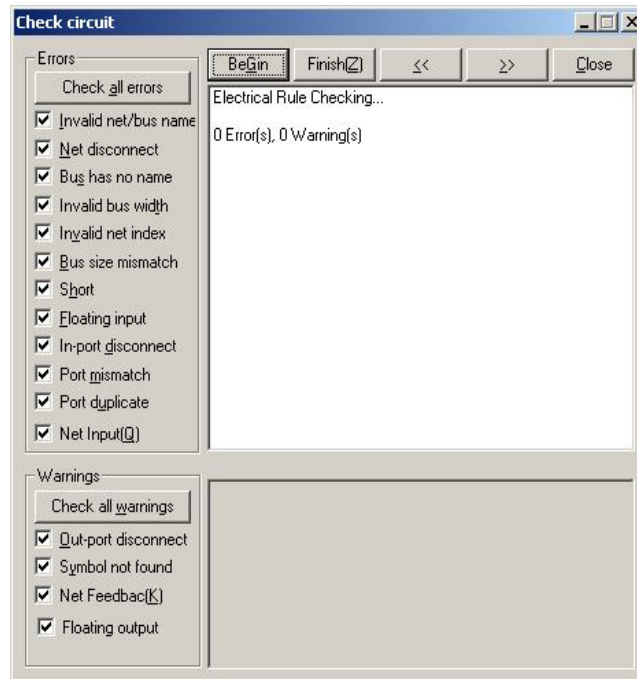
심볼 만들기를 선택해 심볼을 생성한다.



< 그림 2.4.(1)-3 심볼생성 >

③ Schematic 검증

메뉴 도구의 회로검증을 선택하여 ERC를 한다. Error가 발생하면 Schematic회로를 수정한다.

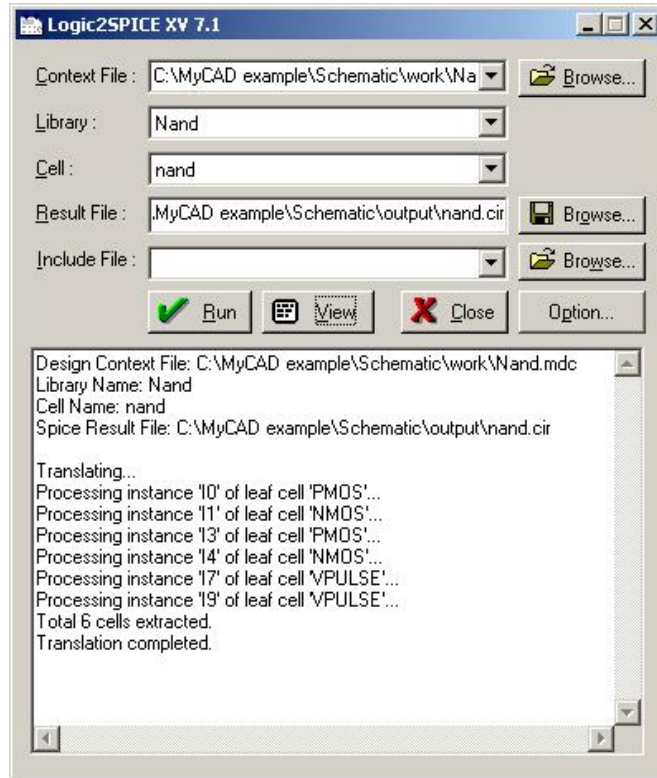


< 그림 2.4.(1)-4 Schematic ERC 검증 >

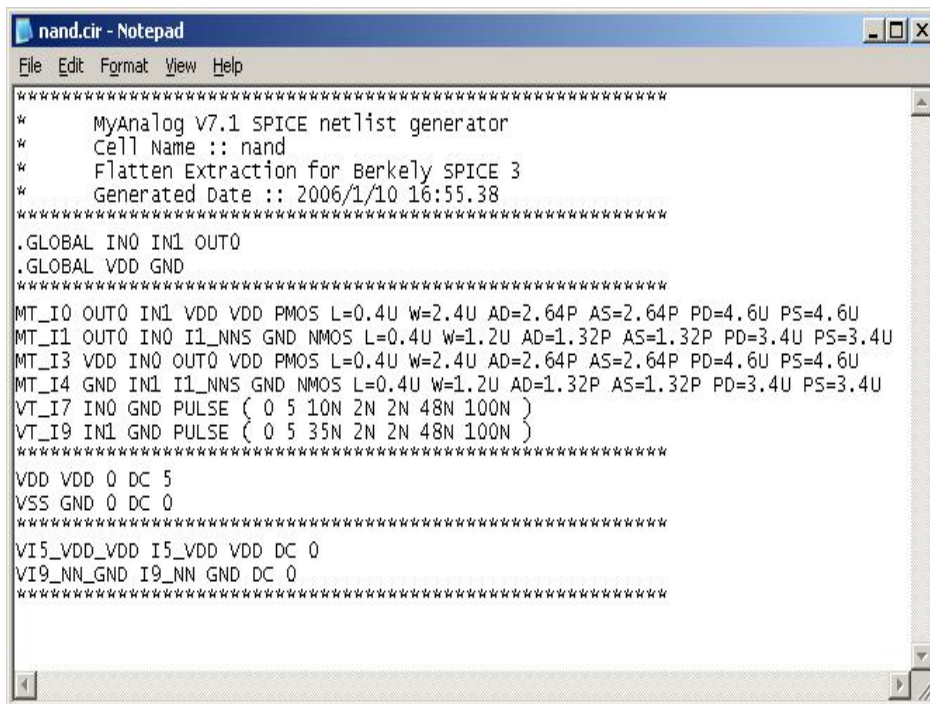


④ Netlist 파일 추출 (Logic2SPICE)

회로검증이 끝나면 메뉴 도구에 SPICE 네트리스트 내보내기를 한다. 결과는 output folder에 nand.cir로 저장한다. Run을 눌러 추출한 후 View를 눌러 확인한다.



< 그림 2.4.(1)-5 Schematic Netlist 파일 추출 >

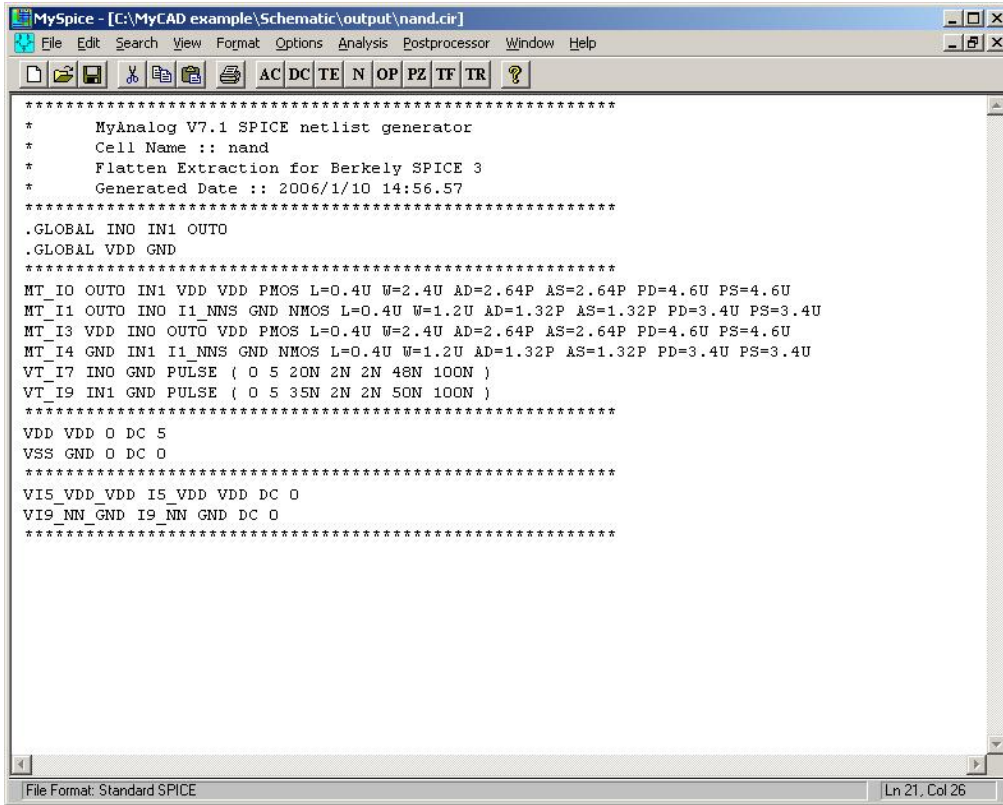


< 그림 2.4.(1)-6 추출된 Schematic Netlist 확인 >

⑤ SPICE 시뮬레이션

i. Include 파일 포함

MySPICE를 실행시킨 후 nand.cir을 불러온다.

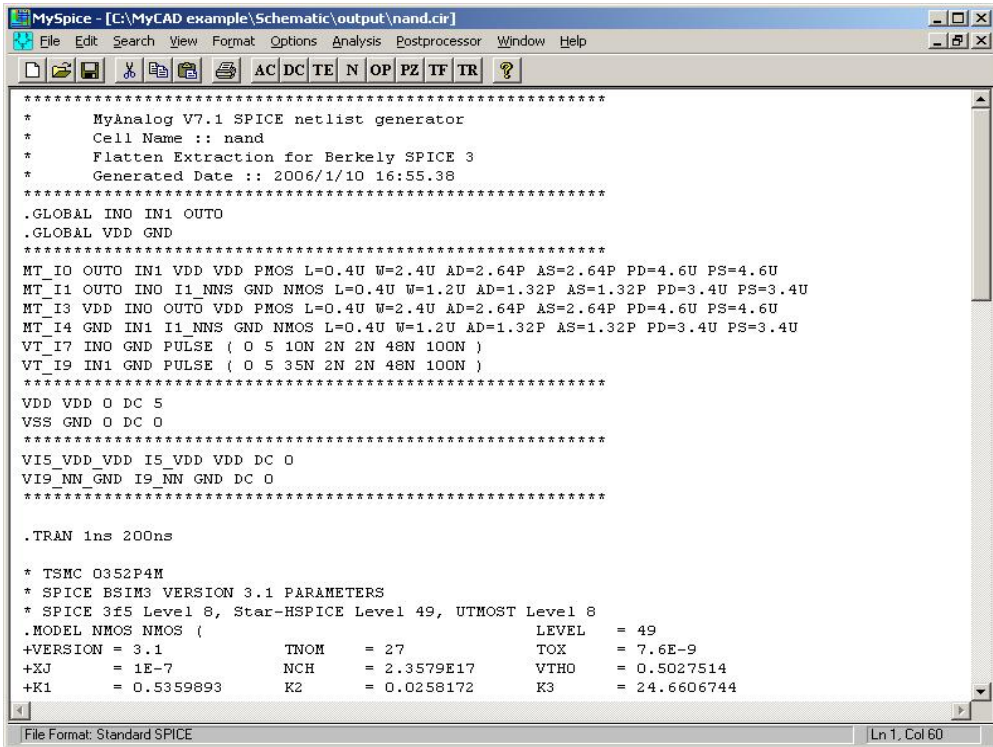


```
MySpice - [C:\MyCAD example\Schematic\output\nand.cir]
File Edit Search View Format Options Analysis Postprocessor Window Help
AC DC TE N OP PZ TF TR ?
*****
*      MyAnalog V7.1 SPICE netlist generator
*      Cell Name :: nand
*      Flatten Extraction for Berkely SPICE 3
*      Generated Date :: 2006/1/10 14:56.57
*****
.GLOBAL IN0 IN1 OUT0
.GLOBAL VDD GND
*****
MT_I0 OUT0 IN1 VDD VDD PMOS L=0.4U W=2.4U AD=2.64P AS=2.64P PD=4.6U PS=4.6U
MT_I1 OUT0 IN0 I1_MNS GND NMOS L=0.4U W=1.2U AD=1.32P AS=1.32P PD=3.4U PS=3.4U
MT_I3 VDD IN0 OUT0 VDD PMOS L=0.4U W=2.4U AD=2.64P AS=2.64P PD=4.6U PS=4.6U
MT_I4 GND IN1 I1_MNS GND NMOS L=0.4U W=1.2U AD=1.32P AS=1.32P PD=3.4U PS=3.4U
VT_I7 IN0 GND PULSE ( 0 5 20N 2N 2N 48N 100N )
VT_I9 IN1 GND PULSE ( 0 5 35N 2N 2N 50N 100N )
*****
VDD VDD 0 DC 5
VSS GND 0 DC 0
*****
VIS_VDD_VDD IS_VDD VDD DC 0
VI9_NN_GND I9_NN GND DC 0
*****
File Format: Standard SPICE |Ln 21, Col 26
```

< 그림 2.4.(1)-7 추출된 Schematic Netlist 열기 >

nand.cir에 SCN4M\_SUMB SPICE BSIM3.txt (Include파일)를 밑에 포함시키고 1ns에서 200ns 까지 실행시키겠다는 내용을 넣어주었다. (구간은 사용자 임의로 변경이 가능)

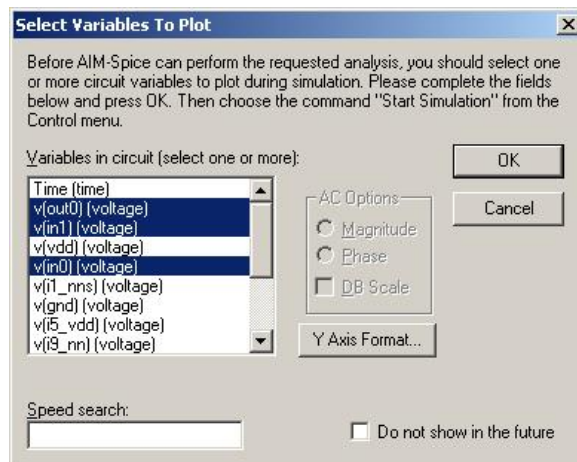
.TRAN 1ns 200ns



< 그림 2.4.(1)-8 추출된 Schematic Netlist 에 Include 파일 첨부 >

ii. Simulation (MySPICE)

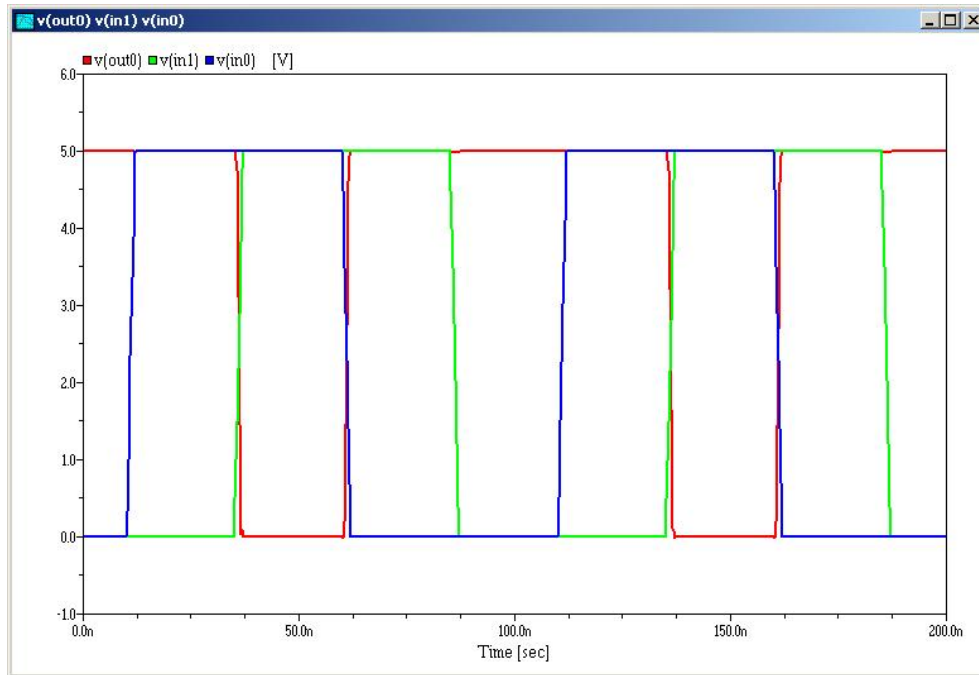
MySpice를 실행시켜 output folder의 nand1.cir을 불러온다. 메뉴 Analysis의 Run Standard Spice File을 눌러 실행시키고 Select Variables To Plot에서 입력노드와 출력노드를 선택한다.



< 그림 2.4.(1)-9 Select variables \_V(out0), V(in0), V(in1) >

메뉴 Control의 Start Simulation을 눌러 실행 시킨다.

iii. 결과 확인



< 그림 2.4.(1)-10 Simulation 결과 확인 >

입력과 출력이 NAND gate의 진리표와 같음을 알 수 있다.

## (2) NAND Layout 설계(LayEdPro)

2,3 (2) Inverter Layout 설계를 참고한다.

### ① Project & Cell 생성

LayEd를 실행 시키고 Layout\Work Folder에 NAND Project와 Cell을 만들고 Technology File은 Layout\Technology File\SCOMS\_SCN\$ME\_SUBM.TEC를 사용한다.

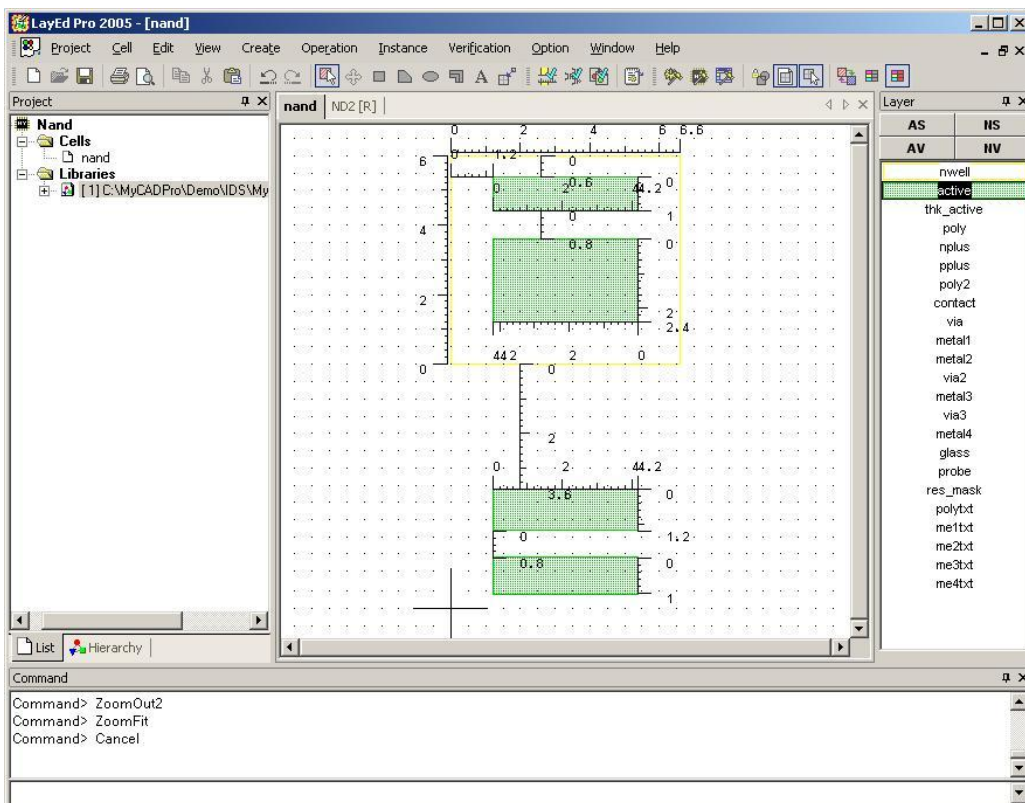


< 그림 2.4.(2)-1 Project & Cell 생성 >

## ② Layout 설계

Schematic회로를 보고 DRC에 맞게 Nand layout을 설계한다. Inverter실습에서 사용한 Bind Library를 불러와서 참고로 사용하면 편리하다. (본문에서 사용하는 Back-Ground Color는 흰 색으로 바꿔 사용한 것이다. 사용자는 default값을 사용하면 된다.)

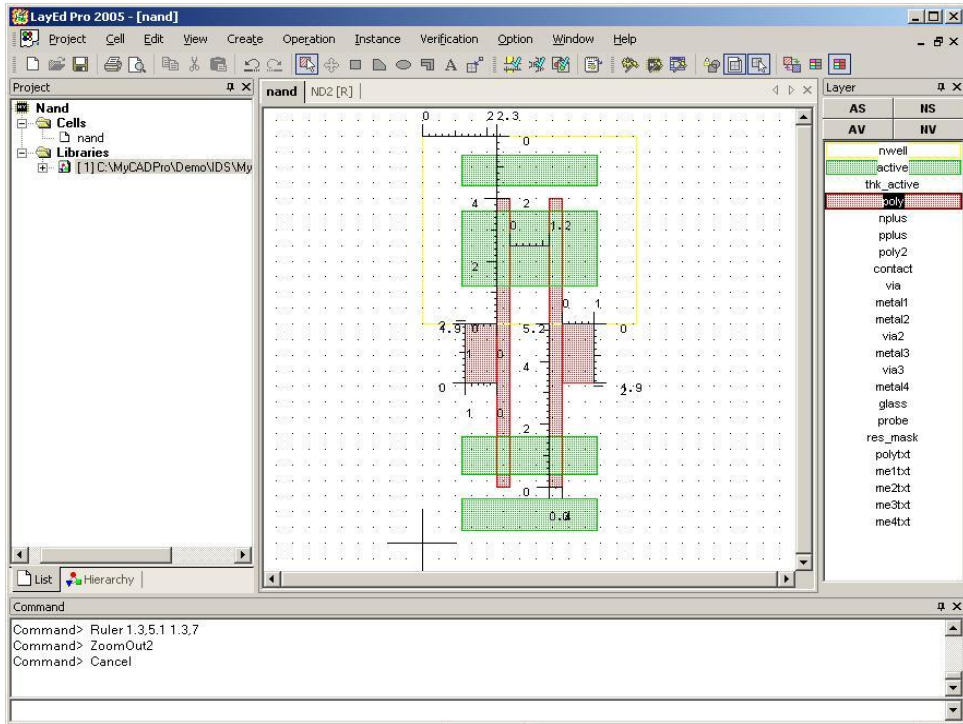
### i. Nwell & Active



< 그림 2.4.(2)-2 Nwell & Active 그리기 >

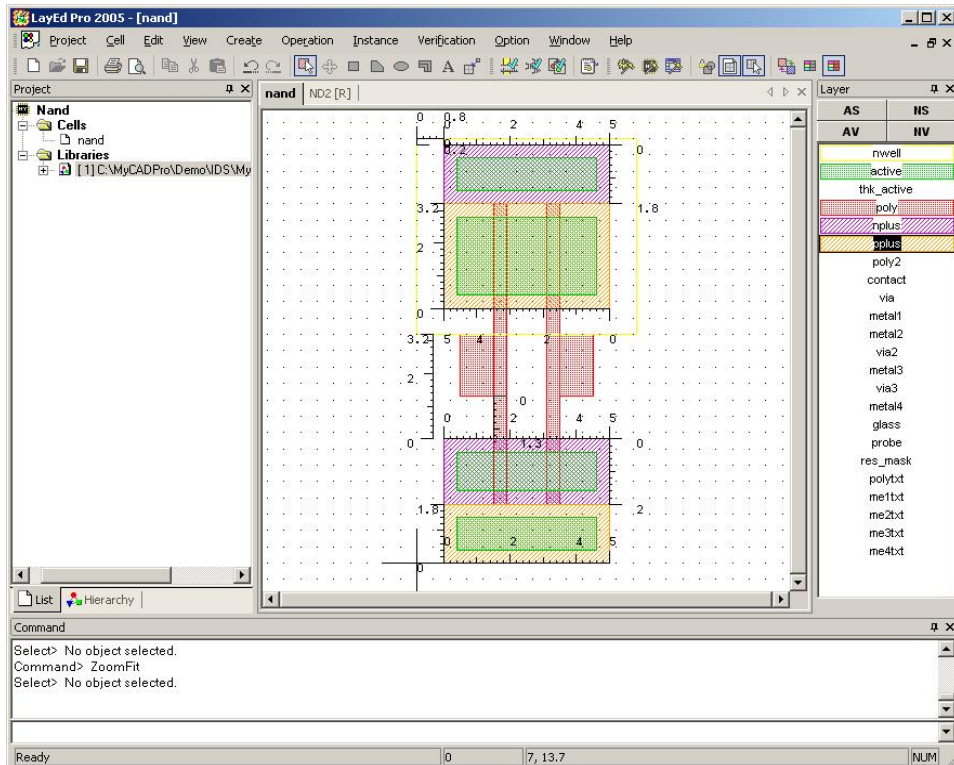


ii. Poly



< 그림 2.4.(2)-3 Poly 그리기 >

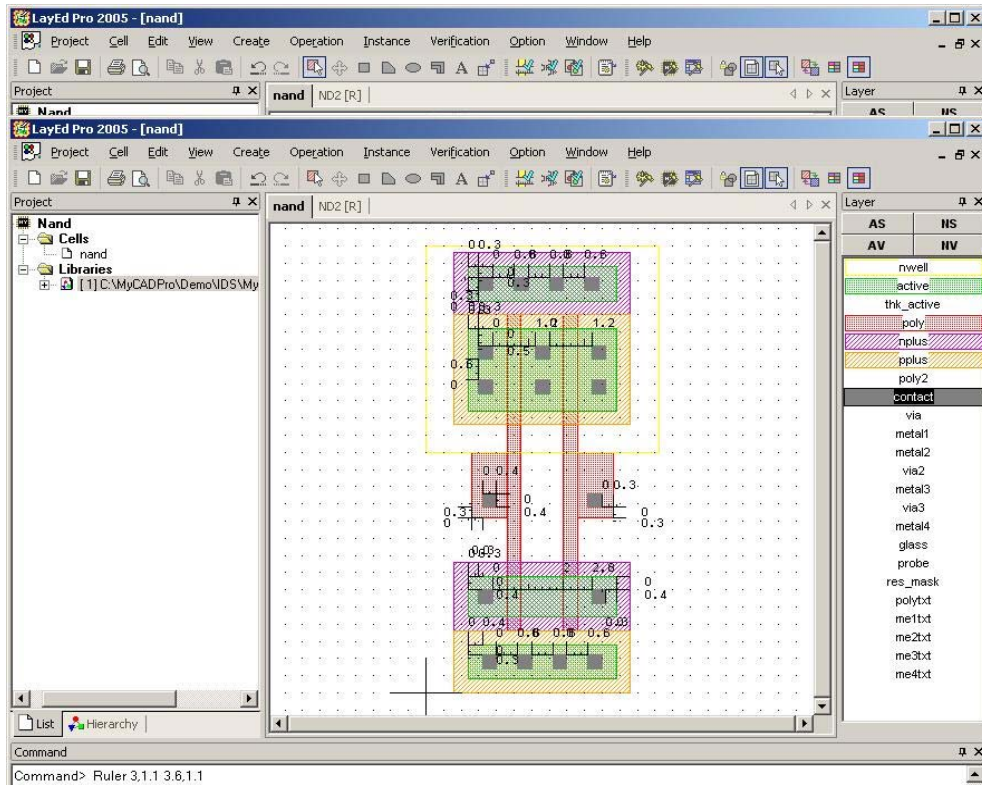
iii. Npuls & Pplus



< 그림 2.4.(2)-4 Nplus & Pplus 그리기 >

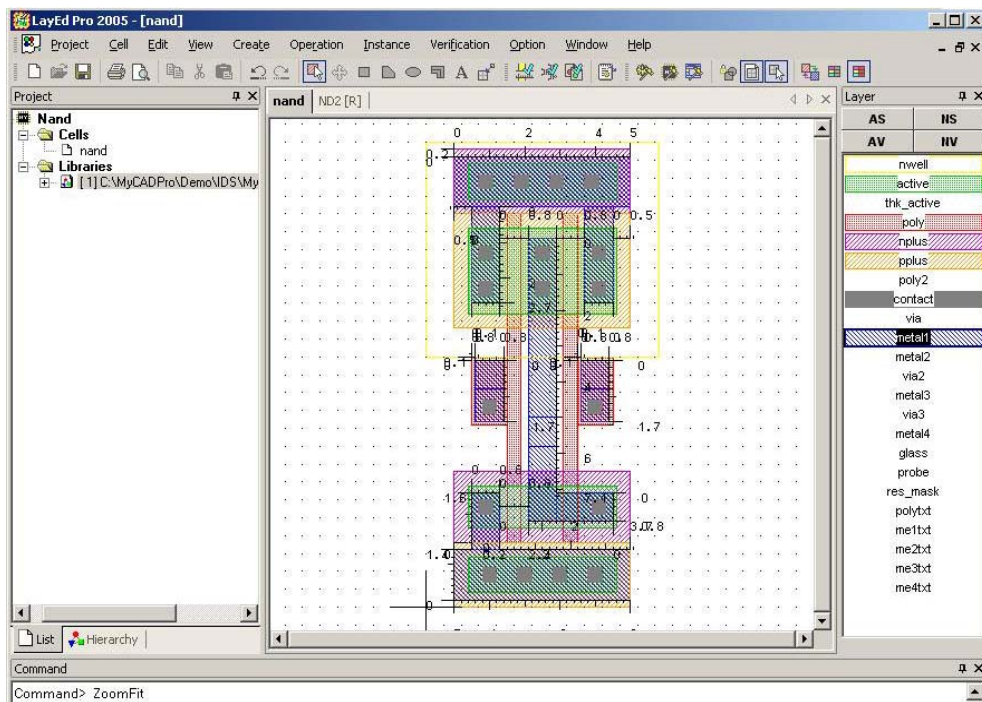


iv. Contact



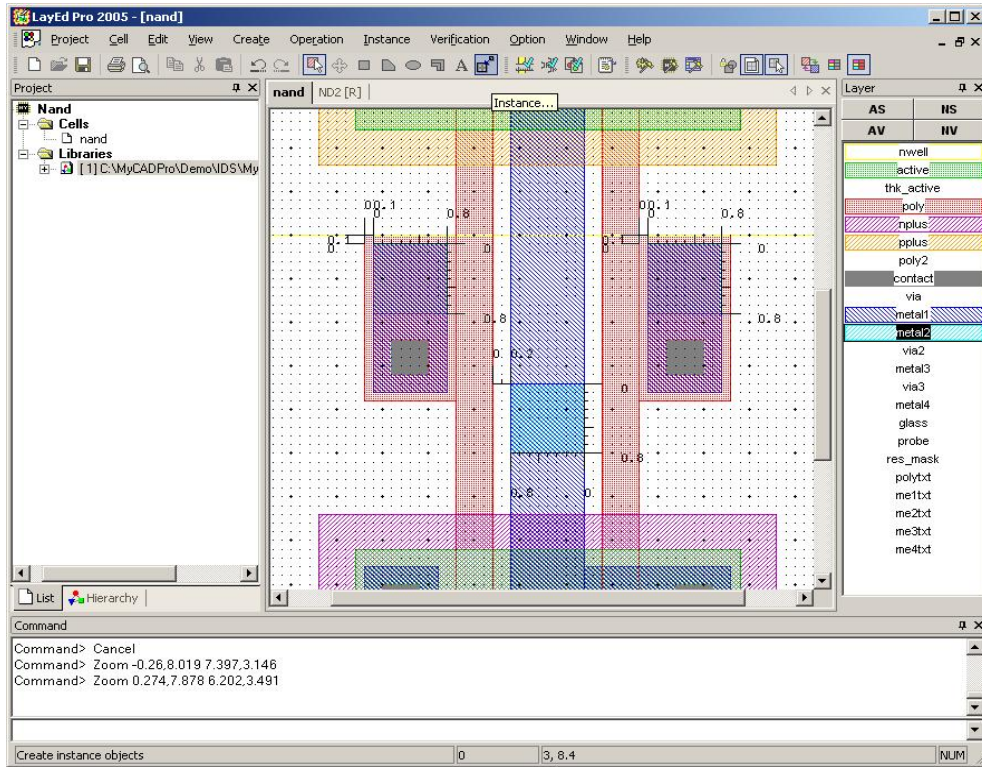
< 그림 2.4.(2)-5 Contact 그리기 >

v. Metal1



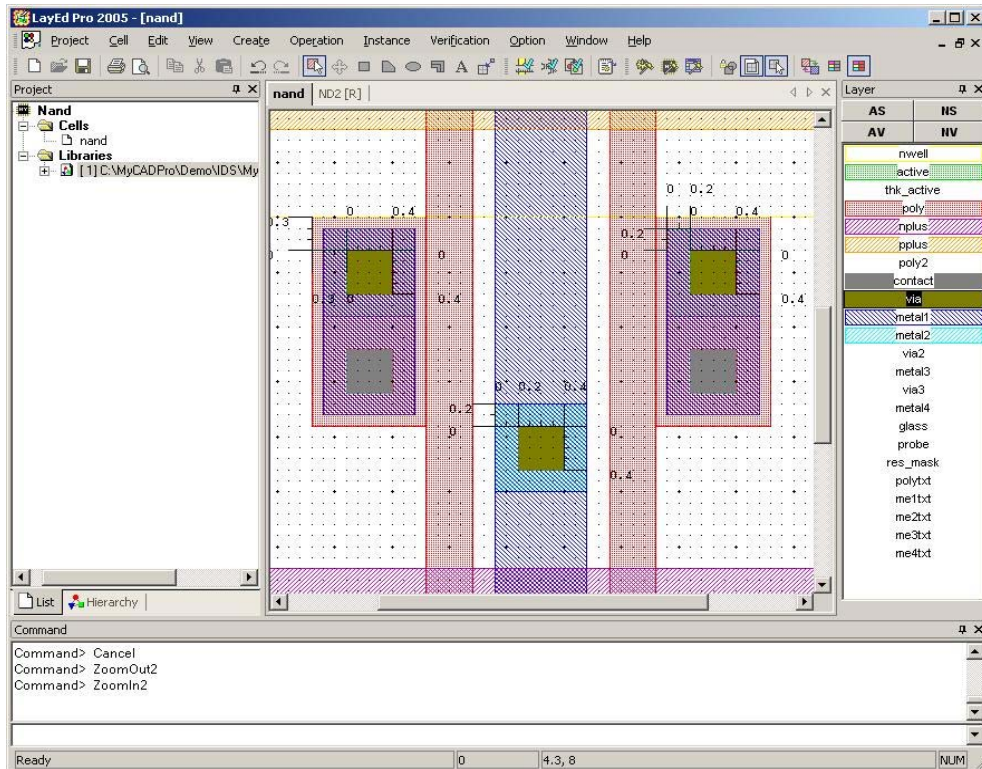
< 그림 2.4.(2)-6 Metal 1 그리기 >

vi. Metal2



< 그림 2.4.(2)-7 Metal 2 그리기 >

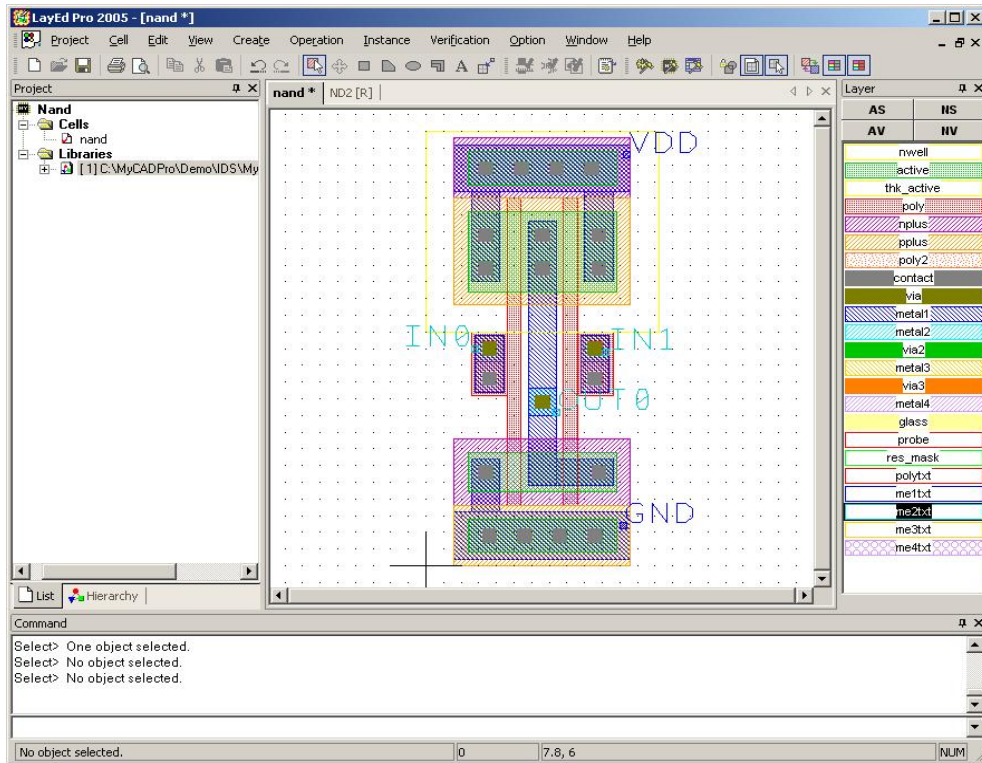
vii. Via



< 그림 2.4.(2)-8 Via 그리기 >

viii. Metal text

VDD, GND는 Me1txt / A, B, Y는 Me2txt로 넣는다.



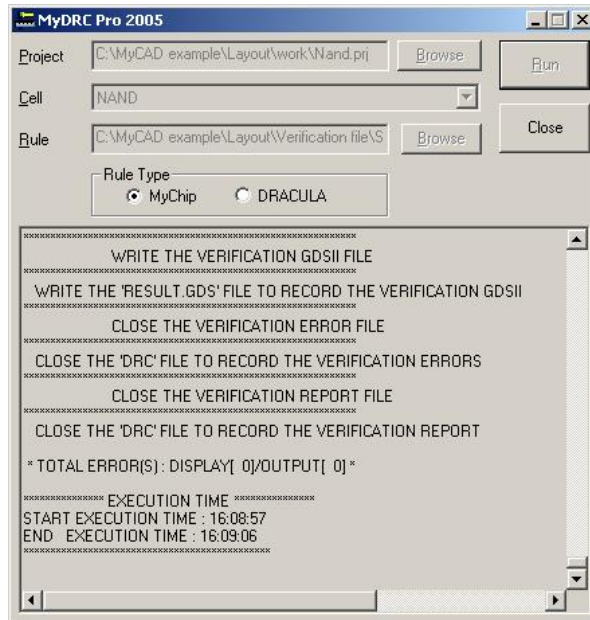
< 그림 2.4.(2)-9 Metal text 그리기 >



③ Layout 검증

i. DRC (MyDRC Pro)

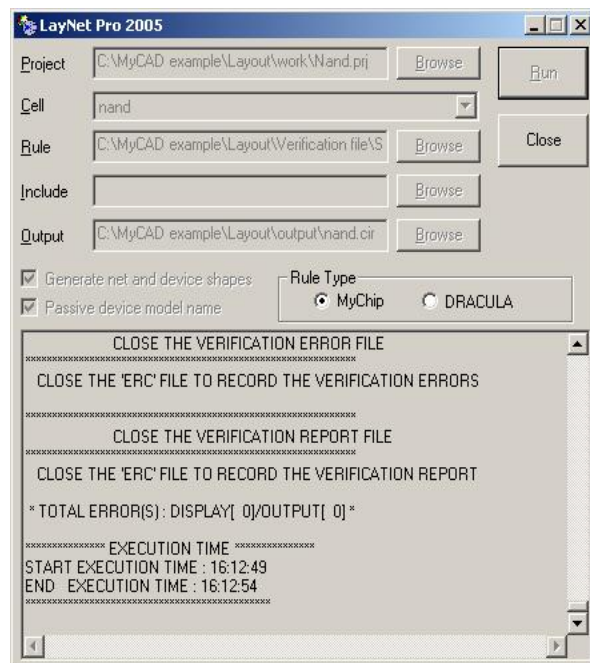
Verification File은 SCMOS\_SCN4ME\_SUBM\_DRC.rul을 사용한다.



< 그림 2.4.(2)-10 Layout 에 대한 DRC 검증 >

ii. Extract & ERC (LayNet Pro)

Verification File은 SCMOS\_SCN4ME\_SUBM\_ERC.rul을 사용한다. Netlist File은 output folder 에 nand.cir 파일로 추출한다. Generate net and device shapes와 Passive device model name 을 체크한 후 Run을 누른다.



< 그림 2.4.(2)-11 Layout 에 대한 Netlist Extract & ERC 검증 >

④ SPICE 시뮬레이션 (MySPICE)

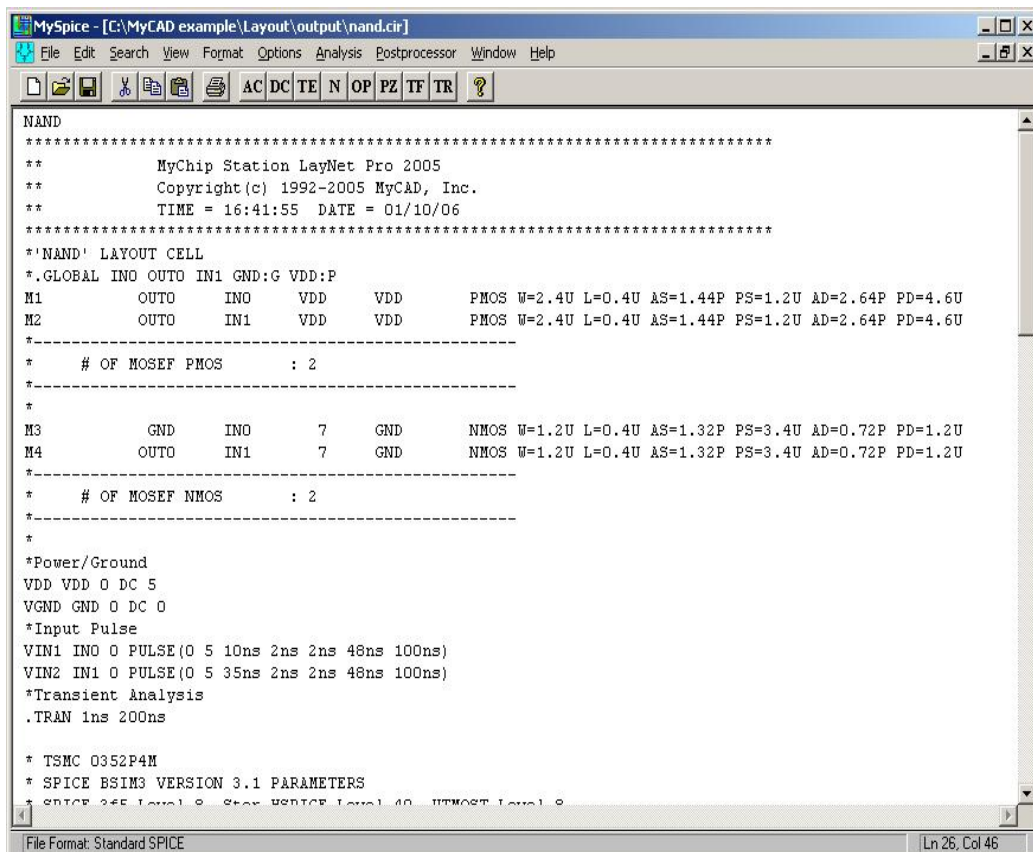
i. Open nand.cir & Include.inc

MySpice를 실행시키고, nand.cir파일을 열어서 SCN4M\_SUMB SPICE BSIM3.txt파일을 복사해서 붙여 넣는다. Inverter 입력 노드 수보다 하나 더 있기 때문에 입력펄스 2개를 넣어주고 Simulation을 실행시키기 위한 시간 축 구간 값을 포함 시켜준다.

```
* Power/Ground
VDD VDD 0 DC 5
VGND GND 0 DC 0

* Input Pulse
VIN1 IN0 0 PULSE(0 5 10ns 2ns 2ns 48ns 100ns)
VIN2 IN1 0 PULSE(0 5 35ns 2ns 2ns 48ns 100ns)

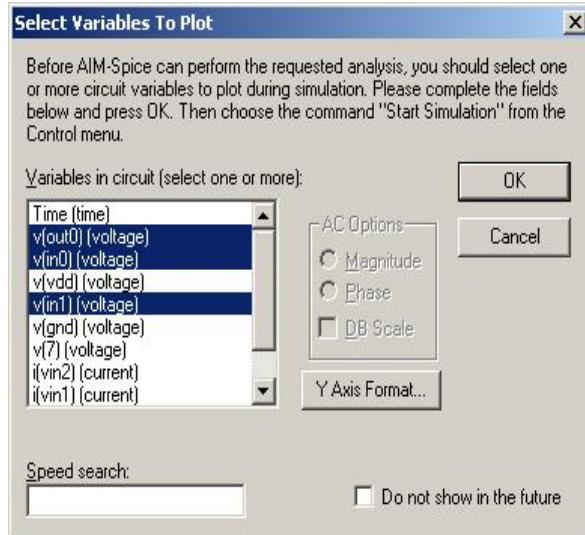
* Transient Analysis
.TRAN 1ns 200ns
```



< 그림 2.4.(2)-12 Open Nand.inc & Include.inc 첨부 >

ii. RUN

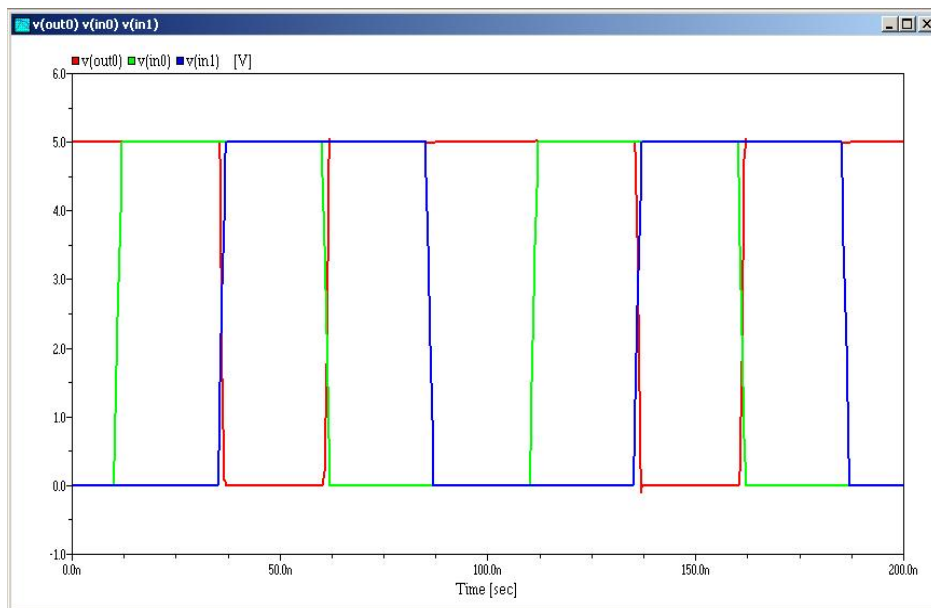
메뉴 Analysis에서 Run Standard Spice File을 실행시키고, Select Variables To Plot에서 결과 확인을 원하는 입력노드와 출력노드를 선택한다.



< 그림 2.4.(2)-13 Select Variables \_ V(out0) , V(in0), V(in1) >

iii. 결과확인

메뉴 Control에서 Start Simulation을 실행 시키고, Simulation Statistics를 확인한다.



< 그림 2.4.(2)-14 Layout 결과 확인 >

입력과 출력이 NANDgate의 진리표와 같음을 알 수 있다.

### (3) Layout과 Schematic 비교분석

#### ① MyLVS 실행

##### i. Rule & Discrepancy

Rule은 SCMOS\_SCN4ME\_SUBM\_ERC.rul을 사용하고 C:\MyCAD example\Layout\Work 폴더 안에 nand.dis에 discrepancy file을 저장한다.

##### ii. Layout or Schematic1

현재 Project가 자동으로 저장된다.

##### iii. Schematic or Schematic2

Schematic\output\nand.cir을 연다.

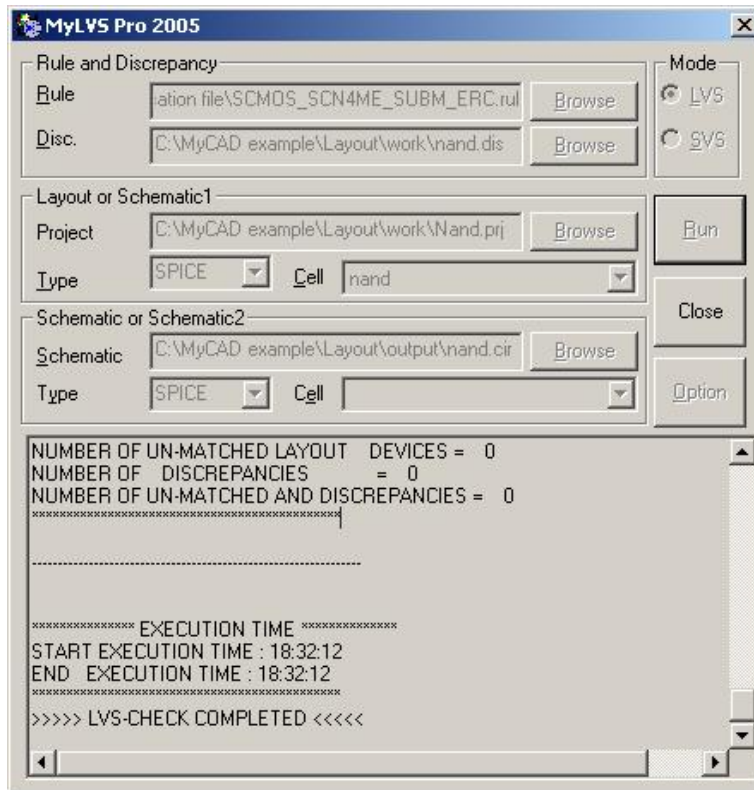


< 그림 2.4.(2)-15 My LVS 실행 경로 설정 >



② Discrepancy 파일 확인

Schematic에 cap이 없기 때문에 Discrepancy가 발생하지 않는다.



< 그림 2.4.(2)-16 MyLVS 실행 >

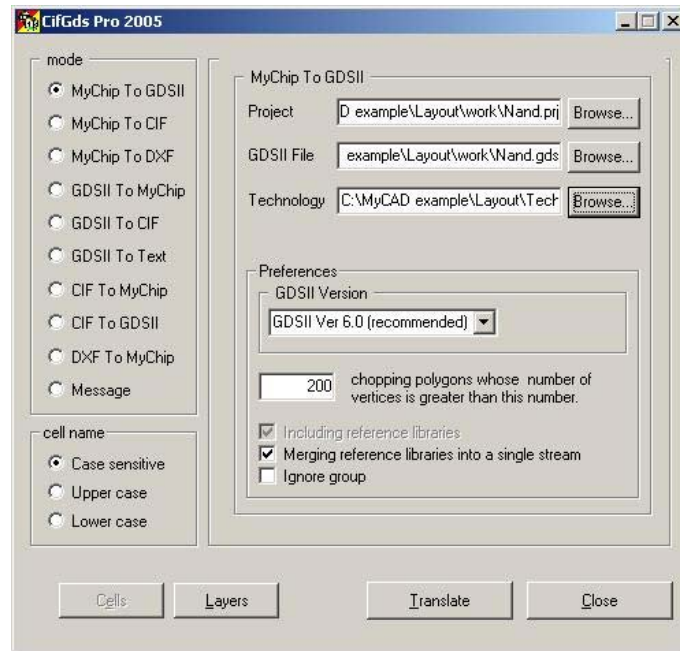
③ Layout 수정

Discrepancy가 발생하면 Schematic과 Layout의 Netlist를 비교하여 수정한다.

#### (4) Layout data 변환

##### ① CifGDSPro

CifGDSPro 창에서 mode에 MyChip To GDSII 선택하고 Project를 Nand.prj를 선택하면 자동으로 설정된다.



< 그림 2.4.(2)-17 CifGDS Pro 실행 설정 >

Translate을 실행해서 Message를 확인한 다음 GDS파일이 생성되었는지 확인한다.

### 3. 계층 구조 설계

#### 3.1. 목적

레이아웃설계에서 복잡도가 높은 Chip을 설계하다 보면, 하나의 Cell을 설계할 때 이미 설계된 다른 Cell의 복사본을 불러와 위치 시키고, 그 위에 덧붙여 레이아웃 설계를 계속 해 나가는 경우가 많다. 이렇게 하나의 Cell을 설계할 때, 다른 Cell 의 복사본을 포함시켜 설계하는 기법을 계층적 (hierarchical)설계라 하고, 복사본을 또 다른 용어로 인스턴스(Instance)라고 부른다. 따라서 계층 설계 는 인스턴스를 포함하는 설계라 말할 수 있다.

## 3.2.Instance 명령어

### (1) Create Instance

복잡한 Layout을 설계할 때 필요한 Cell들을 Instance로 불러온다.

### (2) View Detail

Cell의 visual Level을 지정한다.

### (3) Set Instance View Level

각 Cell의 View Level을 지정한다.

### (4) Flatten & Flatten All

Instance Select모드에서 Object Select모드로 변경한다. 역으로는 불가능, 계층구조를 없애는 것이다.

### (5) Replace Instance

Instance를 Replace한다.

### (6) Edit-In-Place

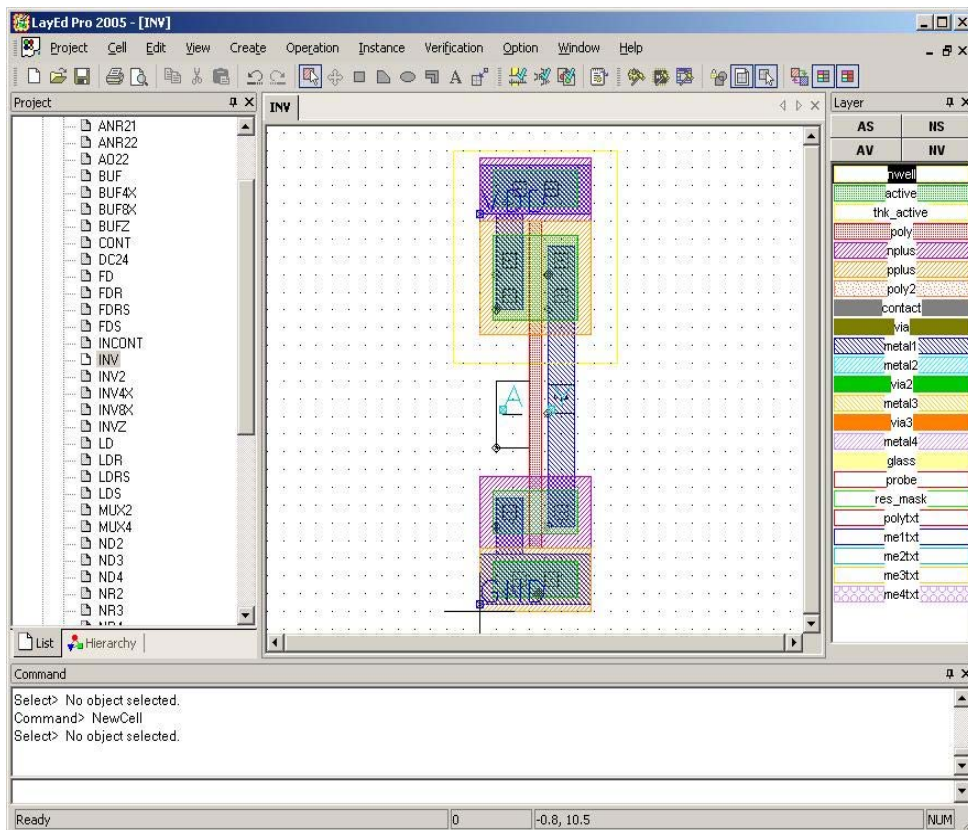
계층구조를 살린 채로 Flatten과 비슷한 기능을 한다. 역으로도 가능하다. 자세한 내용은 매뉴얼을 참고한다.

### 3.3. 실습예제

간단하게 인버터 2개를 연결해 보기로 한다. 인버터회로의 레이아웃을 집적 설계해서 다른 이름으로 저장하여 Instance로 불러온다. (같은 이름으로 되어 있으면 불러올 수 없다.) 여기서는 MyCell에 있는 인버터를 불러와서 사용하도록 한다.

#### (1) Inverter 설계

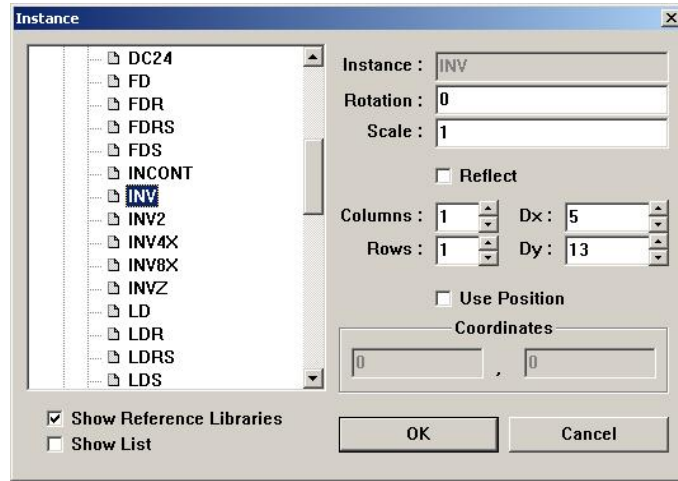
LayEd를 실행 시키고 C:\MyCADPro\Demo\IDS\MyCell\Layout\MyCell.prj를 연다. MyCell의 Cell들 중에서 INV를 선택하여 연다.



< 그림 4.3.(1)-1 Mycell 중 INV 파일 확인 >

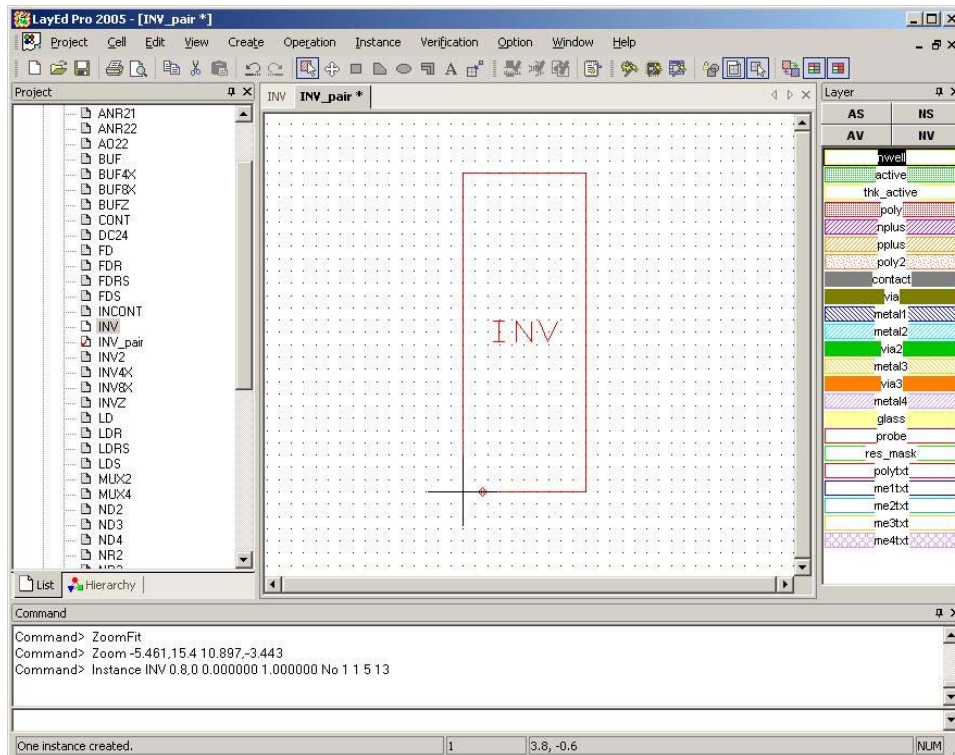
## (2) INV\_PAIR 만들기

INV\_pair 이름의 New Cell을 만든다. INV\_pair Cell에 INV를 Create Instance한다. 다른 설정은 기본으로 한다.



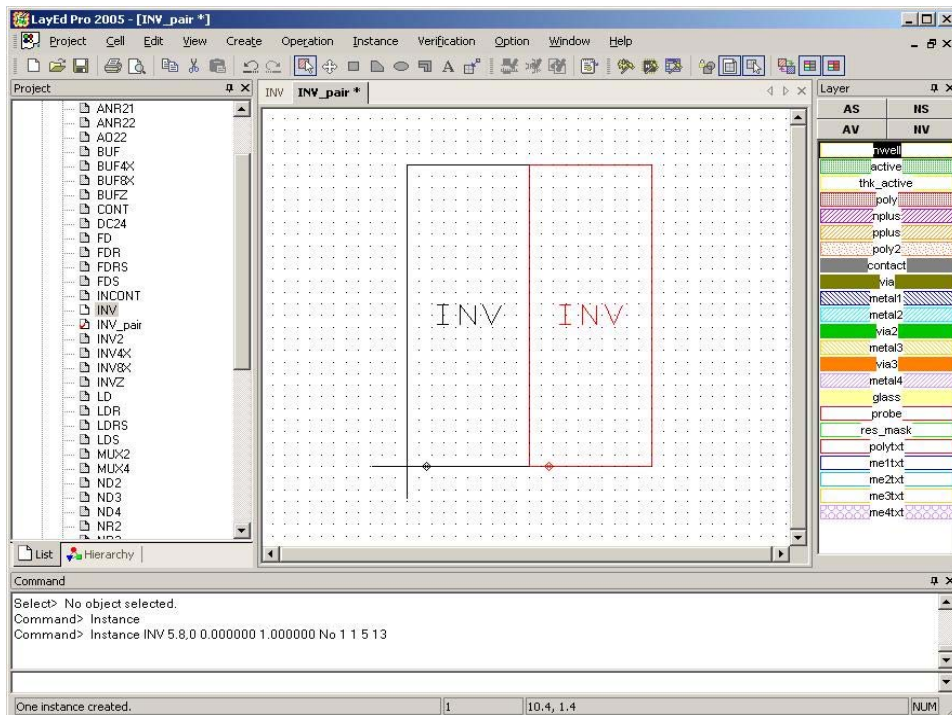
< 그림 4.3.(1)-2 INV 에 대한 Create Instance >

왼쪽 버튼으로 그림 4.3.(1)-3과 같이 고정시킨다. 처음 Instance를 배치하면 Cell의 외곽선 MBB(Minimum Bounding Box)만 보인다.



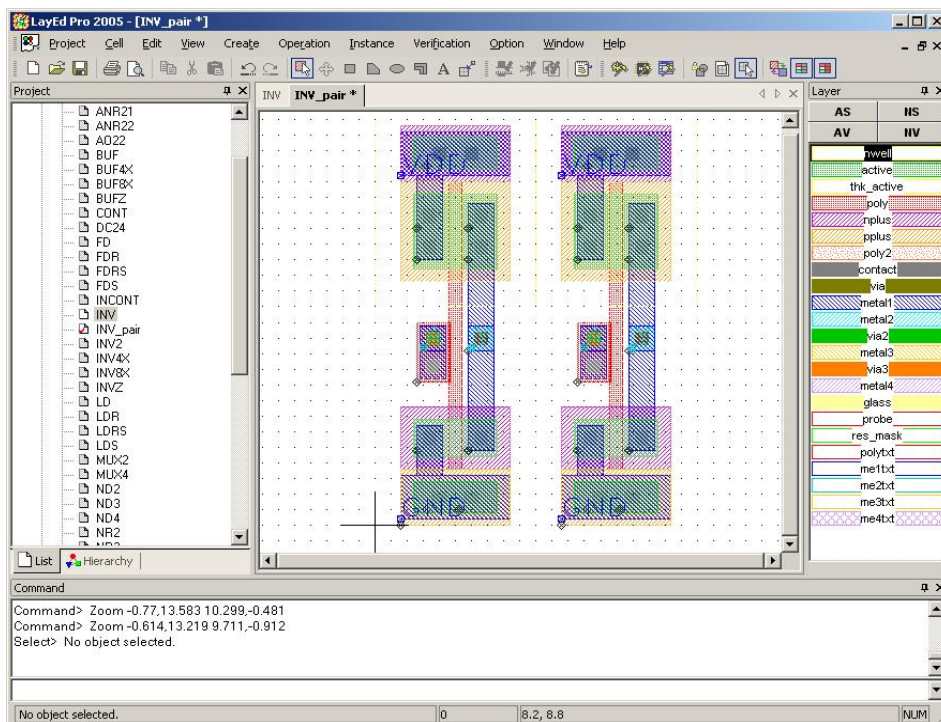
< 그림 4.3.(1)-3 INV Instance 배치 >

이 상태에서 INV Instance를 하나 더 불러와 그림 4.3.(1)-4와 같이 배치시킨다. 복사해서 사용해도 무방하다.



< 그림 4.3.(1)-4 INV Instance 하나 더 배치하기 >

배치가 됐으면 Menu 에서 Instance → View detail → All detail or More detail 을 선택해서 내부 레이아웃을 나타낸다.

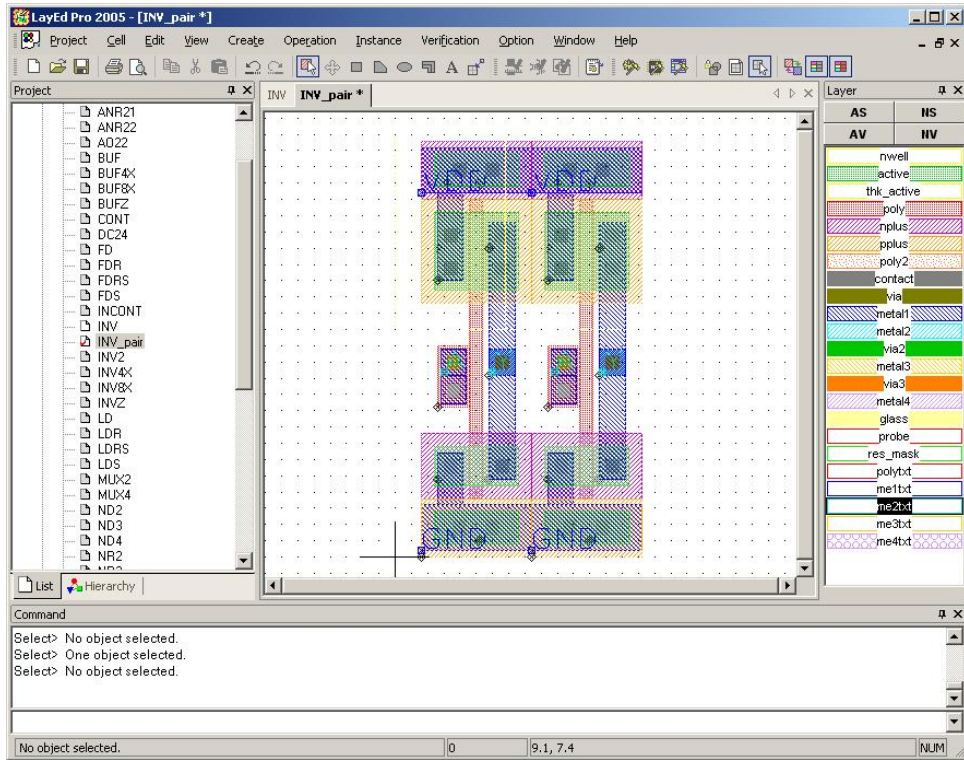


< 그림 4.3.(1)-5 INV Instance 에 대한 View detail >



### (3) VDD, GND연결

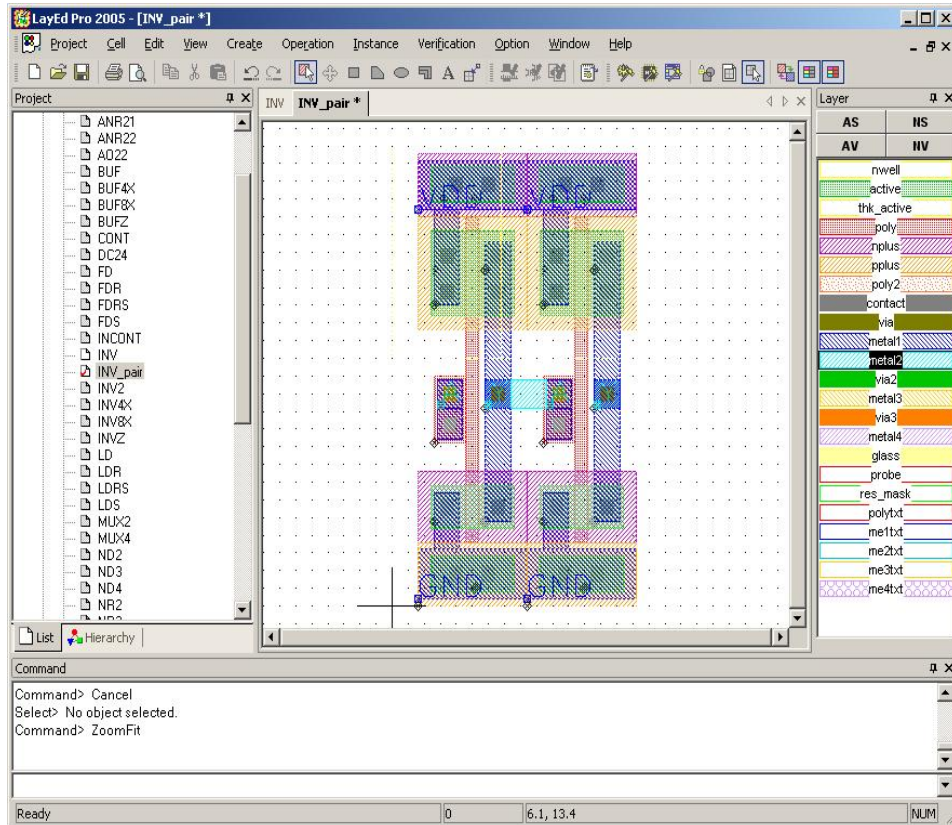
그림 4.3.(1)-5에서 알 수 있듯이 VDD와 GND가 떨어져 있음을 알 수 있다. 하나의 Instance를 이동해서 VDD와 GND를 연결한다. Instance는 Select하면 Instance전체가 Select된다.



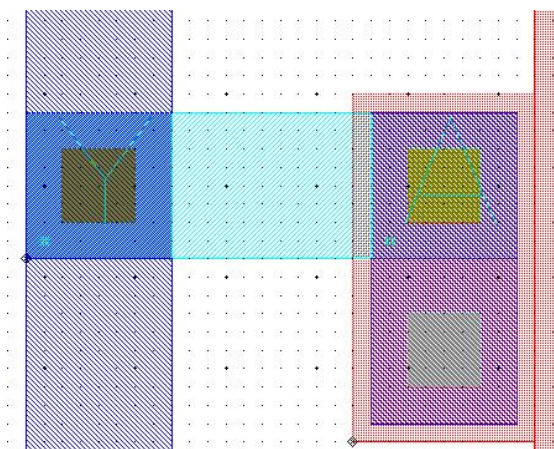
< 그림 4.3.(1)-6 두 개의 Instance 의 VDD , GND 연결 >

#### (4) 출력노드와 입력노드 연결

레이아웃에서 보면 입력과 출력은 Metal2로 되어 있음 알 수 있다. Layer panel의 Metal2를 선택하여 Menu에서 Create → Rectangle로 왼쪽 INV의 출력과 오른쪽INV의 입력을 연결한다.

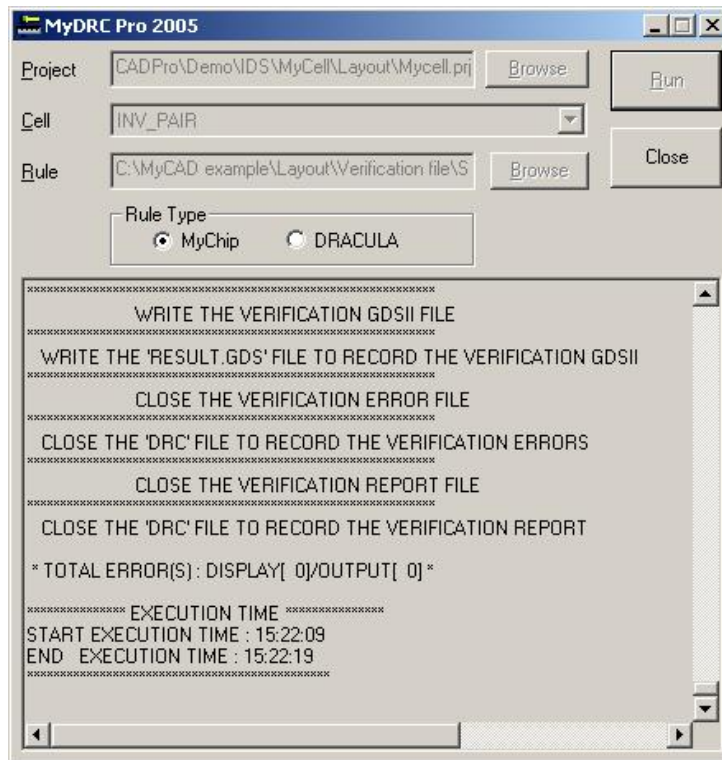


< 그림 4.3.(1)-7 두 개 Instance 의 출력노드와 입력 노드 연결 >



< 그림 4.3.(1)-8 입력노드와 출력노드의 연결 확대보기 >

MyDRC Pro를 통해 디자인 룰을 검사해 본다.



< 그림 4.3.(1)-9 Layout DRC 검증 >

## 4. MUX 설계

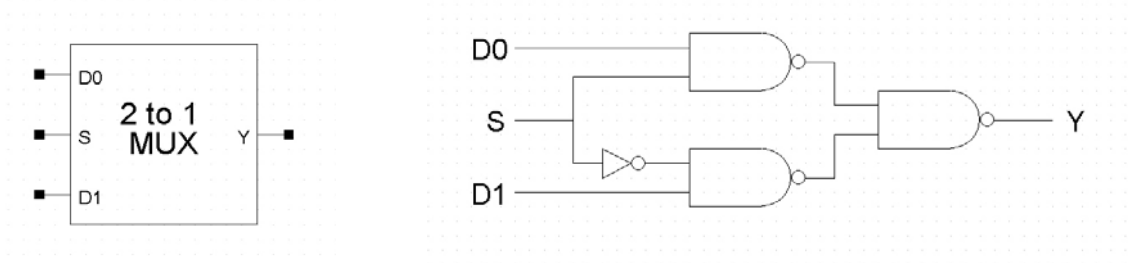
### 4.1. 2 to 1 MUX 이론

#### (1) Multiplexer 정의

멀티플렉서는 여러 개의 입력신호 가운데에서 하나를 선택하여 출력하는 회로로서 어떤 신호를 선택할 것인가는 선택신호 입력에 의해서 결정된다. 멀티플렉서는 데이터 선택기(Data Selector)로서 여러 개의 데이터입력을 받아들여 한 순간에 오직 하나의 데이터입력만을 출력으로 연결하는 스위칭 회로이다.

## (2) Multiplexer 원리

2 to 1 MUX를 만드는 방법에는 여러 가지가 있지만 여기서는 앞에서 배운 NAND와 Inverter를 이용하여 만든다.



<그림 5.1-1 2 to 1 MUX의 블록도와 논리회로>

그림 5.1-1의 논리회로를 설계하여 데이터를 확인하여 보면 그림 5.1-2 Truth Table과 같은 결과를 얻을 수 있다.

S	D0	D1	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

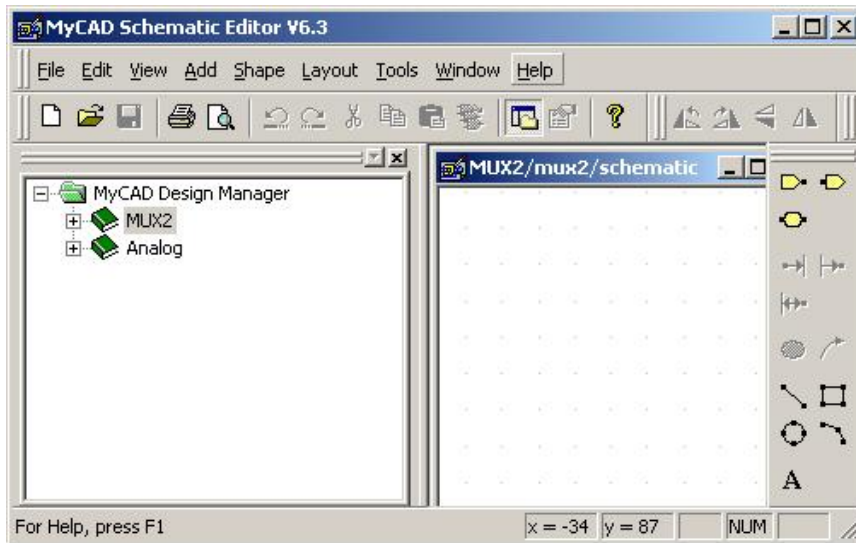
< 그림 5.1-2 Truth Table >

위의 결과에서 알 수 있듯이 S=0 일 때 Y=D1, S=1 일 때 Y=D0으로 나오는 것을 볼 수 있다. 곧 S (Select)의 값에 따라서 결과를 D0, D1 (Data)으로 조정할 수 있다는 것이다.

## 4.2. 2 to 1 MUX Schematic 설계 (Schematic Editor For MyAnalog)

### (1) Library 생성 & 추가

SchEd를 실행시키고 MyCAD example\Schematic\Work Folder에 MUX2 library File과 Cell을 만들고 Analog library File을 추가한다.

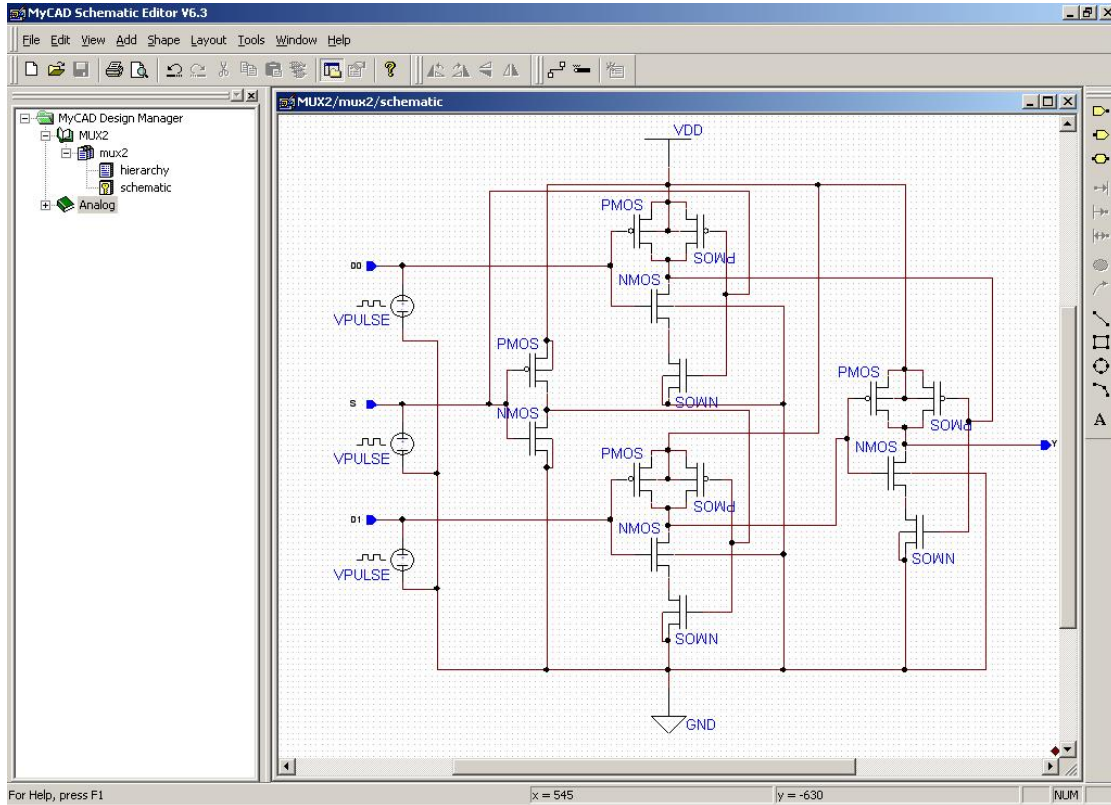


< 그림 5.2-1 Library 생성 & 추가 >

## (2) Schematic 설계

### ① 회로구성

Analog library file에서 2 to 1 MUX에 필요한 심볼들(7NMOS, 7PMOS, VDD, GND, 3VPULSE)을 불러와 그림 5.1-1의 논리회로대로 회로를 구성한다.

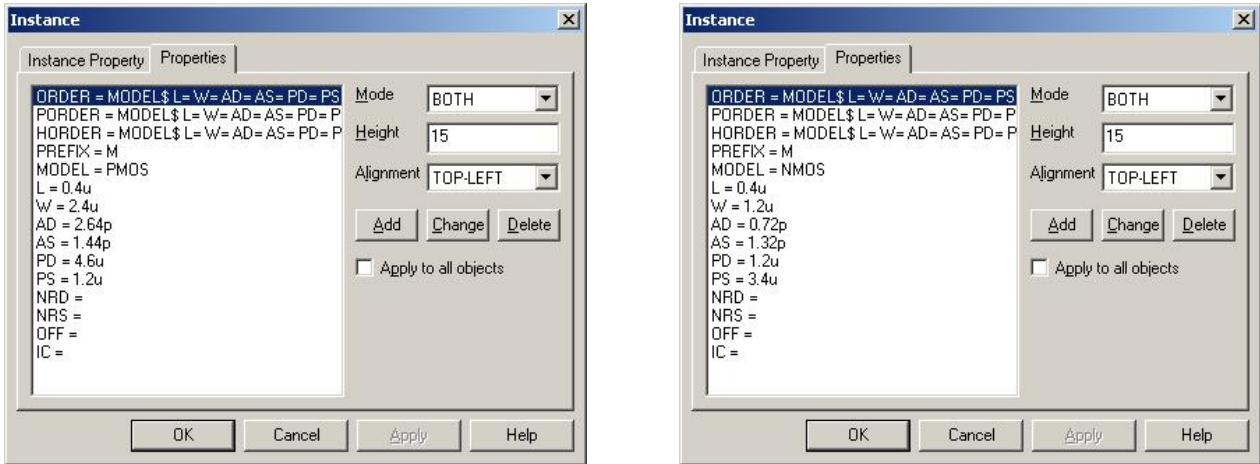


< 그림 5.2-2 Schematic 회로구성 >



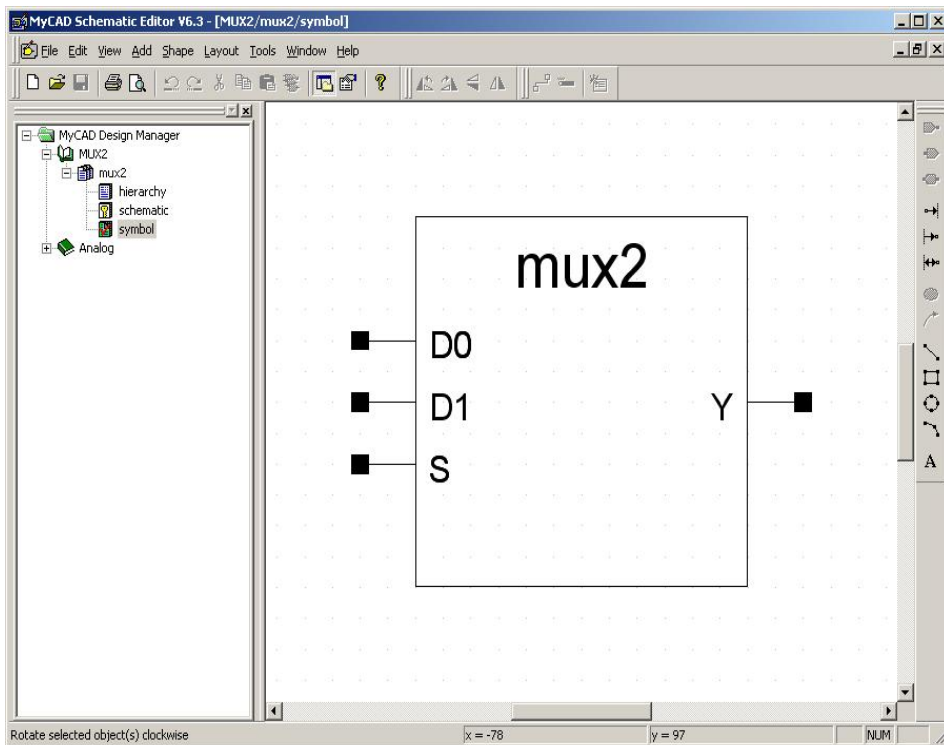
② 심볼속성설정 및 생성

심볼속성은 앞 단의 Inverter부분의 MOS는 2장의 Inverter속성과 같이 하고 뒤 단의 NAND GATE부분들도 3장의 NAND속성과 같아도 상관없지만 여기서는 MyLVS Pro를 하기 위해서 Layout의 결과와 같도록 한다. NAND의 속성은 아래와 같다.



< 그림 5.2-3 Schematic 심볼속성설정 및 생성 >

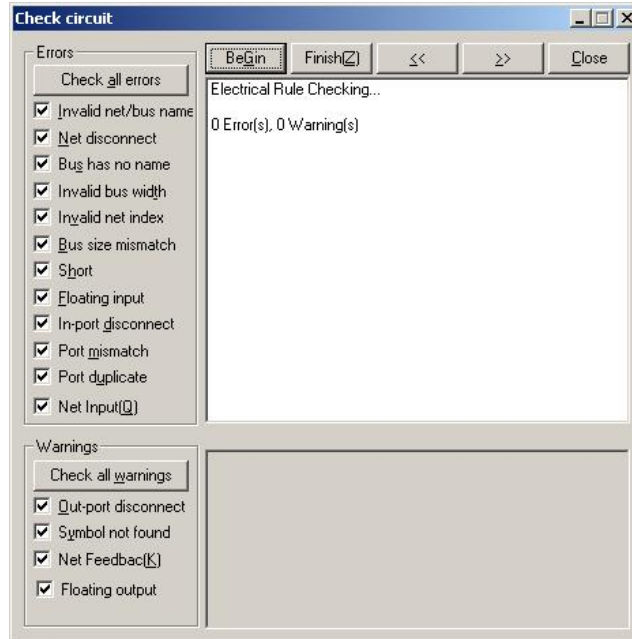
VPULSE의 속성에서 볼트는 3가지 동일 하게 맞추고 PULSE 시간은 그림 5-1의 Truth Table에 맞추어 설정한다. D1 PULSE ( 0 5 0N 0N 0N 10N 20N ), D0 PULSE ( 0 5 0N 0N 0N 20N 40N ), S PULSE ( 0 5 0N 0N 0N 40N 80N ) 여기서는 펄스간의 간격을 20ns으로 정했다. 심볼 만들기를 선택해 심볼을 생성한다.



< 그림 5.2-4 심볼 모양 생성 >

### ③ Schematic 검증

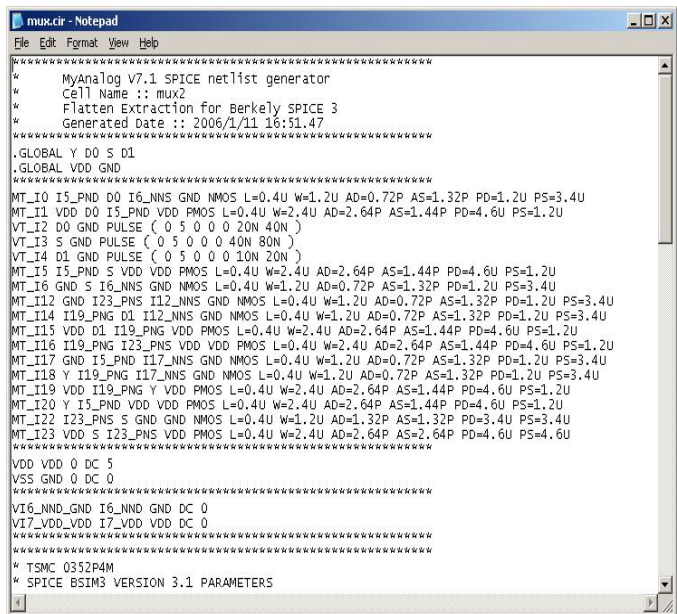
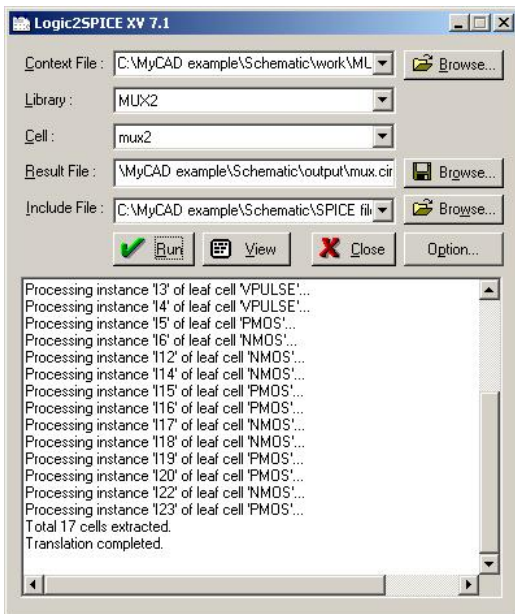
메뉴 도구의 회로검증을 선택하여 ERC를 한다. Error가 발생하면 Schematic회로를 수정한다.



< 그림 5.2-5 Schematic ERC 검증 >

### ④ Netlist 파일 추출 (Logic2SPICE)

회로검증이 끝나면 메뉴 도구에 SPICE 네트리스트 내보내기를 한다. 결과는 output folder에 Mux2.cir로 저장한다. Run을 눌러 추출한 후 View를 눌러 확인한다.



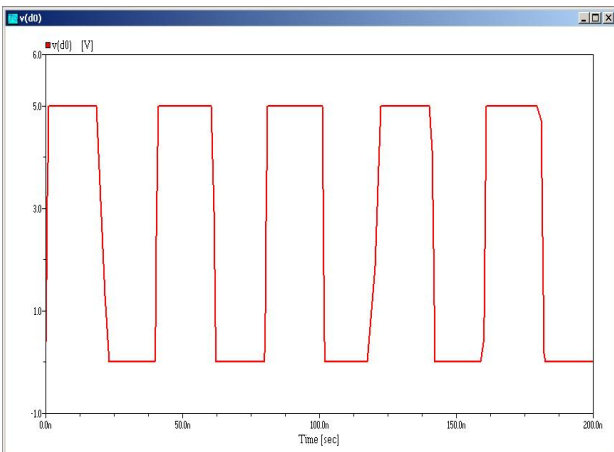
< 그림 5.2-6 Schematic Netlist 파일 추출 & 확인 >

⑤ SPICE 시뮬레이션

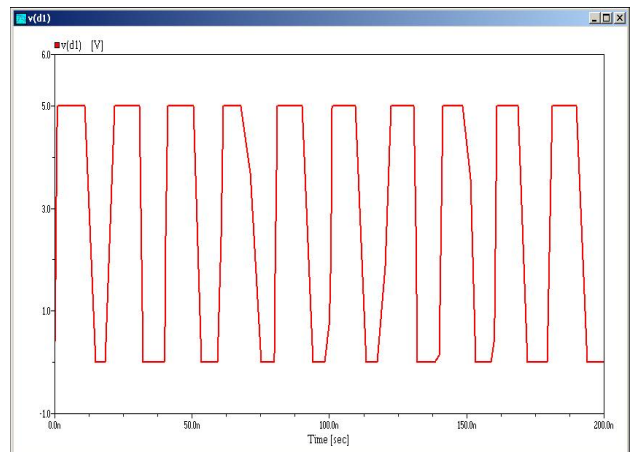
i. Simulation (MySPICE)

MySpice를 실행시켜 output folder의 Mux2.cir을 불러와서 시간 구간을 적어 넣는다. (.TRAN 1ns 200ns) 메뉴 Analysis의 Run Standard Spice File을 눌러 실행시킨다. Mux에서는 입력과 출력을 하나씩 분류해서 결과를 알아보기로 한다. Select Variables To Plot에서 입력노드 (D0, D1, S), 출력노드 (Y)를 하나씩 선택해서 Simulation한다.

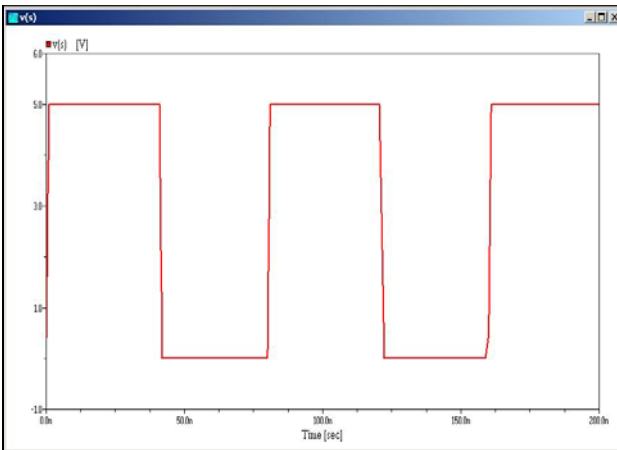
ii. 결과확인



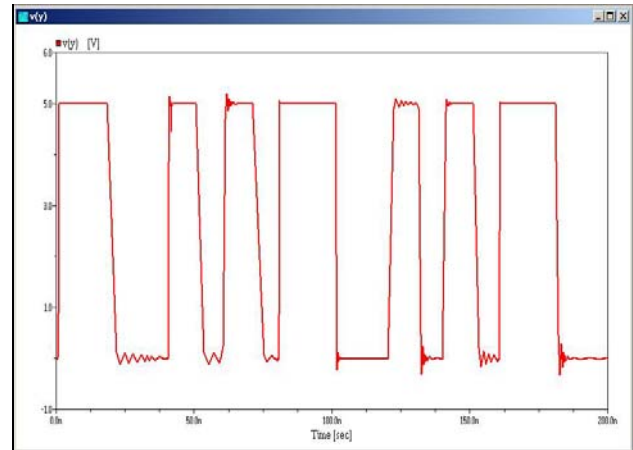
< D0의 결과 >



< D1의 결과 >



< S의 결과 >



< Y의 결과 >

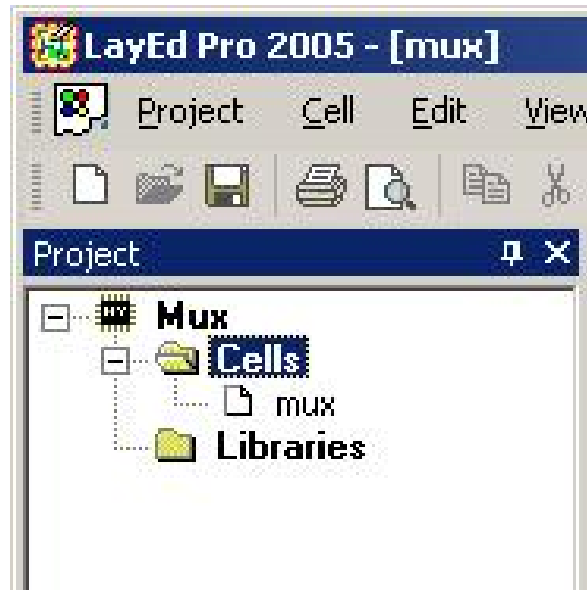
< 그림 5.2-7 Schematic 결과 확인 >

입력과 출력이 NAND gate의 진리표와 같음을 알 수 있다.

### 4.3. 2 to 1 Mux Layout 설계 (LayEd Pro)

#### (1) Project & Cell 생성

LayEd를 실행 시키고 Layout\Work Folder에 Mux Project와 Cell을 만들고 Technology File은 Layout\Technology File\SCOMS\_SCN4ME\_SUBM.TEC를 사용한다.



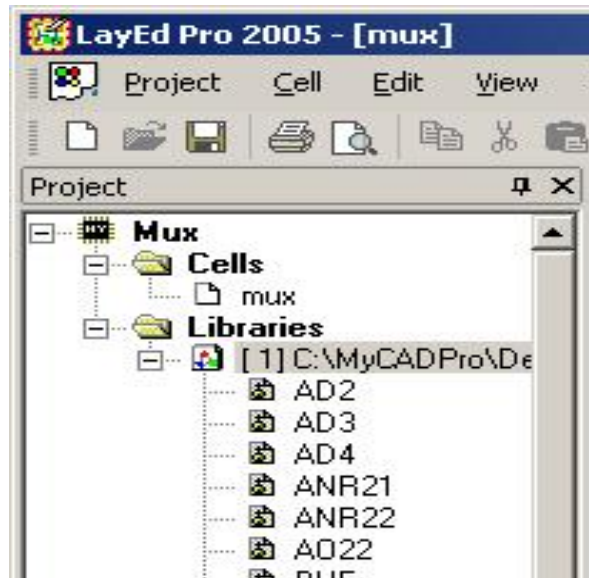
< 그림 5.2-8 Project & Cell 생성 >

## (2) Layout 설계

Schematic회로를 보고 DRC에 맞게 Mux layout을 설계한다. MyCell의 NANDgate와 Inverter를 사용하여 설계한다.

### ① MyCell 추가

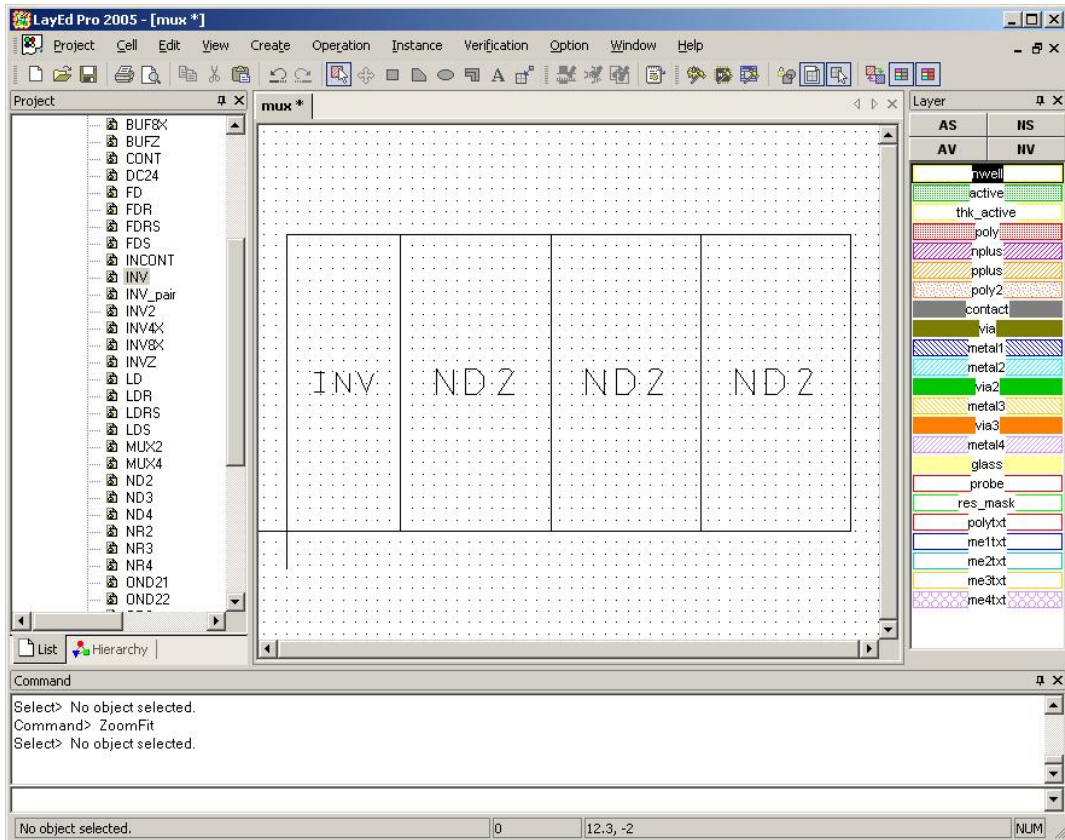
Bind Library를 사용하여 C:\MyCADPro\Demo\IDS\MyCell\Layout 폴더에 있는 MyCell.prj를 추가시킨다.



< 그림 5.2-9 Bind Library 에 대한 MyCell 추가 >

② Instance (Inverter, NAND) 배치하기

MyCell의 Inverter와 NAND를 불러와 아래와 같이 배치시킨다.



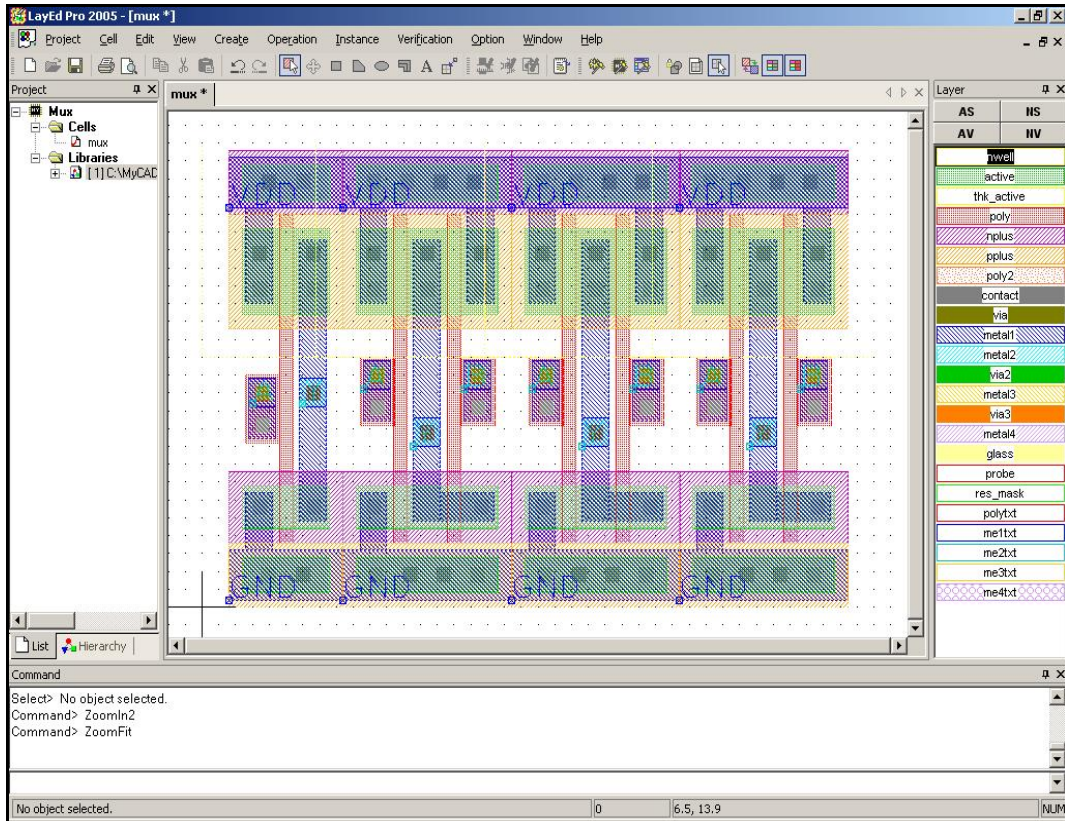
< 그림 5.2-10 Instance (Inverter, NAND) 배치하기 >



③ VDD, GND 연결하기

Instance를 All Detail 한 후에 VDD와 GND를 아래 그림과 같이 연결 시킨다.

Instance Boundary를 편의상 안보이기를 선택했다.

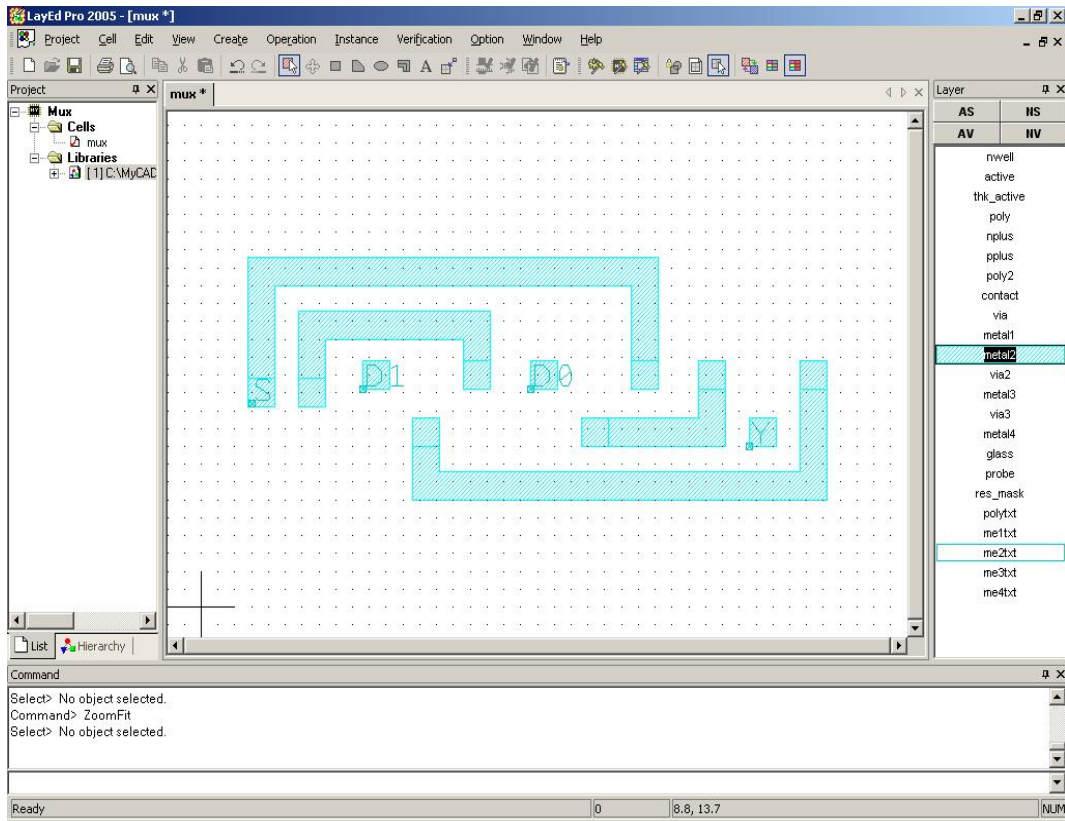


< 그림 5.2-11 Instance 의 VDD, GND 연결하기 >



④ 입력노드, 출력노드 연결하기

Flatten All 한 후에 Schematic의 입, 출력 연결과 같이 라벨을 바꾼 후 연결한다.

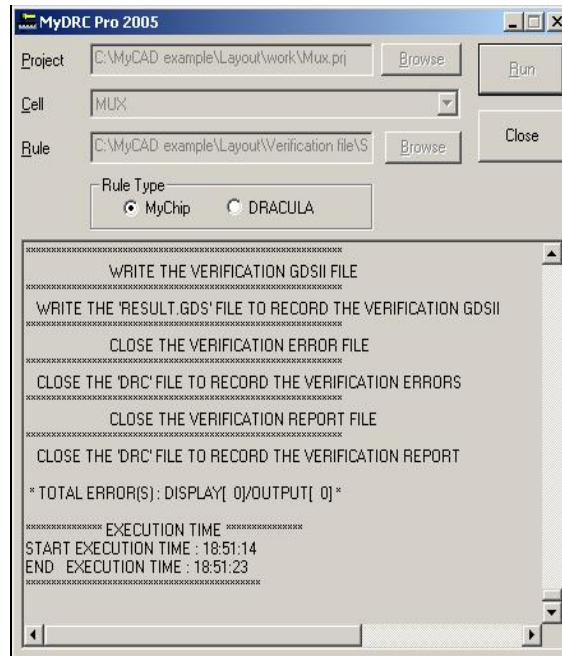


< 그림 5.2-12 Instance 의 입력노드, 출력노드 연결하기 >

⑤ Layout 검증

i. DRC (MyDRC Pro)

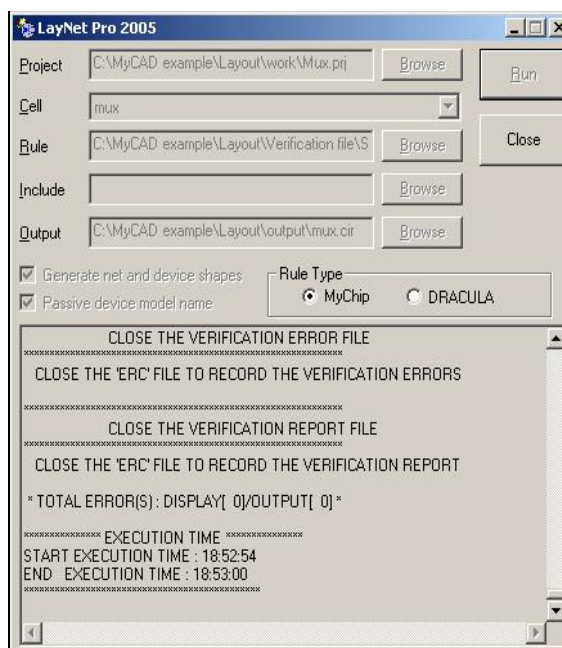
Verification File은 SCMOS\_SCN4ME\_SUBM\_DRC.rul을 사용한다.



< 그림 5.2-13 Layout DRC 검증 >

ii. Extract & ERC (LayNet Pro)

Verification File은 SCMOS\_SCN4ME\_SUBM\_ERC.rul을 사용한다. Netlist File은 output folder 에 mux.cir 파일로 추출한다.



< 그림 5.2-14 Layout Netlist Extract & ERC >

⑥ SPICE 시뮬레이션 (MySPICE)

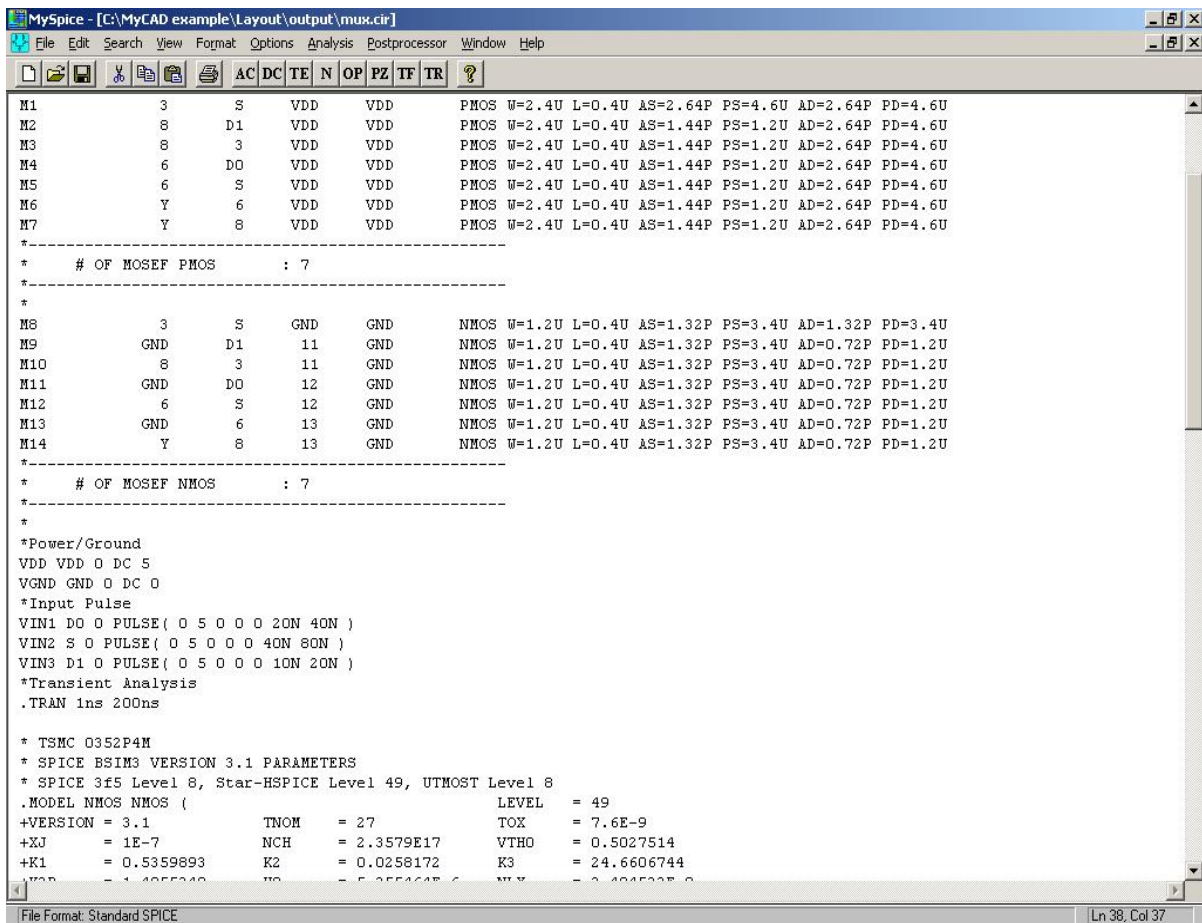
i. Open nand.cir & Include.inc

MySpice를 실행시키고, mux.spc 파일을 열고 SCN4M\_SUMB SPICE BSIM3.txt 내용을 복사한 후 붙여 넣는다. Simulation을 실행시키기 위해 입력펄스 3개를 넣어주고 전압과 그라운드 값, 시간 축 구간 값을 포함 시켜준다.

```
* Power/Ground
VDD VDD 0 DC 5
VGND GND 0 DC 0

* Input Pulse
VIN1 D0 0 PULSE(0 5 0 0 0 20n 40n)
VIN2 S 0 PULSE(0 5 0 0 0 40n 80n)
VIN3 D1 0 PULSE(0 5 0 0 0 10n 20n)

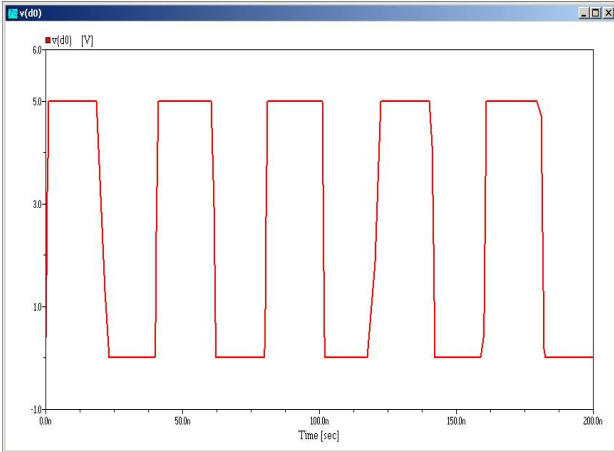
* Transient Analysis
.TRAN 1ns 200ns
```



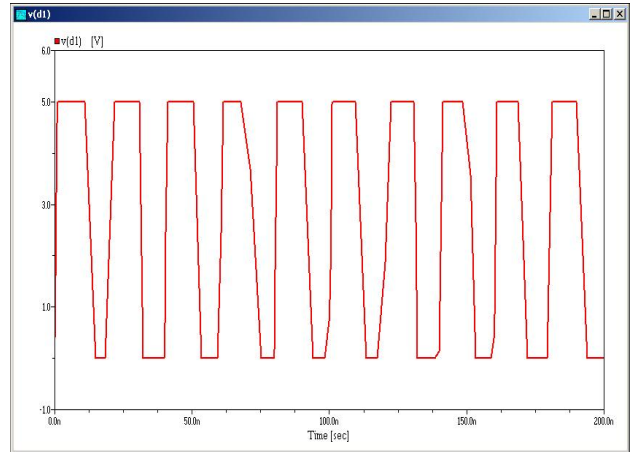
< 그림 5.2-15 Open nand.cir & Include 파일 첨부 >

ii. 결과확인

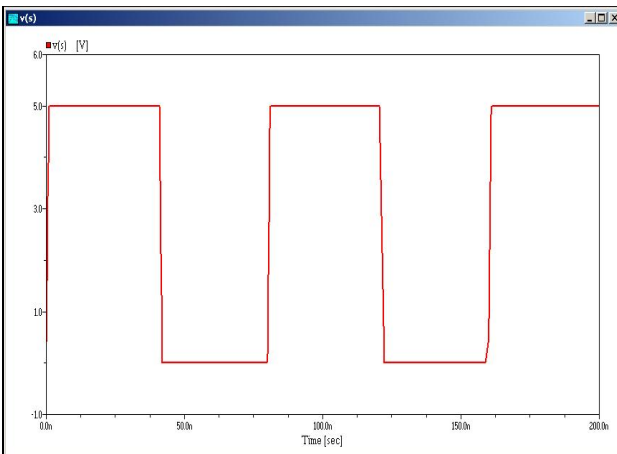
메뉴 Analysis의 Run Standard Spice File을 눌러 실행시킨다. Mux에서는 입력과 출력을 하나씩 분류해서 결과를 알아보기로 한다. Select Variables To Plot에서 입력노드 (D0, D1, S), 출력노드 (Y)를 하나씩 선택해서 Simulation한다.



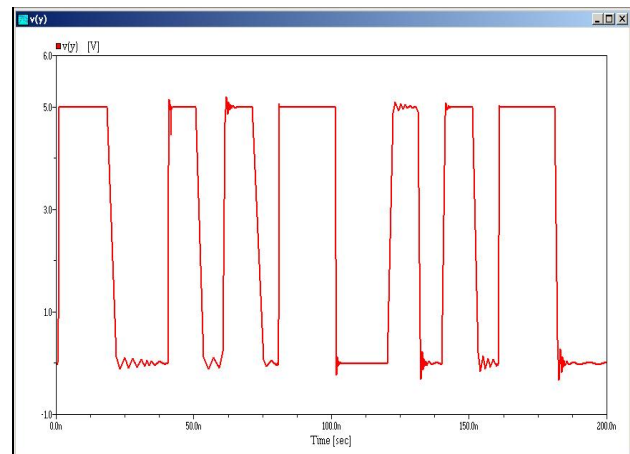
< D0의 결과 >



< D1의 결과 >



< S의 결과 >



< Y의 결과 >

< 그림 5.2-16 Layout 결과 확인 >

입력과 출력이 NANDgate의 진리표와 같음을 알 수 있다.

### (3) Layout과 Schematic 비교분석

#### ① MyLVS 실행

##### i. Rule & Discrepancy

Rule은 SCMOS\_SCN4ME\_SUBM\_ERC.rul을 사용하고 Work폴더에 mux.dis로 discrepancy file을 저장한다.

##### ii. Layout or Schematic1

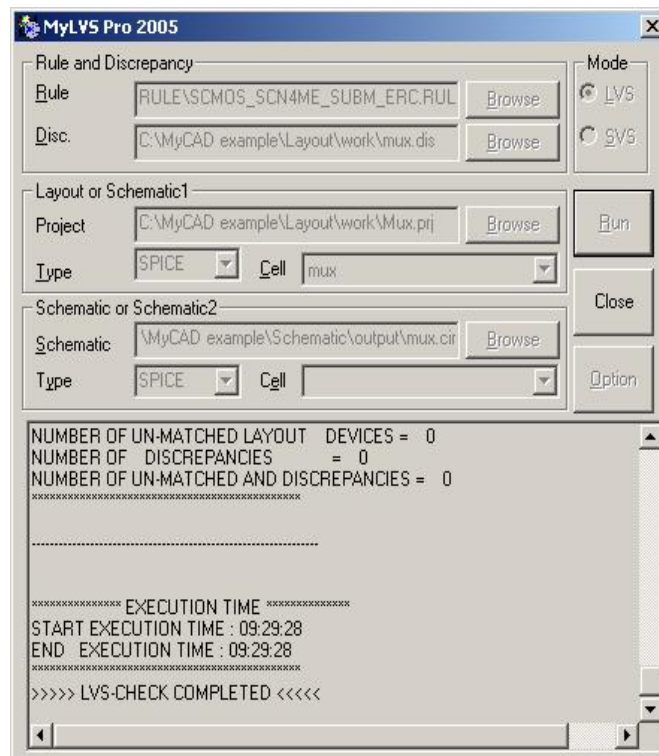
현 Project가 자동으로 저장된다.

##### iii. Schematic or Schematic2

Schematic\output\mux.cir을 연다.

#### ② Discrepancy 파일 확인

Schematic에 cap이 없기 때문에 Discrepancy가 발생하지 않는다.



< 그림 5.2-17 MyLVS 실행 >

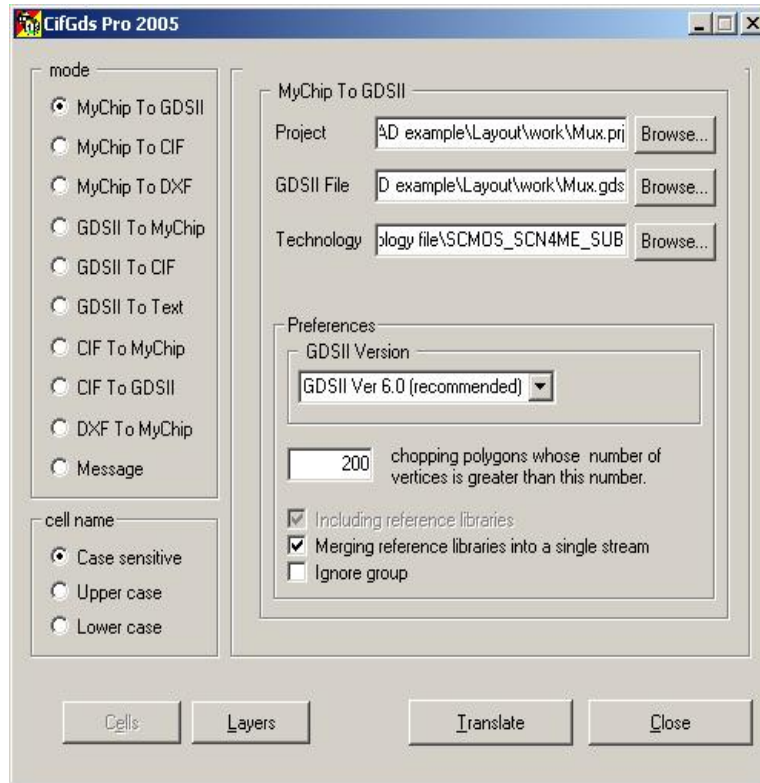
#### ③ Layout 수정

Discrepancy가 발생하면 Schematic과 Layout의 Netlist를 비교하여 수정한다.

#### (4) Layout data 변환

##### ① CifGDS

CifGDS 창에서 mode에 MyChip To GDSII 선택하고 Project를 mux.prj를 선택하면 자동으로 설정된다.



< 그림 5.2-18 CifGDS Pro 실행 설정 >

Translate을 실행하고 Message를 확인한다.

# APPENDIX

## I. Technology File

① SCMOS\_SCN4ME\_SUBM.TEC

```
#-----  
%    definition  
#-----  
nwell  
active  
thk_active  
poly  
nplus  
pplus  
poly2  
contact  
via  
metal1  
metal2  
via2  
metal3  
via3  
metal4  
glass  
probe  
res_mask  
polytxt  
me1txt  
me2txt  
me3txt  
me4txt  
#-----  
%    stipple_file  
#-----  
C:\MyCAD example\layout\technology file\stipple.lst  
#-----  
%    cif_name  
#-----
```



nwell	CWN	
active	CAA	
thk_active		CUK
poly	CPG	
nplus	CSN	
pplus	CSP	
poly2	OPS	
contact		CCC
via	CV1	
metal1		CM1
metal2		CM2
via2	CV2	
metal3		CM3
via3	CV3	
metal4		CM4
glass	COG	
probe	XP	
res_mask		CRM
polytxt		CPT
me1txt		CM1T
me2txt		CM2T
me3txt		CM3T
me4txt		CM4T
#-----		
%	dxf_name	
#-----		
nwell	DXF	
active	DXF	
thk_active		DXF
poly	DXF	
nplus	DXF	
pplus	DXF	
poly2	DXF	
contact		DXF
via	DXF	
metal1		DXF
metal2		DXF
via2	DXF	
metal3		DXF

via3	DXF	
metal4		DXF
glass	DXF	
probe	DXF	
res_mask		DXF
polytxt		DXF
me1txt		DXF
me2txt		DXF
me3txt		DXF
me4txt		DXF

#-----

% gds\_num

#-----

nwell	42	
active	43	
thk_active		60
poly	46	
nplus	45	
pplus	44	
poly2	56	
contact		25
via	50	
metal1		49
metal2		51
via2	61	
metal3		62
via3	30	
metal4		31
glass	34	
probe	26	
res_mask		79
polytxt		74
me1txt		75
me2txt		76
me3txt		77
me4txt		78

#-----

% color

#-----

nwell	255	255	0	
active	0	198	0	
thk_active		255	255	0
poly	255	0	0	
nplus	196	0	196	
pplus	255	161	0	
poly2	255	128	64	
contact		128	128	128
via	125	125	0	
metal1		0	0	250
metal2		0	255	255
via2	0	198	0	
metal3		255	213	0
via3	255	128	0	
metal4		212	153	255
glass	255	255	157	
probe	255	0	0	
res_mask		0	255	0
polytxt		255	0	0
me1txt		0	0	255
me2txt		0	204	204
me3txt		255	213	0
me4txt		212	153	255

#-----

% fill\_style

#-----

nwell	empty
active	stipple_9
thk_active	empty
poly	stipple_9
nplus	stipple_3
pplus	stipple_3
poly2	stipple_10
contact	solid
via	solid
metal1	stipple_2
metal2	stipple_3
via2	solid
metal3	stipple_2

```

via3      solid
metal4           stipple_3
glass      solid
probe      empty
res_mask           empty
polytxt           empty
me1txt           empty
me2txt           empty
me3txt           empty
me4txt           stipple_5
#-----
%   line_color
#-----
nwell      255    255    0
active     0      198    0
thk_active           255    255    0
poly       255    0      0
nplus     196    0      196
pplus     255    161    0
poly2     255    128    64
contact           128    128    128
via        125    125    0
metal1           0      0      250
metal2           0      255    255
via2       0      198    0
metal3           255    213    0
via3       255    128    0
metal4           212    153    255
glass     255    255    157
probe     255    0      0
res_mask           0      255    0
polytxt           255    0      0
me1txt           0      0      255
me2txt           0      204    204
me3txt           255    213    0
me4txt           212    153    255
#-----
%   line_style
#-----

```

nwell	0	
active	0	
thk_active		0
poly	0	
nplus	0	
pplus	0	
poly2	0	
contact		0
via	0	
metal1		0
metal2		0
via2	0	
metal3		0
via3	0	
metal4		0
glass	0	
probe	0	
res_mask		0
polytxt		0
me1txt		0
me2txt		0
me3txt		0
me4txt		0
#-----		
%	line_width	
#-----		
nwell	1	
active	1	
thk_active		1
poly	1	
nplus	1	
pplus	1	
poly2	1	
contact		1
via	1	
metal1		1
metal2		1
via2	1	
metal3		1

```

via3      1
metal4           1
glass     1
probe     1
res_mask           1
polytxt           1
me1txt           1
me2txt           1
me3txt           1
me4txt           1

```

```
#-----
```

```
% line_color_sel
```

```
#-----
```

```

nwell      255  0  0
active     255  0  0
thk_active           255  0  0
poly       255  0  0
nplus     255  0  0
pplus     255  0  0
poly2     255  0  0
contact           255  0  0
via        255  0  0
metal1           255  0  0
metal2           255  0  0
via2        255  0  0
metal3           255  0  0
via3        255  0  0
metal4           255  0  0
glass     255  0  0
probe     255  0  0
res_mask           255  0  0
polytxt           255  0  0
me1txt           255  0  0
me2txt           255  0  0
me3txt           255  0  0
me4txt           255  0  0

```

```
#-----
```

```
% line_style_sel
```

```
#-----
```

```

nwell      0
active     0
thk_active      0
poly       0
nplus      0
pplus      0
poly2      0
contact    0
via        0
metal1     0
metal2     0
via2       0
metal3     0
via3       0
metal4     0
glass      0
probe      0
res_mask   0
polytxt    0
me1txt     0
me2txt     0
me3txt     0
me4txt     0
#-----
%   line_width_sel
#-----
nwell      3
active     3
thk_active      1
poly       3
nplus      3
pplus      3
poly2      3
contact    3
via        3
metal1     3
metal2     3
via2       3
metal3     3

```



```

via3      3
metal4    3
glass     1
probe     1
res_mask  3
polytxt   3
me1txt    3
me2txt    3
me3txt    3
me4txt    3

```

```
#-----
```

```
% path
```

```
#-----
```

```

nwell      1.000  0  0.000  0.0
active     1.000  0  0.000  0.0
thk_active      1.000  0  0.000  0.0
poly       1.000  0  0.000  0.0
nplus     1.000  0  0.000  0.0
pplus     1.000  0  0.000  0.0
poly2     1.000  0  0.000  0.0
contact    1.000  0  0.000  0.0
via        1.000  0  0.000  0.0
metal1     1.000  0  0.000  0.0
metal2     1.000  0  0.000  0.0
via2       1.000  0  0.000  0.0
metal3     1.000  0  0.000  0.0
via3       1.000  0  0.000  0.0
metal4     1.000  0  0.000  0.0
glass     1.000  0  0.000  0.0
probe     1.000  0  0.000  0.0
res_mask   1.000  0  0.000  0.0
polytxt    1.000  0  0.000  0.0
me1txt     1.000  0  0.000  0.0
me2txt     1.000  0  0.000  0.0
me3txt     1.000  0  0.000  0.0
me4txt     1.000  0  0.000  0.0

```

```
#-----
```

```
% datatype
```

```
#-----
```

nwell	0	
active	0	
thk_active		0
poly	0	
nplus	0	
pplus	0	
poly2	0	
contact		0
via	0	
metal1		0
metal2		0
via2	0	
metal3		0
via3	0	
metal4		0
glass	0	
probe	0	
res_mask		0
polytxt		0
me1txt		0
me2txt		0
me3txt		0
me4txt		0
#-----		
%	textsize	
#-----		
nwell	0.5	
active	0.5	
thk_active		1.0
poly	0.5	
nplus	0.5	
pplus	0.5	
poly2	0.5	
contact		0.5
via	0.5	
metal1		0.5
metal2		0.5
via2	0.5	
metal3		0.5

```

via3          0.5
metal4                0.5
glass          1.0
probe          1.0
res_mask                0.5
polytxt         1.0
me1txt          0.5
me2txt          0.5
me3txt          1.0
me4txt          1.0
#-----
%   priority
#-----
nwell          17
active          11
thk_active                10
poly           6
nplus          8
pplus          9
poly2          5
contact                15
via            14
metal1                4
metal2                3
via2            13
metal3                2
via3            12
metal4                1
glass          16
probe          18
res_mask                7
polytxt         23
me1txt          22
me2txt          21
me3txt          20
me4txt          19
#-----
%   sys_color
#-----

```

background	0	0	0		
foreground	255	255	255		
text	255	255	255		
noselect	0	128	0		
cellbound	255	255	255		
grid	255	255	255		
drag	255	0	0		
error	255	0	0		
ruler	255	255	255		
instance_select			255	0	0
edge_vertex		0	0	255	

#-----

% rule

#-----

DRC\_RULE

EXTRACTION\_RULE

#-----

② STIPPLE.LST

```

stipple_1      ffff4242 ffffc3c3 ffff3c3c ffff2424 ffff2424 ffff3c3c ffffc3c3 ffff4242 ffff4242 ffffc3c3
               ffff3c3c ffff2424 ffff2424 ffff3c3c ffffc3c3 ffff4242 ZigZags [ ZigZags 45 6 6 5 ]
stipple_2      ffff8888 ffff4444 ffff2222 ffff1111 ffff8888 ffff4444 ffff2222 ffff1111 ffff8888 ffff4444
               ffff2222 ffff1111 ffff8888 ffff4444 ffff2222 ffff1111 Stripes [ Stripes 135 5 ]
stipple_3      ffff1111 ffff2222 ffff4444 ffff8888 ffff1111 ffff2222 ffff4444 ffff8888 ffff1111 ffff2222
               ffff4444 ffff8888 ffff1111 ffff2222 ffff4444 ffff8888 Stripes [ Stripes 45 7 ]
stipple_4      ffff0000 ffff6060 ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 ffff0000 ffff6060
               ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 BrokenStripes.Debug [ BrokenStripes.Debug
4 0 11 11 6 0 ]
stipple_5      ffff3838 ffff4444 ffff8282 ffff8282 ffff8282 ffff4444 ffff3838 ffff0000 ffff3838 ffff4444
               ffff8282 ffff8282 ffff8282 ffff4444 ffff3838 ffff0000 Stripes [ Stripes 0 3 ]
stipple_6      ffff1818 ffff0000 ffff0000 ffff8181 ffff8181 ffff0000 ffff0000 ffff1818 ffff1818 ffff0000
               ffff0000 ffff8181 ffff8181 ffff0000 ffff0000 ffff1818 Polygons [ Polygons 8 45 11 11 0 2
SQUARE ]
stipple_7      ffff0101 ffff8080 ffff4040 ffff2020 ffff0202 ffff0404 ffff0808 ffff1010 ffff0101 ffff8080
               ffff4040 ffff2020 ffff0202 ffff0404 ffff0808 ffff1010 ZigZags [ ZigZags 135 9 8 11 ]
stipple_8      ffff0000 ffff6060 ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 ffff0000 ffff6060
               ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 Polygons [ Polygons 10 45 7 7 0 1 CIRCLE ]
stipple_9      ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000
               ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000 Crosses.Debug [ Crosses.Debug 3 0 11 11 0
4 0 ]
stipple_10     ffff8400 ffff1090 ffff0002 ffff2410 ffff0085 ffff0000 ffff8a20 ffff0004 ffff4021 ffff0880
               ffff4008 ffff0420 ffff2101 ffff0010 ffff1202 ffff4090 BrokenStripes [ BrokenStripes 6 0 11 11 -10
1 ]
stipple_11     ffff0000 ffff0000 ffff0000 ffff1010 ffff0000 ffff0000 ffff0000 ffff1111 ffff0000 ffff0000
               ffff0000 ffff1010 ffff0000 ffff0000 ffff0000 ffff1111 Crosses [ Crosses 9 0 8 8 0 3 0 ]
error          ffff8181 ffff4242 ffff2424 ffff1818 ffff1818 ffff2424 ffff4242 ffff8181 ffff8181 ffff4242 ffff2424
               ffff1818 ffff1818 ffff2424 ffff4242 ffff8181 Crosses.Debug [ Crosses.Debug 7 45 11 11 0 5 0 ]

```

II. Verification File

① SCMOS\_SCN4ME\_SUBM\_DRC.rul

```
#####  
;# MyCAD, Inc. shall not be liable for the accuracy of #  
;# this design rule file or it's ability to capture errors. #  
;# The user is responsible for thoroughly testing and implementing #  
;# it's features. #  
#####  
;  
#####  
;# MOSIS SCMOS 0.35um Design rule for MyChip (ref. http://www.mosis.com) #  
;# TSMC (0.35um N-well) SCN4ME_SUBM (Lambda=0.2 um) #  
;# by MyCAD Support Group #  
;# #  
;# Support Information: #  
;# #  
;# This rule file is supported by MyCAD, Inc. customer support. #  
;# For contact information consult support@seloco.com #  
;# #  
;# Revision History: #  
;# #  
;# 08/17/2004 Build #  
;# #  
;# 08/20/2004 First Release #  
#####  
;  
#####  
;# DESCRIPTION BLOCK #  
#####  
;  
;technology layers: nwell active thk_active pplus nplus poly poly2 contact  
; metal1 via metal2 via2 metal3 via3 metal4  
; glass  
; probe (non-fab layer used to highlight pads)  
;  
*DESCRIPTION  
LAMBDA = 0.2
```

```

CHECK-MODE = FLAT
;
;
#####
;# LAYER BLOCK                                     #
#####
;
*LAYER
SUBSTRATE = pbulk
CONNECT-LAYER = psub nwell psd nsd poly poly2 metal1 metal2 metal3 metal4
;
;
#####
;# OPERATION BLOCK                                 #
#####
;
*OPERATION
NOT pbulk nwell psub
AND active pplus pactive
AND active nplus nactive
OR pplus nplus allselect
AND pactive poly pgate
AND nactive poly ngate
NOT pactive pgate psd
NOT nactive ngate nsd
AND psub psd pplug
AND nwell nsd nplug
AND pplug contact ppcont
AND nplug contact npcont
; Interlayer connection
CONNECT metal4 metal3 BY via3
CONNECT metal3 metal2 BY via2
CONNECT metal2 metal1 BY via
CONNECT metal1 poly BY contact
CONNECT metal1 poly2 BY contact
CONNECT metal1 psd BY contact
CONNECT metal1 nsd BY contact
; Substrate & Well connection
SCONNECT psd psub BY ppcont

```



```

SCONNECT nsd nwell BY npcont
;
#####
; n-well(Lambda base)
#####
WIDTH nwell LT 12 "Rule 1.1:width(n-well) < 12"
EXT[N] nwell LT 18 "Rule 1.2:space(n-well) diff vtg < 18"
EXT[N'] nwell LT 6 "Rule 1.3:space(n-well) same vtg < 6"
#####
; active(Lambda base)
#####
WIDTH active LT 3 "Rule 2.1:width(active) < 3"
EXT active LT 3 "Rule 2.2:space(active) < 3"
ENC pactive nwell LT 6 "Rule 2.3:well edge < 6"
EXT nactive nwell LT 6 "Rule 2.3:well edge < 6"
ENC nplug nwell LT 3 "Rule 2.4:well contact space < 3"
EXT pplug nwell LT 3 "Rule 2.4:well contact space < 3"
AND nactive pactive npact
ERROR npact "Rule 2.5:no overlap violation"
SELECT pactive OVERLAP nactive overpact
SELECT nactive OVERLAP pactive overnact
NOT pactive overpact notoverpact
NOT nactive overnact notovernact
EXT notovernact notoverpact LT 4 "Rule 2.5:space(nactive,pactive)<4"
#####
; thick active (Lambda base)
#####
WIDTH thk_active LT 4 "Rule 24.1: width(thick active) < 4"
EXT thk_active LT 4 "Rule 24.2: space(thick active) < 4"
ENC active thk_active LT 4 "Rule 24.3: active overlap < 4"
SELECT thk_active ENCLOSE active encthk
EXT thk_active active LT 4 "Rule 24.4. space(thick active, active) < 4"
AND thk_active active thkact
AND thkact poly thkgate
WIDTH thkgate LT 3 "Rule 24.5. width(thick active gate poly) < 3"
NOT thk_active encthk nonthk
ERROR nonthk "Rule 24.6. Not enclose active"
#####
; poly(Lambda base)

```

```

#####
WIDTH          poly LT 2          "Rule 3.1:width(poly) < 2"
EXT            poly LT 3          "Rule 3.2:space(poly) < 3"
SELECT        poly  CUT active  polyact
AND           active  polyact actpact
ENC[T] actpact active LT 0.001 &
ENC[T] actpact polyact LT 2 "Rule 3.3:min gate poly extension over active < 2"
SELECT        active CUT poly actpoly
AND poly actpoly polyapoly
ENC[T] polyapoly poly LT 0.001 &
ENC[T] polyapoly actpoly LT 3  "Rule 3.4:min active extension over gate poly < 3"
OR            poly active  polact
EXT[H]        polact LT 1        "Rule 3.5:min space between active and routing poly < 1"
#####
; poly2(Lambda base) for Capacitor
#####
WIDTH          poly2 LT 7          "Rule 11.1:width(poly2) < 7"
EXT            poly2 LT 3          "Rule 11.2:space(poly2) < 2"
ENC            poly2  poly      LT 5 "Rule 11.3:poly overlap < 5"
EXT            poly2  nwell     LT 2 "Rule 11.4:space(poly2,nwell) < 2"
EXT            poly2  active    LT 2 "Rule 11.4:space(poly2,active) < 2"
EXT            poly2  contact   LT 6 "Rule 11.5:space(poly2,contact) < 6"
SELECT        NOT  metal1 CUT poly2 notmet1p2
EXT            poly2  notmet1p2 LT 2 "Rule 11.6:min spacing to metal < 2"
#####
; select(Lambda base)
#####
ENC[O] active poly LT 0.001 &
EXT            allselect poly LT 3 "Rule 4.1:min select spacing to channel<3"
ENC            active pplus  LT 2  "Rule 4.2:min select overlap of active<2"
ENC            active nplus  LT 2  "Rule 4.2:min select overlap of active<2"
ENC            contact pplus LT 1   "Rule 4.3:min select overlap of contact<2"
ENC            contact nplus LT 1   "Rule 4.3:min select overlap of contact<2"
WIDTH          pplus          LT 2  "Rule 4.4:min p+ select width<2"
WIDTH          nplus          LT 2  "Rule 4.4:min n+ select width<2"
EXT            pplus          LT 2  "Rule 4.4:min p+ select space<2"
EXT            nplus          LT 2  "Rule 4.4:min n+ select space<2"
AND  nplus pplus npplus
ERROR        npplus          "Rule 4.4:no overlap violation"

```

```

SELECT    nplus    OVERLAP pplus    overnplus
SELECT    pplus    OVERLAP nplus    overpplus
NOT nplus    overnplus        notovernplus
NOT pplus    overpplus        notoverpplus
EXT notovernplus notoverpplus LT 2 "Rule 4.4:min space(between n+ and p+ select)<2"
#####
; simple contact to poly(Lambda base)
#####
LENGTH          contact NE 2          "Rule 5.1.1:exact contact size < 2"
AREA            contact NE 0.8        "Rule 5.1.3:exact contact size < 0.8"
ENC             contact poly  LT 1.5   "Rule 5.2:minimum poly overlap < 1.5"
EXT             contact LT 3          "Rule 5.3:space(contact)<3"
EXT             contact pgate LT 2     "Rule 5.4:space(contact)<2"
EXT             contact ngate LT 2     "Rule 5.4:space(contact)<2"
#####
; simple contact to active(Lambda base)
#####
ENC             contact active LT 1.5  "Rule 6.2:min active overlap <1.5"
#####
; contact to poly2(Lambda base)
#####
AND    contact    poly2    poly2cont
AND    poly       poly2    polycap
AND    poly2cont  polycap  pcapcont
NOT    poly2cont  pcapcont  npcapcont
ENC    pcapcont  poly2    LT 3    "Rule 13.3:minimum electrode overlap on cap <3"
ENC    npcapcont poly2    LT 2    "Rule 13.4:minimum electrode overlap not on cap <2"
EXT    poly2cont poly    LT 3    "Rule 13.5:space(poly2 contact,poly)<3"
EXT    poly2cont active LT 3    "Rule 13.5:space(poly2 contact,active)<3"
#####
; metal1(Lambda base)
#####
WIDTH          metal1          LT 3    "Rule 7.1:width(metal1) < 3"
EXT            metal1          LT 3    "Rule 7.2:space(metal1) < 3"
ENC            contact metal1 LT 1    "Rule 7.3:enclose(metal1, contact) < 1"
#####
; via(Lambda base)
#####
LENGTH          via            NE 2    "Rule 8.1.1:exact via size < 2"

```

```

AREA      via      NE 0.8      "Rule 8.1.4:exact via size < 0.8"
EXT       via      LT 3 "Rule 8.2:min via space < 3"
ENC       via metal1 LT 1 "Rule 8.3:enclose(metal1,via)<1"
EXT       via contact LT 2 "Rule 8.4:min space(via,contact)<2"
EXT       via poly   LT 2 "Rule 8.5:min space(via,poly)<2"
EXT       via active LT 2 "Rule 8.5:min space(via,active)<2"
#####
; metal2(Lambda base)
#####
WIDTH      metal2      LT 3      "Rule 9.1:min width(metal2)<3"
EXT        metal2      LT 3      "Rule 9.2:min space(metal2)<3"
ENC        via metal2 LT 1      "Rule 9.3:enclose(metal2,via)<1"
#####
; via2(Lambda base)
#####
LENGTH      via2      NE 2      "Rule 14.1.1:exact via2 size < 2"
AREA        via2      NE 0.8      "Rule 14.1.3:exact via2 size < 1.2"
EXT         via2      LT 3 "Rule 14.2:min via2 space < 3"
ENC         via2 metal2 LT 1 "Rule 14.3:enclose(metal2,via2)<1"
EXT         via2 via    LT 2 "Rule 14.4:min space(via2,via)<2"
#####
; metal3(Lambda base)
#####
WIDTH      metal3      LT 3 "Rule 15.1:min width(metal3)<6"
EXT        metal3      LT 3 "Rule 15.2:min space(metal3)<4"
ENC        via2 metal3 LT 1 "Rule 15.3:enclose(metal3,via2)<2"
#####
; via3(Lambda base)
#####
LENGTH      via3      NE 2      "Rule 21.1.1:exact via3 size < 2"
AREA        via3      NE 0.8      "Rule 21.1.3:exact via3 size < 1.2"
EXT         via3      LT 3 "Rule 21.2:min via3 space < 3"
ENC         via3 metal3 LT 1 "Rule 21.3:enclose(metal3,via3)<1"
#####
; metal4(Lambda base)
#####
WIDTH      metal4      LT 6 "Rule 22.1:min width(metal4)<6"
EXT        metal4      LT 6 "Rule 22.2:min space(metal4)<6"
ENC        via3 metal4 LT 2 "Rule 22.3:enclose(metal4,via3)<2"

```

```

#####
; overglass(micron base)
; top metal : metal2
#####
SELECT      glass  ENCLOSE probe bpad
NOT glass           bpad  ppad
SELECT      metal2 ENCLOSE      glass  padmetal
WIDTH              bpad          LT 300 "Rule 10.1:width(pad) < 60um"
WIDTH              ppad          LT 100  "Rule 10.2:width(probe pad) < 20um"
ENC           glass padmetal  LT 30    "Rule 10.3:minimum pad metal overlap < 6um"
EXT[N]                padmetal metal2 LT 150  "Rule 10.4:min space(pad-metal,metal4) < 30um"
EXT           padmetal active LT 75    "Rule 10.5:min space(pad-metal,active) < 30um"
EXT           padmetal poly   LT 75    "Rule 10.5:min space(pad-metal,poly) < 30um"
*END

```

② SCMOS\_SCN4ME\_SUBM\_ERC.rul

```
#####  
;# MyCAD, Inc. shall not be liable for the accuracy of #  
;# this design rule file or it's ability to capture errors. #  
;# The user is responsible for thoroughly testing and implementing #  
;# it's features. #  
#####  
;  
#####  
#####  
;# MOSIS SCMOS 0.35um Extraction, ERC and LVS rule for MyChip (ref. http://www.mosis.com) #  
;# TSMC (0.35um N-well) SCN4ME_SUBM (Lambda=0.2 um)  
#  
;# by MyCAD Support Group #  
;# #  
;# Support Information: #  
;# #  
;# This rule file is supported by MyCAD, Inc. customer support. #  
;# For contact information consult support@seloco.com #  
;# #  
;# Revision History: #  
;# #  
;# 08/17/2004 Build #  
;# #  
;# 08/20/2004 First Release #  
#####  
#####  
;  
#####  
;# DESCRIPTION BLOCK #  
#####  
;  
;technology layers: nwell active thk_active pplus nplus poly poly2 contact  
; metal1 via metal2 via2 metal3 via3 metal4  
; glass  
; probe (non-fab layer used to highlight pads)  
;  
*DESCRIPTION  
;
```

```

MODEL = MOS[P],pmos  MOS[N],nmos
MODEL = DIO[P],pdio  DIO[N],ndio
MODEL = CAP[P],C
MODEL = RES[P],R
;
CHECK-MODE = FLAT
;
*LAYER
;
SUBSTRATE = pbulk
;
CONNECT-LAYER = psub nwell psd nsd ipoly poly2 metal1 metal2 metal3 metal4
;
ATTACH      me1txt TO      metal1
ATTACH      me2txt TO      metal2
ATTACH      me3txt TO      metal3
ATTACH      me4txt TO      metal4
;
;
;#####
;# OPERATION BLOCK                                     #
;#####
;
*OPERATION
;
; p-substrate
NOT pbulk  nwell      psub
; gate and source/drain for MOS
AND active pplus      pactive
AND active nplus      nactive
OR  pplus  nplus      allselect
AND pactive poly      pgate
AND nactive poly      ngate
NOT nactive poly      nsd
NOT pactive poly      psd
; well and substrate contact
AND psub  psd      pplug
AND nwell nsd      nplug
AND pplug contact  ppcont

```



```

AND nplug contact npcont
; poly resistor
AND poly res_mask polres
NOT poly polres ipoly
; capacitor of poly and poly2
AND poly poly2 polycap
; parasitic capacitor between poly and metal1
AND metal1 ipoly me1poly
; parasitic capacitor between poly and metal2
AND metal2 ipoly me2poly
; parasitic capacitor between metal1 and metal2
AND metal1 metal2 me1me2
; parasitic diode
AND psd nwell pdio
AND nsd psub ndio
; interlayer connection
CONNECT metal4 metal3 BY via3
CONNECT metal3 metal2 BY via2
CONNECT metal2 metal1 BY via
CONNECT metal1 poly2 BY contact
CONNECT metal1 ipoly BY contact
CONNECT metal1 psd BY contact
CONNECT metal1 nsd BY contact
; well and substrate connection
SCONNECT psd psub BY ppcont
SCONNECT nsd nwell BY npcont
;
; polysilicon resistor
ELEMENT RES[P] polres ipoly
PARAMETER RES[P] 6.0
; mos
ELEMENT MOS[P] pgate ipoly psd nwell
ELEMENT MOS[N] ngate ipoly nsd psub
; parasitic diode
;ELEMENT DIO[P] pdio psd nwell
;ELEMENT DIO[N] ndio nsd psub
; polysilicon capacitor
ELEMENT CAP[P] polycap ipoly poly2
PARAMETER CAP[P] 8.30e-4 0.0

```

```

; parasitic capacitor between poly and metal1
;PARASITIC  CAP[A]  me1poly metal1  ipoly
;ATTRIBUTE  CAP[A]  4.40e-5 5.70e-5
; parasitic capacitor between poly and metal2
;PARASITIC  CAP[B]  me2poly metal2  ipoly
;ATTRIBUTE  CAP[B]  1.50e-5 3.80e-5
; parasitic capacitor between metal1 and metal2
;PARASITIC  CAP[C]  me1me2metal1  metal2
;ATTRIBUTE  CAP[C]  3.40e-5 5.40e-5
;
; ERC
MULTILAB          "Short circuit"
SAMELAB           "Open circuit"
PATHCHK          LEVEL 1          "no path to power"
LCONNECT  psub  CONN  VDD          "psub connected to power"
LCONNECT  psub  DISC  GND          "psub not connected to ground"
;ELCOUNT        MOS ALL EQ 1      "singular node"
NDCOUNT          MOS ALL EQ 1      "all terminal tied together"
ECONNECT  MOS[N] ipoly CONN VDD    "n-mos gate connected to power"
ECONNECT  MOS[P] ipoly CONN GND    "p-mos gate connected to ground"
ECONNECT  MOS[P] psd   CONN GND    "p-mos source/drain connected to ground"
;
; LVSCHK
LVSCHK[CS]WPERCENT=5  LPERCENT=5  CAPAREA=5  CAPVAL=5  DIOAREA=10  DIOPERI=10
RESVAL=10
*END

```

### III. Spice File

① include.inc (기본 parameter)

\* TSMC 0352P4M

\* SPICE BSIM3 VERSION 3.1 PARAMETERS

\* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```
.MODEL NMOS NMOS (                                LEVEL = 49
+VERSION = 3.1          TNOM    = 27          TOX    = 7.6E-9
+XJ    = 1E-7          NCH    = 2.3579E17      VTH0   = 0.5027514
+K1    = 0.5359893     K2    = 0.0258172      K3    = 24.6606744
+K3B   = 1.4055348     W0    = 5.355464E-6      NLX    = 2.404522E-9
+DVT0W = 0            DVT1W   = 0            DVT2W  = 0
+DVT0  = -0.120252    DVT1  = 3.084588E-3      DVT2   = 0.470688
+U0    = 417.429294    UA    = -1.40534E-13     UB    = 1.355832E-18
+UC    = 2.939828E-11 VSAT   = 1.208882E5      A0    = 0.9319916
+AGS   = 0.1686015     B0    = 1.288356E-6      B1    = 5E-6
+KETA  = 0.0105706     A1    = 0            A2    = 1
+RDSW  = 1.103044E3    PRWG   = 1.750872E-3     PRWB   = -0.0916512
+WR    = 1            WINT   = 6.910593E-8     LINT   = 1.993462E-8
+XL    = -2E-8        XW    = 0            DWG    = 1.047524E-9
+DWB   = 1.084571E-8  VOFF   = -0.0906265     NFACTOR = 0.6164962
+CIT   = 0            CDSC   = 5.145568E-6     CDSCD  = 0
+CDSCB = 0            ETA0   = 4.63499E-3     ETAB   = -9.189583E-4
+DSUB  = 0.1150044    PCLM   = 0.7703416     PDIBLC1 = 0.3438859
+PDIBLC2 = 8.526878E-3 PDIBLCB = 0.0845601     DROUT  = 0.6859339
+PSCBE1 = 7.23225E9    PSCBE2 = 5.005586E-10   PVAG   = 0.4108257
+DELTA = 0.01        MOBMOD = 1            PRT    = 0
+UTE   = -1.5        KT1    = -0.11         KT1L   = 0
+KT2   = 0.022       UA1    = 4.31E-9        UB1    = -7.61E-18
+UC1   = -5.6E-11    AT     = 3.3E4         WL     = 0
+WLN   = 1            WW     = -1.22182E-15   WWN    = 1.1837
+WWL   = 0            LL     = 0            LLN    = 1
+LW    = 0            LWN   = 1            LWL    = 0
+CAPMOD = 2          XPART  = 0.4           CGDO   = 2.95E-10
+CGSO  = 2.95E-10    CGBO   = 1E-11         CJ     = 1.08158E-3
+PB    = 0.7719669    MJ     = 0.3252096     CJSW   = 3.480034E-10
+PBSW  = 0.99        MJSW   = 0.1576976     PVTH0  = -0.0122678
+PRDSW = -93.3365259 PK2    = -3.470912E-3   WKETA  = -3.503848E-3
+LKETA = -0.0105386 )
```

\*

```
.MODEL PMOS PMOS (                                LEVEL = 49
+VERSION = 3.1          TNOM   = 27              TOX    = 7.6E-9
+XJ    = 1E-7          NCH    = 8.52E16          VTH0   = -0.6821549
+K1    = 0.4197546    K2     = -6.11453E-3      K3     = 35.791795
+K3B   = -2.796173    W0     = 1.990794E-6      NLX    = 4.309814E-7
+DVT0W = 0            DVT1W  = 0              DVT2W  = 0
+DVT0  = 1.134781    DVT1  = 0.3272645          DVT2   = -1.051562E-3
+U0    = 141.3184274  UA     = 1.024889E-10      UB     = 1.354611E-18
+UC    = -3.30244E-11 VSAT   = 1.6171E5          A0     = 0.6693235
+AGS   = 0.2959248   B0     = 2.86196E-6      B1     = 5E-6
+KETA  = -6.382387E-3 A1    = 0              A2     = 1
+RDSW  = 3.44286E3   PRWG   = -0.0626736      PRWB   = 0.0981315
+WR    = 1           WINT   = 5.340142E-8      LINT   = 1.410986E-9
+XL    = -2E-8       XW     = 0              DWG    = -4.209302E-9
+DWB   = 1.12145E-8  VOFF  = -0.1154702      NFACTOR = 2
+CIT   = 0           CDSC   = 0              CDSCD  = 0
+CDSCB = 4.724734E-5 ETA0   = 0.0115959      ETAB   = 2.08259E-4
+DSUB  = 0.2766226  PCLM  = 7.8965744      PDIBLC1 = 1.97648E-3
+PDIBLC2 = 8.825766E-3 PDIBLCB = 2.37472E-3    DROUT  = 0.4321935
+PSCBE1 = 3.010835E10 PSCBE2 = 7.998967E-10 PVAG   = 15
+DELTA = 0.01       MOBMOD = 1              PRT    = 0
+UTE   = -1.5       KT1    = -0.11          KT1L   = 0
+KT2   = 0.022     UA1    = 4.31E-9          UB1   = -7.61E-18
+UC1   = -5.6E-11  AT     = 3.3E4          WL     = 0
+WLN   = 1         WW     = -5.22182E-16      WWN   = 1.195
+WWL   = 0         LL     = 0              LLN   = 1
+LW    = 0         LWN   = 1              LWL   = 0
+CAPMOD = 2        XPART  = 0.4              CGDO  = 2.77E-10
+CGSO  = 2.77E-10  CGBO  = 1E-11          CJ    = 1.417679E-3
+PB    = 0.99      MJ     = 0.5636812      CJSW  = 4.292884E-10
+PBSW  = 0.99      MJSW  = 0.3497357      PVTH0 = 0.0116448
+PRDSW = -58.3059685 PK2   = 1.654991E-3    WKETA = -6.310553E-4
+LKETA = 1.189744E-3 )
```

\*

② Layout Inverter (첨가부분)

\* Power/Ground

VDD VDD 0 DC 5

VGND GND 0 DC 0

\* Load Cap

CL OUT0 GND 0.1PF

\* Input Pulse

VIN IN0 0 PULSE(0 5 20ns 2ns 2ns 48ns 100ns)

\* Transient Analysis

.TRAN 1ns 200ns

③ Layout NAND gate (첨가부분)

\* Power/Ground

VDD VDD 0 DC 5

VGND GND 0 DC 0

\* Input Pulse

VIN1 IN0 0 PULSE(0 5 10ns 2ns 2ns 48ns 100ns)

VIN2 IN1 0 PULSE(0 5 35ns 2ns 2ns 48ns 100ns)

\* Transient Analysis

.TRAN 1ns 200ns

④ MUX(첨가부분)

\* Power/Ground

VDD VDD 0 DC 5

VGND GND 0 DC 0

\* Input Pulse

VIN1 D0 0 PULSE(0 5 0 0 0 20n 40n)

VIN2 S 0 PULSE(0 5 0 0 0 40n 80n)

VIN3 D1 0 PULSE(0 5 0 0 0 10n 20n)

\* Transient Analysis

.TRAN 1ns 200ns

※ Tutorial Revision 2006\_01

작성일자 : 2006.01.19

작성자 : 나 성 주

※수정내용

- (a) MyCAD소개 내용 수정(그림포함)
- (b) MyChip소개 내용 수정(그림포함)
- (c) MyAnalog소개 내용 수정(그림포함)
- (d) 실습폴더 만들기 내용 추가
- (e) 생성되는 파일 표로 바꿈
- (f) 영문 OS로 모든 그림 바꿈
- (g) Schematic에서 선 연결 시 주의 사항 추가
- (h) Netlist 보는 방법 추가
- (i) Simulation시 첨가해야 할 내용 추가
- (j) Layout 설계 시 Library 참조하여 그리기 내용 추가
- (k) Inverter 설계 시 Metal2와 Via그리기 내용 추가