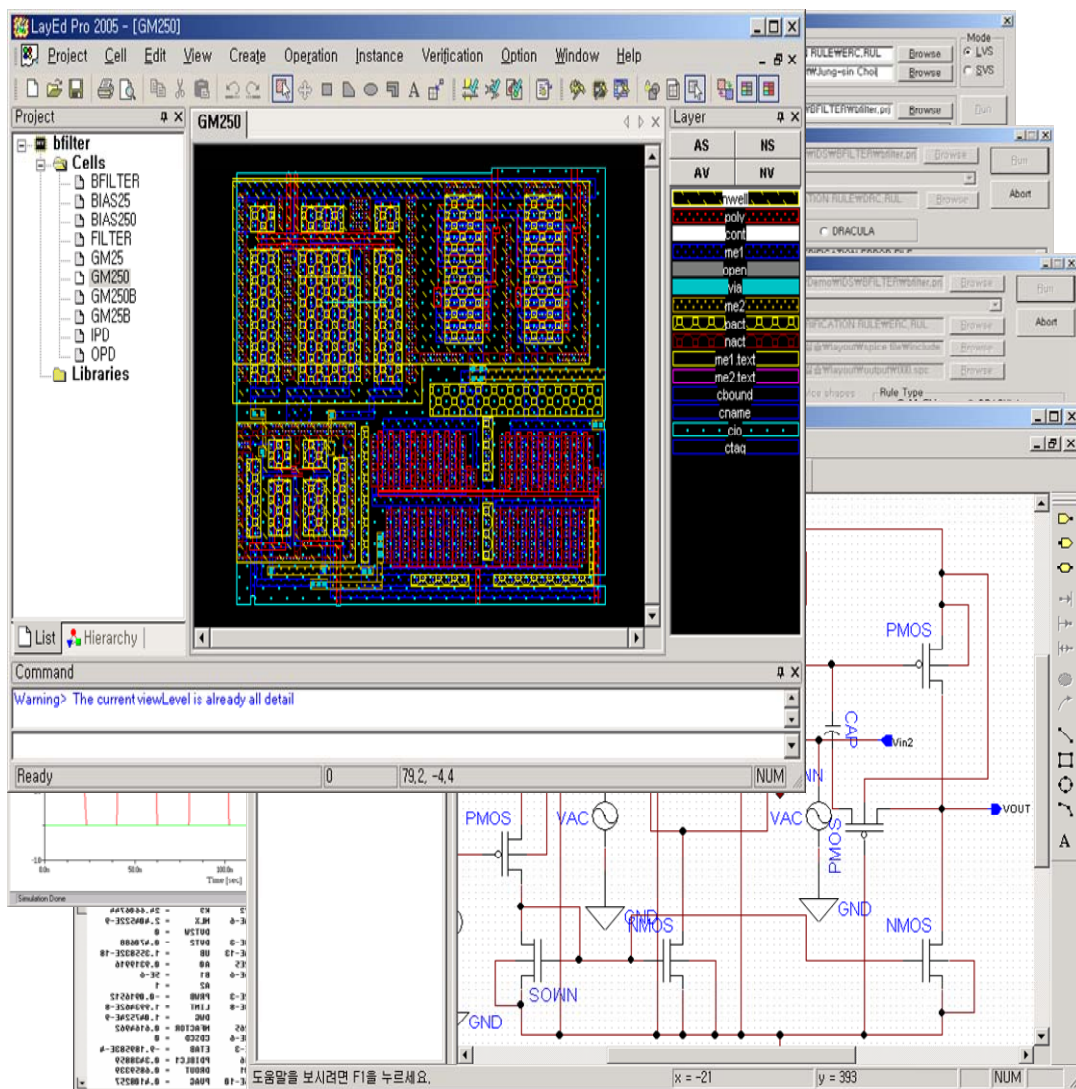


MyCAD Analog Design Practice Amplifier

MyAnalog Station & MyChip Station Pro



Copyright Information

MyChip Station Pro 2005 is produced by SELOCO Incorporated.

Unauthorized copying, duplication, or other reproduction is prohibited without the written consent of SELOCO, Inc..

This document is protected by copyright and distributed under licenses restricting its use, copying, and distribution. No part of this document may be reproduced in any form by any means without prior written authorization of SELOCO, Inc and its licensors, if any.

Copyright © 1992 – 2006, SELOCO Incorporated.

Copyright © 1992 – 2006 LayEdProRef.doc, MyCAD Incorporated.

All rights reserved. Confidential. Online documentation may be printed by licensed customers of SELOCO Incorporated for internal business purposes only.

Published : May 2006

SELOCO, Inc.

3F Namyang Bldg, 60-5 Bangi-dong

Songpa-gu, Seoul, 138-828 Korea

Phone: +82-2-3433-0000 Fax: +82-2-3433-0099

E-mail: support@seloco.com, sales@seloco.com

Home page: <http://www.seloco.com>

MyCAD, Inc.

528 E. Weddell Drive, Suite #3

Sunnyvale, California 94089, USA

Phone: 408-745-6785 Fax: 408-745-6783

Email: support@mycad.com, sales@mycad.com

Home page: <http://www.mycad.com>

목 차

1.	MyCAD 소개	5
1.1.	MyChip Station Pro	6
	(1) LayEd Pro.....	7
	(2) MyDRC Pro	7
	(3) LayNet Pro.....	8
	(4) MyLVS Pro.....	8
	(5) CifGDS Pro.....	8
1.2.	MyAnalog Station	9
	(1) Schematic Editor.....	9
	(2) Logic2SPICE	9
	(3) MySPICE.....	10
	(4) MyGPP.....	10
2.	Tutorial 실습 목적 및 예제	11
2.1.	Tutorial 실습 목적	11
2.2.	MyCAD Tutorial 실습 환경	11
	(1) 설계 환경 파일 & 환경 설정.....	11
	① MyAnalog Station.....	11
	② MyChip Station Pro.....	11
	③ 실습환경	12
	④ 중요 File 설명.....	13
	(2) 설계 후 생성되는 파일.....	14
2.3.	Two stage amp 이론	15
	(1) Schematic.....	15
	(2) Current mirror	15
	① 개요	15
	② 예제 (current mirror simulation).....	16
	(3) Differential amplifier.....	18
	① 개요	18
	② 예제 (differential amp simulation).....	20
	(4) Common source amplifier.....	23
	① 개요	23
	② 예제 (common source amplifier simulation)	24
2.4.	Two stage amp 설계	27
	(1) Two stage amp 설계	27
	① Library 생성	27
	② Schematic 설계.....	31
	③ Schematic 검증.....	34

④ Netlist 파일 추출.....	36
⑤ Simulation	40
(2) Amp Layout 설계	49
① Project 생성	49
② Layout 설계	53
③ Layout 검증	58
④ SPICE 시뮬레이션 [MySPICE (Analog Circuit Simulation)].....	65
(3) Layout과 Schematic 비교분석	71
① Netlist 비교 [MyLVS (Hierarchical Layout Versus Schematic Netlist Comparator)]	71
② Discrepancy 파일 확인	74
③ Layout Spice Simulation과 Schematic Spice Simulation비교	75
(4) Layout data 변환	76
① CifGDS Pro	76
APPENDIX	78
A Technology File	78
A.1. SCMOS_SCN4ME_SUBM.TEC	78
A.2. STIPPLE.LST	89
B Verification File.....	90
B.1. SCMOS_SCN4ME_SUBM_DRC.rul	90
B.2. SCMOS_SCN4ME_SUBM_ERC.rul	96
B.3. SCMOS_SCN4ME_SUBM_ERC(nwell).rul	100
C Spice File	104
C.1. include.inc (기본 parameter)	104
C.2. Layout Two stage amp(첨가부분)	106

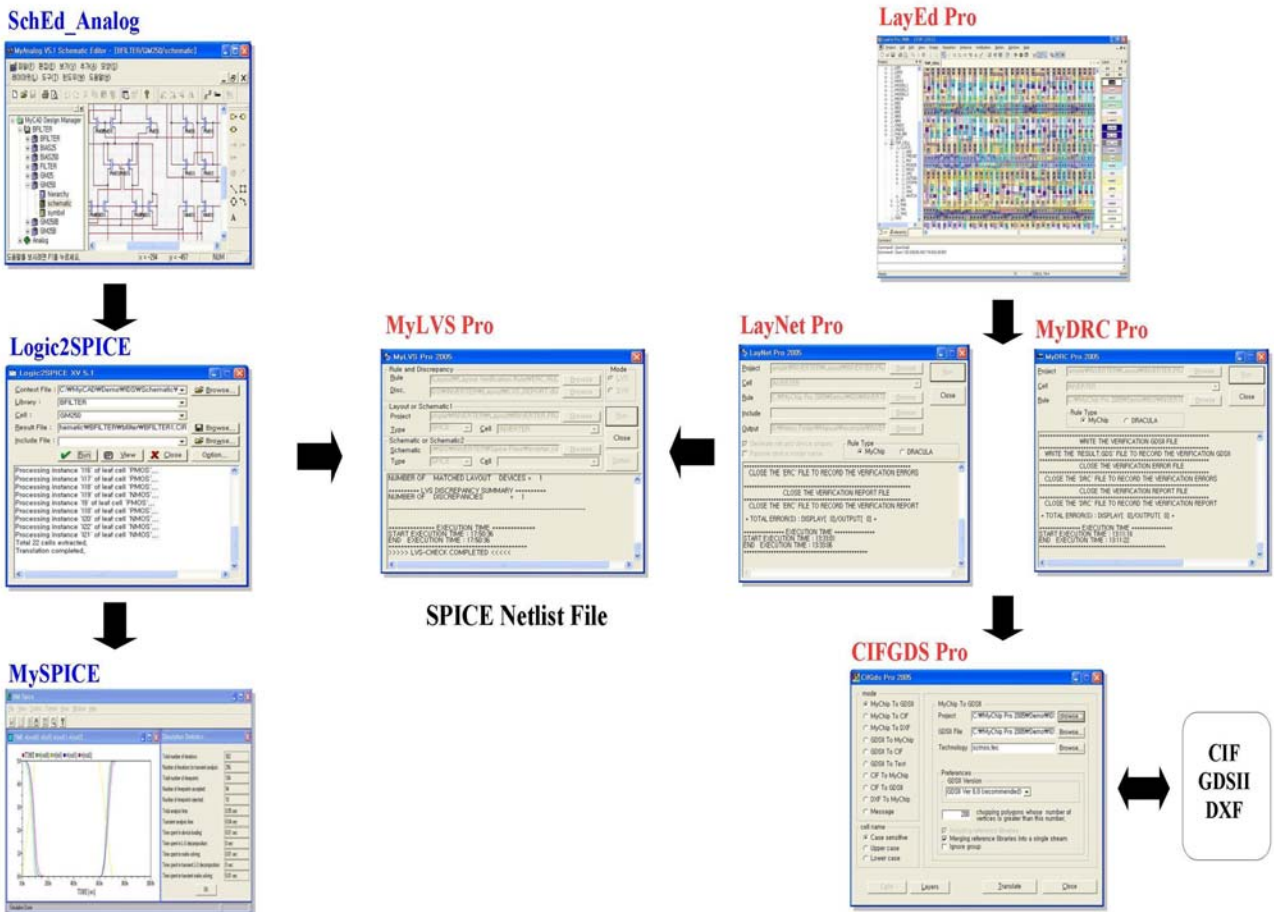
1. MyCAD 소개

MyCAD는 전자회로설계 및 시뮬레이션용 CAD 프로그램으로서 1990년대 자체 개발을 토대로 하여 국내외로 보급을 진행하고 있다. MyCAD는 크게 MyChip Station Pro, MyAnalog Station, MyLogic Station, MyVHDL Station으로 구성되어 있는 EDA(Electronic Design Automation) Tool이다.

MyCAD의 MyChip Station Pro와 MyAnalog Station은 회로 설계, Netlist 추출, Layout 그리고 검증을 위한 Tool로써 최종 GDS파일로 변환할 수 있다.

MyLogic Station은 front-end 설계용 Tool로써 회로설계(schematic capture), 회로검증(function simulation) 및 EDIF 생성(EDIF netlist generation) 등을 지원한다.

또한 MyCAD는 VHDL 설계, 논리합성 및 최적화, 디지털 논리회로 설계 그리고 모의 실험 등의 작업을 일반 PC Windows상에서 모든 작업을 수행하도록 최적화한 EDA Tool이다.



< 그림 1.1 MyCAD IC Design Flow >

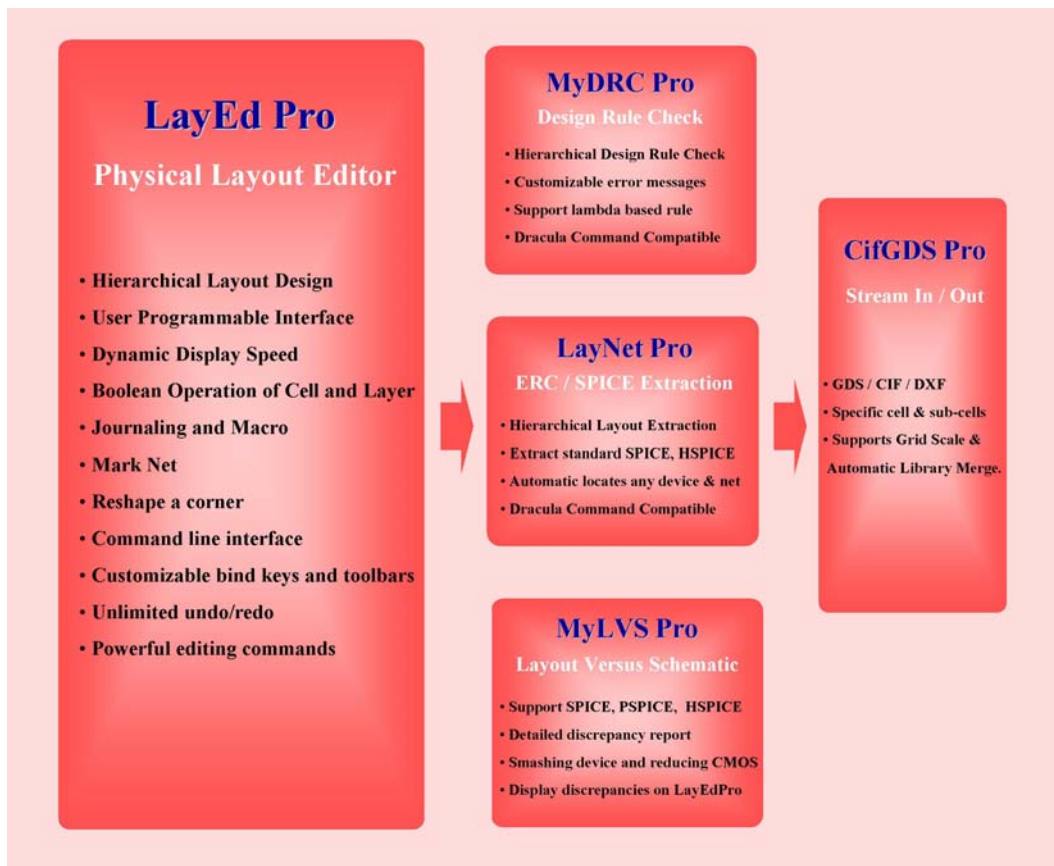
1.1. MyChip Station Pro

MyChip Station™ Pro는 window에서 workstation과 같이 정교한 physical design을 할 수 있도록 구현한 IC Design Solution이다.

Layout 설계를 위한 LayEd Pro는 Customizable Polygon 기반의 Full custom IC layout 편집기이다. 물리적인 설계 검증에는 Design rule을 검사하는 MyDRC Pro, Layout과 Schematic 의 Netlist를 비교하는 MyLVS Pro, 그리고 Parasitic information 과 Netlist를 추출하는 LayNet Pro등으로 구성된다. 이러한 Verification Tool은 사용자가 정의한 룰 파일을 사용할 수 있으며 DRACULA™ 와도 호환 할 수 있다.

마지막으로 CifGDS Pro는 규격화된 파일(GDS II, CIF, DXF)을 사용하여 Layout data를 Import, Export 할 수 있다.

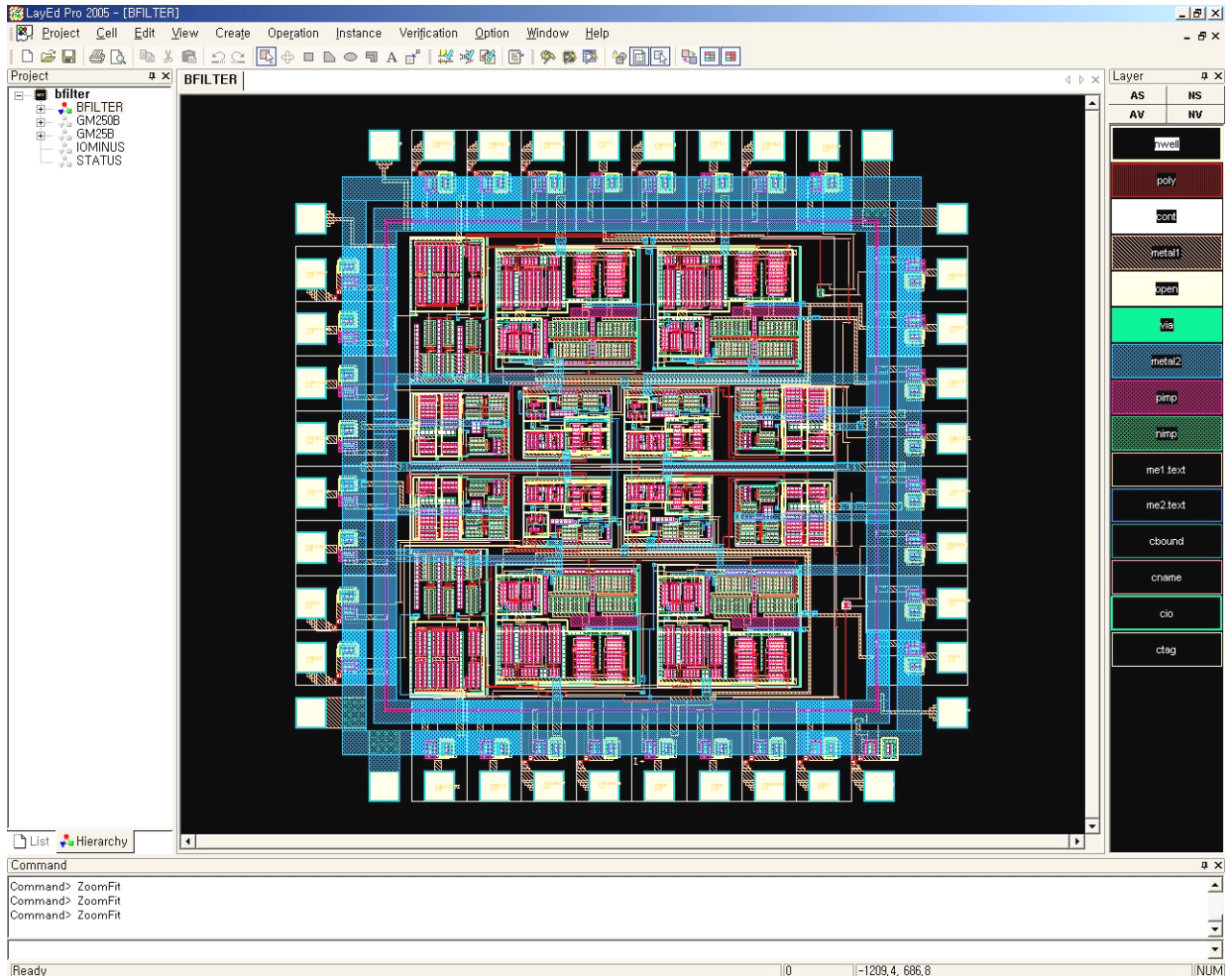
현재 국내의 수많은 대학교내 전기, 전자, 통신, 반도체 관련학과에서 MyCAD를 이용한 설계 교육을 진행하고 있고, 산업체에서는 IC layout, MEMS Design, LCD 그리고 Optical 등의 관련분야에서 Layout 설계에 사용하고 있다. 국외로는 미국, 일본, 유럽, 중국 그리고 아시아 등의 뛰어난 전문가들로부터 Analog 및 Mixed IC 설계에 수년간 사용되어오고 있으며 뛰어난 성능을 입증 해주고 있다.



< 그림 1.2 MyChip Station Pro Flow >

(1) LayEd Pro

LayEd Pro는 Layout 편집기로써 파워풀하고 정교한 Polygon기반의 Graphical User Interface를 사용한다. 또한hierarchical Layout 설계가 가능하며 빠른 처리 능력과 예상치 못한 시스템 오류 발생시 자동 복구하는 기능 등 쉽고 편리한 기능들을 제공함으로써 초보자에서 전문가까지 사용할 수 있다.



< 그림 1.3 LayEd Pro를 이용한 BFILTER 설계 >

(2) MyDRC Pro

Layout 설계를 한 후 올바르게 설계되었는지를 검증하는 Tool로써 Hierarchical Design Rule 검사를 통하여 rule에 맞지 않는 부분을 display 해준다. Real Time DRC를 제공함으로써 실시간으로 Rule체크도 가능하다. 또한 DRACULA™ 와 호환이 되고 대용량 데이터도 고속으로 체크가 가능하다.

(3) LayNet Pro

Layout에서 Netlist를 추출하는 Tool로써 Hierarchical ERC rule Check가 가능하고 SPICE와 HSPICE format에 맞는 Netlist를 추출할 수 있으며 DRACULA™와 호환이 된다.

(4) MyLVS Pro

Hierarchical Layout Netlist와 Schematic Netlist의 비교 분석하는 Tool로써 다양한 SPICE Netlist format (standard, SPICE, HSPICE, PSPICE)을 지원한다.

(5) CifGDS Pro

Industry standard(GDSII, CIF, DXF)를 사용하여 다양한 형식으로 Layout data를 import, export로 변환할 수 있는 Tool로써 industry standard의 Data를 상호 변환한다. 또한 Layer or Cell을 사용자가 선택적으로 변환 하도록 되어 있다.

1.2. MyAnalog Station

MyAnalog Station은 Analog 전자회로를 설계하고 이를 모의 실험하는 Tool이다. Schematic editor로 설계한 Data를 Netlist로 변환하는 내부과정을 SPICE-Netlist로 자동 변환하며 생성된 SPICE-Netlist에 추가로 필요한 Line을 추가한 후 MySPICE에서 원하는 Analysis를 선택하여 모의실험 한다. Post Processor(MyGPP)를 사용하면 모의실험 결과가 좀 더 분석하기 쉽고 멋진 리포트로 변경 된다.



< 그림 1.4 MyAnalog Station Flow >

(1) Schematic Editor

제공되는 Analog Library로 쉽게 Schematic 설계를 할 수 있으며 Symbol Editor로 Symbol을 만들어서 사용할 수 있다. 또한 전기적인 특성을 고려하여 설계된 회로를 ERC rule로 검증하여 rule에 위배되는 Error를 Display해준다.

(2) Logic2SPICE

다양한 형식의 SPICE Netlist (Standard SPICE, HSPICE, PSPICE)를 추출할 수 있다.

(3) MySPICE

MySPICE는 복잡한 회로를 DC 동작점 계산, 과도 전류, perform Fourier, noise, 왜곡 파형을 분석할 수 있는 analog simulator이다. MS Window에 기초한 GUI를 제공하며 Berkeley SPICE 모델 제공은 기본, 새로운 모델도(BSIM, BSIM2, BSIM3 Losy Trasmission Lines, MOS Level 6) 제공하고 있다.

(4) MyGPP

MyGPP는 MySPICE를 좀 더 분석하기 쉽게 하기 위해 합과 차, 미분과 적분 같은 Function, FFT(Fast Fourier Transform), Cursor 기능을 제공한다.

※사용환경

- CPU : Pentium2 이상(최소) / Pentium-4 권장
- RAM : 128MB 이상(최소) / 512MB 권장
- HDD : 50MB 이상(최소) / 2GB 여유공간 권장
- OS : Windows 95 이상(최소) / Windows2000 또는 XP 권장

2. Tutorial 실습 목적 및 예제

2.1. Tutorial 실습 목적

본 Tutorial에서는 Inverter, NAND Gate 그리고 MUX의 Schematic 및 Layout의 설계를 하고 검증은 모의실험으로 할 수 있도록 한다. 다음 과정으로 Schematic과 Layout의 설계를 비교 해서 설계한대로 매칭이 되었는지 검증한다. Schematic에서부터 Layout, GDSII파일까지 실행 및 생성하여 IC설계에 대한 전반적인 이해를 돕는데 목적이 있다.

2.2. MyCAD Tutorial 실습 환경

(1) 설계 환경 파일 & 환경 설정

① MyAnalog Station

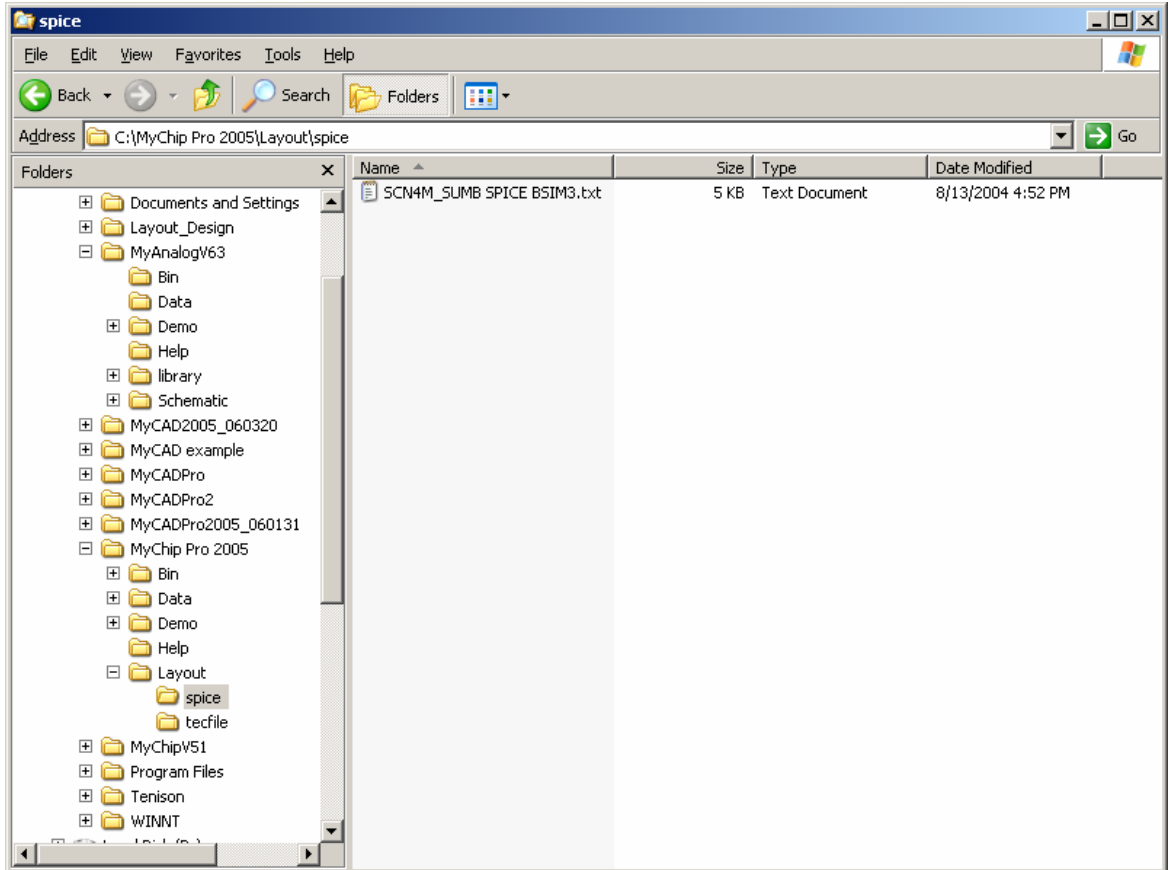
- i. Library File : C:\MyAnalogV63\Schematic\Library\MyAnalog 폴더에 있는 Analog.lib에서 제공, 실습에 필요한 모든 Cell을 제공
- ii. Include File : C:\MyAnalogV63\Schematic\spice 폴더에서 SCN4M_SUMB SPICE BSIM3.txt 파일 제공, Spice Simulation시 NMOS와 PMOS의 기본 model 제공 (MOS model과 Spice Netlist 추출 시 MOS의 속성이 같아야 한다.)

② MyChip Station Pro

- i. SCMOS_SCN4ME_SUBM.TEC : C:\MyChip Station Pro 2005\Layout\tecfile에서 제공, 레이어에 관한 정보와 화면 디스플레이에 관한 정보를 담고 있는 파일
- ii. Stipple.lst : C:\MyChip Station Pro 2005\Layout\tecfile에서 제공, 레이어의 채우기 패턴 모양을 정의하여 놓은 파일
- iii. SCMOS_SCN4ME_SUBM_DRC.rul :
C:\MyChip Station Pro 2005\Layout\tecfile에서 제공, MyDRC Pro수행을 위한 파일로서, 설계규칙 검증을 위한 파일
- iv. SCMOS_SCN4ME_SUBM_ERC.rul :
C:\MyChip Station Pro 2005\Layout\tecfile에서 제공, LayNet Pro, MyLVS Pro수행을 위한 파일로서, Netlist 추출할 때 전기적 소자의 추출에 관한 규칙파일
- v. Include File :
C:\MyChip Station Pro 2005\Layout\Spice폴더에서 SCN4M_SUMB_SPICE_BSIM3.txt파일 제공, Spice Simulation시 NMOS와 PMOS의 기본 model 제공
- vi. SCMOS_SCN4ME_SUBM의 파일들은 VLSI circuit 회사인 MOSIS사에서 만든 설계규칙이다. Transistor의 크기는 $(W/L)_p = (2.4/0.4)\mu\text{m}$, $(W/L)_n = (1.2/0.4)\mu\text{m}$ 를 사용한다.

③ 실습환경

※ 먼저 실습하기 전 설계 시 편의를 위해 그림과 같이 폴더를 생성하고 각각의 폴더 안에 파일들을 넣는다.



< 그림2.2.(1)-1 실습에 필요한 폴더생성 및 파일 위치지정 >

■ <그림2.3.(1)-1>과 같이 하위폴더를 만들고 다음의 파일들을 각각의 폴더 안에 넣는다.

-C:\WMyChip Pro 2005\Layout 폴더

- SPICE file 폴더: SCN4M_SUMB SPICE BSIM3.txt
- Technology file 폴더: SCMOS_SCN4ME_SUBM.TEC, STIPPLE.LST
SCMOS_SCN4ME_SUBM_DRC.rul,
SCMOS_SCN4ME_SUBM_ERC.rul,
SCMOS_SCN4ME_SUBM_ERC(nwell).rul (APPENDIX B.3.을 메모장에 복사하여 만든다.)

-C:\WMyAnalogV63\Schematic 폴더

- Library 폴더 : C:\MyAnalogV63\Library\MyAnalog 폴더 전부 복사
- SPICE file 폴더 : SCN4M_SUMB SPICE BSIM3.txt

④ 중요 File 설명

확장자명		내 용
*.TEC		MyChip Station에서 사용하는 Technology 파일이다. 사용자는 이 파일을 원하는 공정에 맞추어서 변경 사용할 수 있다.
*.LST		라이브러리 작업에 사용할 layer fill 패턴 정보를 담고 있는 파일이다. 사용자가 변경 가능하다.
*.rul	DRC.rul	Design 설계 오류 검색 시 그 기준이 되는 파일을 의미한다. MyDRC Pro 실행 시 이 파일을 기준으로 하여 rule체크를 한다.
	ERC.rul	전기적 오류 검색과 설계 회로 Netlist 추출에 필요한 Device들과 net 정보를 가지고 있다. LayNetPro 사용시 이 파일을 기준으로 하여 Rule체크를 한다.
*.cir, *.spc		SPICE 형태의 Netlist 추출 시 결과 파일로, 회로의 연결 정보를 담고 있는 파일이다
*.dis		MyLVSPRO 실행 후 Layout과 Schematic의 비교 분석결과 정보를 담고 있는 파일로 Discrepancy 내용을 확인할 수 있다.
*.inc		SPICE Simulation에 사용할 model parameter를 담고 있는 파일이다. MyCAD Tutorial에서는 TSMC 0.35um공정 model parameter제공한다.

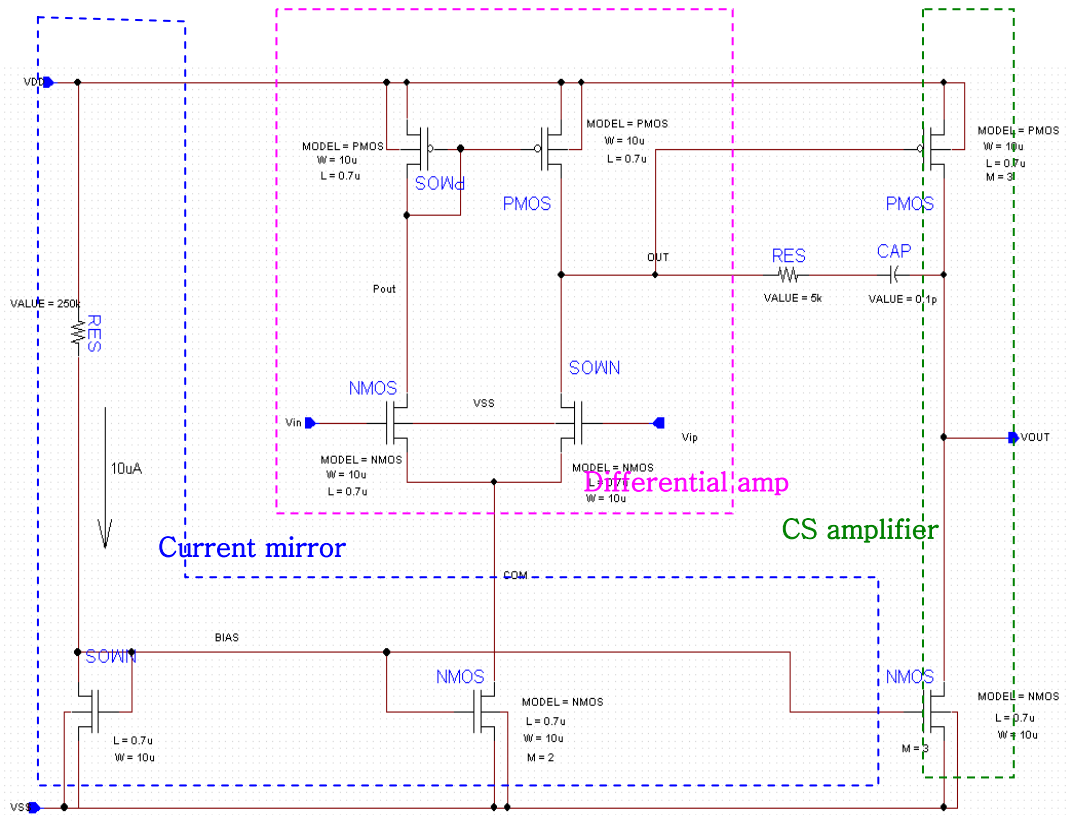
(2) 설계 후 생성되는 파일

Schematic 설계와 Layout 설계를 하면 여러 가지 파일이 생성되는데 파일들의 역할은 다음과 같다.

구 분	파 일 명	내 용
MyAnalog Station	schematic	Schematic 생성할 때 inv 폴더에 만들어짐
	symbol	symbol 생성할 때 inv 폴더에 만들어짐
	netlist	Netlist 추출에 관한 정보가 담긴 파일
	*.mdc	Schematic 실행파일
	*.lib	설계 후 저장하면 생성되는 정보파일
	*.log	Simulation 시 발생한 error메시지를 담고 있는 파일
MyChip Station Pro	layout.1	셀에서 만든 레이아웃 데이터
	drc_bin.1	DRC 수행결과의 오류를 담고 있으며 그래픽 정보를 제공
	drc.1	DRC 수행결과의 오류를 담고 있으며 텍스트파일의 형식으로 오류가 발생한 부분의 XY 좌표를 제공
	extract.1	Extraction 수행결과 파일로서 레이아웃이 담고 있는 소자와 연결 상태에 관한 정보 수록
	devshape.1	Extraction 수행 결과 생기며, LayEd Pro에서 Find Device 명령을 통해 레이아웃 상에서 원하는 소자를 찾을 수 있는 정보제공
	netshape.1	Extraction 수행결과 파일로 소자연결 네트에 관한 정보를 담고 있는 파일
	erc_bin.1	ERC 수행결과를 담고 있는 파일
	lvs_bin.1	LVS 수행결과 스케메틱과 레이아웃이 일치하지 않은 오류에 관한 정보

2.3. Two stage amp 이론

(1) Schematic

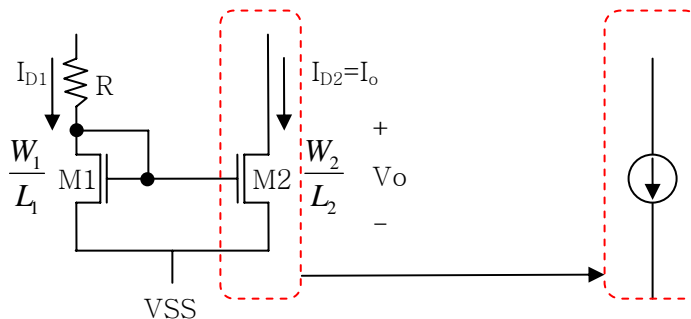


<그림 2.3.(1)-1 schematic of the two stage amp>

(2) Current mirror

① 개요

다음과 같은 간단한 **current mirror** 회로의 동작 특성에 대해서 알아본다.



<그림 2.3.(2)-1 basic current mirror schematic>

그림 2.3.(2)-1은 기본적인 **current mirror** 이다.

M1, M2에 흐르는 전류는 아래의 식을 이용하여 구할 수 있다.

$$I_{D1} = \frac{\beta_1}{2} \cdot (V_{GS1} - V_{THN})^2 \quad (2.1)$$

$$I_{D2} = \frac{\beta_2}{2} \cdot (V_{GS2} - V_{THN})^2 \quad (2.2)$$

$V_{GS1}=V_{GS2}$ 이므로, drain 전류의 비를 구하면

$$\frac{I_{D2}}{I_{D1}} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} = \frac{W_2 L_1}{W_1 L_2} = \frac{\beta_2}{\beta_1} \quad (2.3)$$

그림 2.3.(2)-1에서 전류 I_{D1} 은 다음과 같이 구할 수 있다.

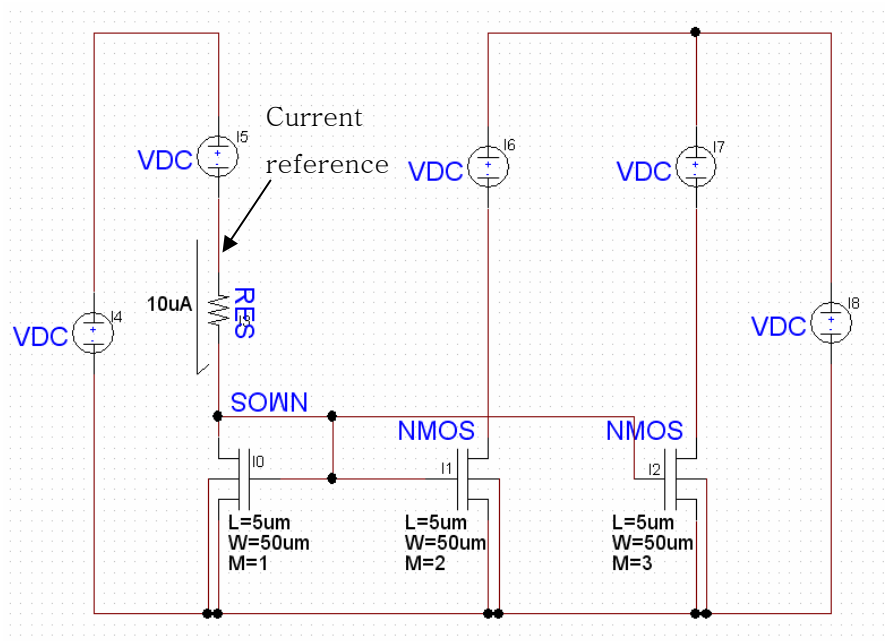
$$I_{D1} = \frac{VDD - V_{GS} - VSS}{R} = \frac{KP \cdot W_1}{2L_1} \cdot (V_{GS1} - V_{THN})^2 \quad (2.4)$$

current source의 출력저항은 M2의 출력저항이므로

$$r_{o2} = \frac{1}{\lambda I_o} = \frac{1}{\lambda I_{D2}} \quad (2.5)$$

② 예제 (current mirror simulation)

i. 전류원의 설계



<그림 2.3.(2)-2 current mirror의 schematic>

current reference 회로에 10uA가 되도록 설계

I0 → L=5um, W=50um, *M=1

I1 → L=5um, W=50um, *M=2

I2 → L=5um, W=50um, *M=3

*M (multiplier) : W의 크기를 M상수만큼 곱함

ex) L = 5um, W = 5um, M = 3 → L = 5um, W=5um × 3 = 15um

MOS I0의 V_{GS} 는

$$I_D = \frac{\beta}{2} \cdot (V_{GS} - V_{THN})^2 = \frac{KP_n}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{THN})^2$$

$$V_{GS} = \sqrt{\frac{2I_D \cdot L}{KP_n \cdot W}} + V_{THN} = \sqrt{\frac{2 \times 10\mu A \times 5\mu m}{50\mu A/V_2 \cdot 50\mu m}} + 0.502 = 0.702[V]$$

저항 R 값을 결정하면

$$R = \frac{V_{DD} - V_{GS} - V_{SS}}{I_D} = \frac{3.3V - 0.702 - 0}{10\mu A} = 259.8[k\Omega] \approx 260[k\Omega]$$

ii. Current mirror schematic으로부터 추출된 netlist

```

*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: current_mirror
* Flatten Extraction for PSPICE
* Generated Date :: 2006/3/16 18:54:36
*****

*****
MT_I1 11_NND 13_N2 18_NN 18_NN NMOS L=5UM W=100UM
MT_I2 12_NND 13_N2 18_NN 18_NN NMOS L=5UM W=150UM
MT_I0 13_N2 13_N2 18_NN 18_NN NMOS L=5UM W=50UM
VT_15 15_NP 13_N1 DC 0V
VT_16 18_NP 11_NND DC 0V
VT_17 18_NP 12_NND DC 0V
RT_I3 13_N1 13_N2 260K
VT_14 15_NP 18_NN DC 3.3V
VT_18 18_NP 18_NN DC 0V
*****

.dc vt_i8 0V 3.3V 0.01V

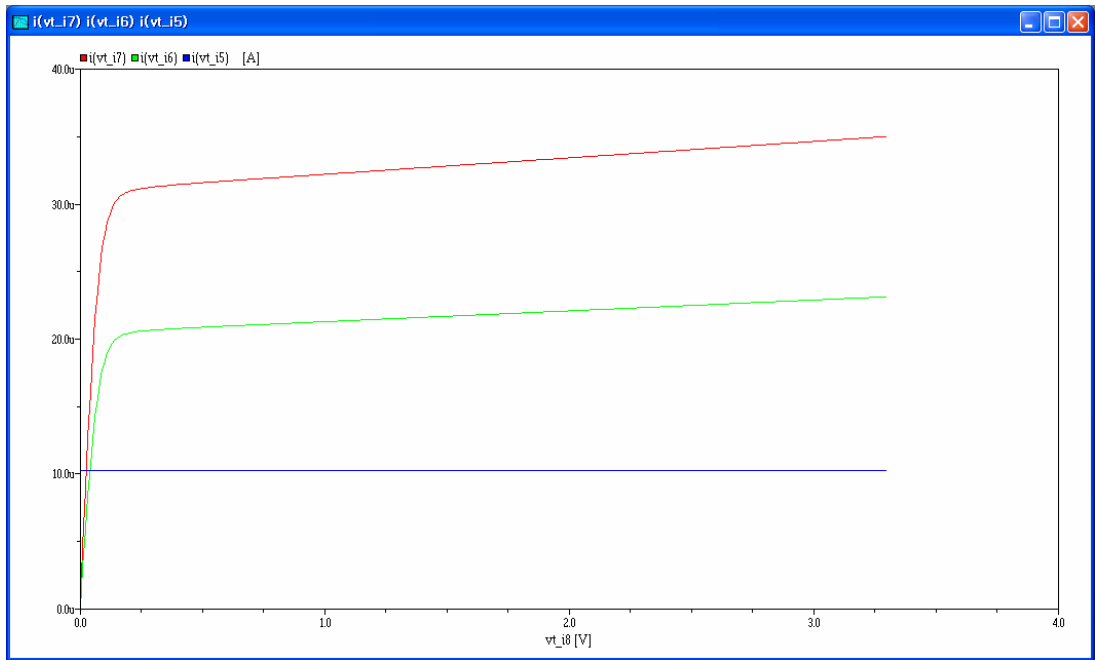
*****
* TSMC Q352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM = 27          LEVEL = 49
+XJ = 1E-7             NCH = 2.3579E17     TOX = 7.6E-9
+K1 = 0.5359893       K2 = 0.0258172    VTH0 = 0.5027514
+K3B = 1.4055348      W0 = 5.355464E-6   K3 = 24.6606744
+DVT0W = 0            DVT1W = 0            DVT2W = 2.404522E-9
+DVT0 = -0.120252     DVT1 = 3.084588E-3  DVT2 = 0.470688
+U0 = 417.429294      UA = -1.40534E-13  UB = 1.355832E-18
+UC = 2.939828E-11   VSAT = 1.208882E5   AO = 0.9319916
+AGS = 0.1686015     BO = 1.288356E-6   B1 = 5E-6
+KETA = 0.0105706    A1 = 0            A2 = 1
+RDSW = 1.103044E3    PRWG = 1.750872E-3  PRWB = -0.0916512
+WR = 1               WINT = 6.910593E-8  LINT = 1.993462E-8
+XL = -2E-8          XW = 0            DWG = 1.047524E-9
+DWB = 1.084571E-8   VOFF = -0.0906265  NFACTOR = 0.6164962
+CIT = 0              CDSC = 5.145568E-6  CDSCD = 0
+CDSCB = 0            ETAD = 4.63499E-3   ETAB = -9.189583E-4
+DSUB = 0.1150044    PCLM = 0.7703416   PDIBLC1 = 0.3438859
+PDIBLC2 = 8.526878E-3 PDIBLCB = 0.0845601 DROUT = 0.6859339
+PSCBE1 = 7.23225E9  PSCBE2 = 5.005586E-10 PVAG = 0.4108257
)

```

<그림 2.3.(2)-3 추출된 netlist>

붉은색 부분을 추가

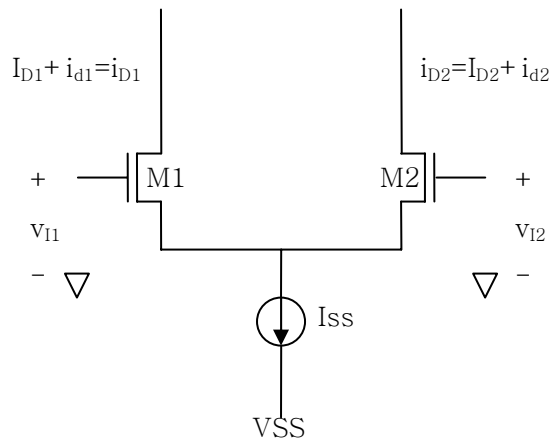
iii. Simulation 결과



<그림 2.3.(2)-4 current mirror의 동작특성>

(3) Differential amplifier

① 개요



<그림 2.3.(3)-1 Differential amp>

AC성분과 DC성분이 합쳐진 M1, M2의 source 전류는 다음과 같다.

$$I_{SS} = i_{D1} + i_{D2} \quad (3.1)$$

M1, M2 gate의 입력전압은

$$v_{DI} = v_{I1} - v_{I2} = V_{GS1} + v_{gs1} - V_{GS2} - v_{gs2} \quad (3.2)$$

($V_{GS1}, V_{GS2} \rightarrow$ 전압의 DC 성분, $v_{gs1}, v_{gs2} \rightarrow$ 전압의 AC 성분)

차동 입력전압의 크기는 아래의 식과 같이 나타낼 수 있다.

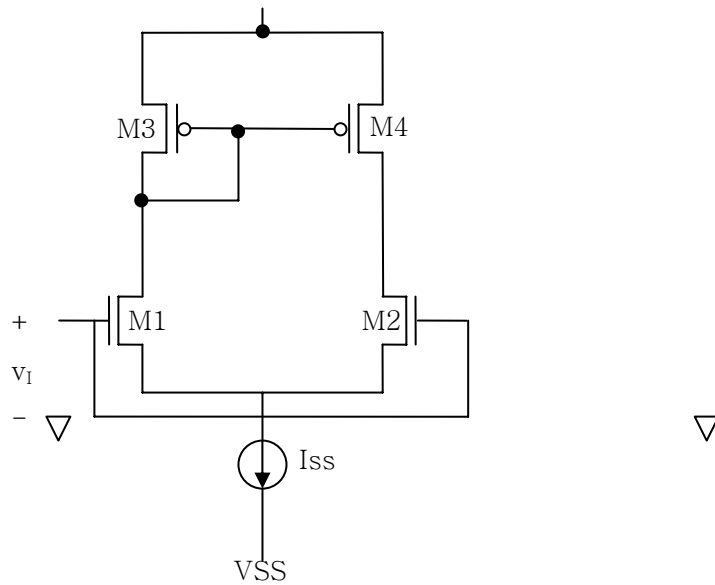
$$v_{DI} = \sqrt{\frac{\beta}{2}} (\sqrt{i_{D1}} - \sqrt{i_{D2}})^2 \quad (3.3)$$

차동 증폭기의 차동 입력시에 허용 가능한 최대 입력전압의 크기는 아래와 같다.

$$v_{DIMAX} = \sqrt{\frac{2I_{SS}}{\beta}} \quad (3.4)$$

$$v_{DIMIN} = -\sqrt{\frac{2I_{SS}}{\beta}} \quad (3.5)$$

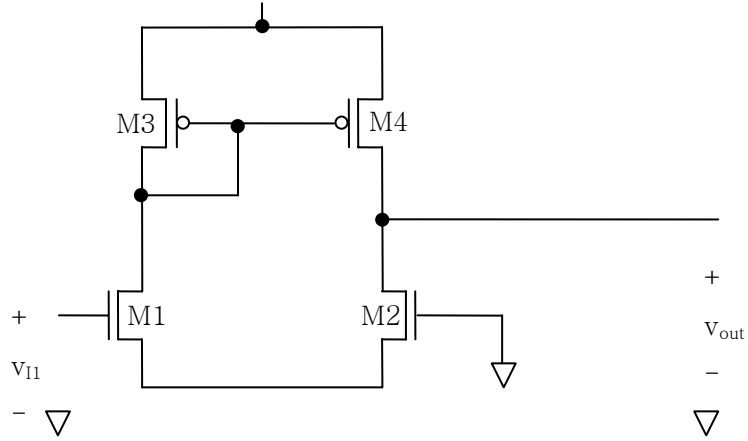
차동 증폭기의 공통모드 입력시에 허용 가능한 최대 입력전압의 크기



<그림 2.3.(3)-2 공통모드 입력범위를 결정하기 위한 차동증폭기>

$$v_{IMIN} = \sqrt{\frac{I_{SS}}{\beta_1}} + V_{THN} + \sqrt{\frac{2I_{SS}}{\beta_6}} + VSS \quad (3.6)$$

$$v_{IMAX} = VDD - \left[\sqrt{\frac{I_{SS}}{\beta_3}} + V_{THP} \right] + V_{THN} \quad (3.7)$$



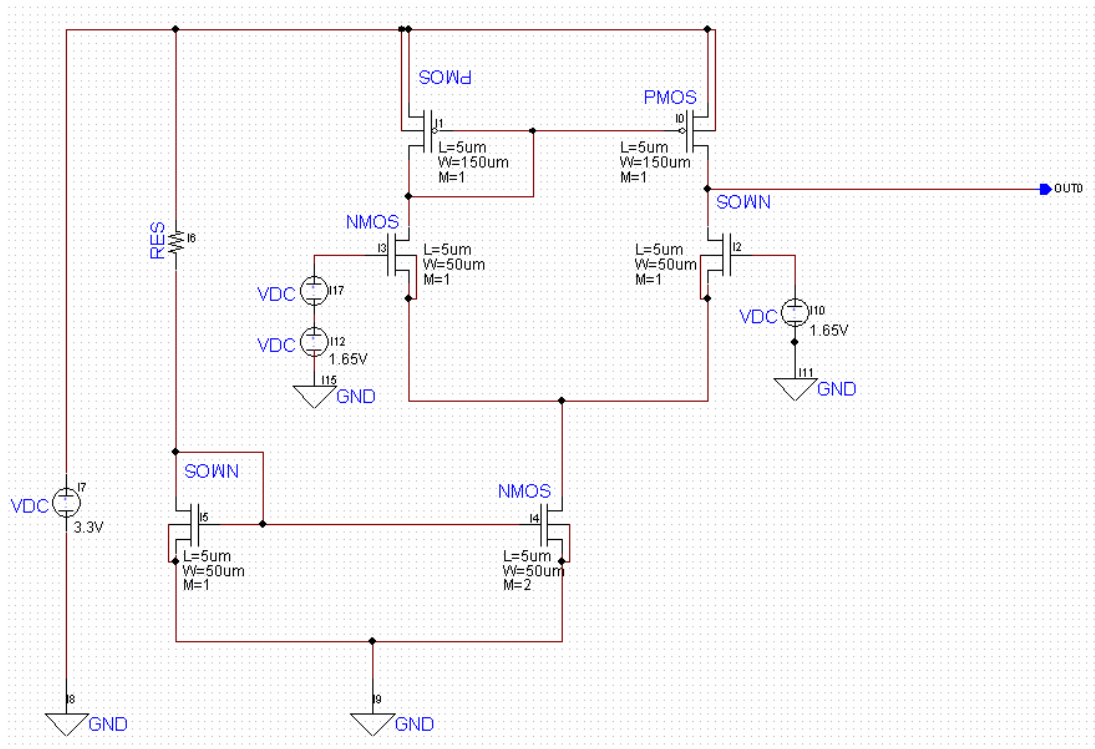
<그림 2.3.(3)-3 AC mode에서의 차동 증폭기>

차동 증폭기의 전압이득은 아래와 같다.

$$A_v = \frac{v_{out}}{v_{i1}} = \frac{v_{out}}{v_{i1} - v_{i2}} = g_m (r_{o2} \parallel r_{o4}) \quad (3.8)$$

② 예제 (differential amp simulation)

i. Differential amplifier의 설계



<그림 2.3.(3)-4 differential amplifier의 schematic>

ii. Differential amplifier의 schematic으로부터 추출된 netlist

```

C:\MyAnalogV63W\schematic\work\current_mirror\differential...
*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: differential_amp
* Flatten Extraction for PSPICE
* Generated Date :: 2006/3/17 11:13
*****
.GLOBAL OUT0
.GLOBAL GND
*****
MT_10 17_NP 13_NND OUT0 17_NP PMOS L=5UM W=150UM
MT_11 17_NP 13_NND 13_NND 17_NP PMOS L=5UM W=150UM
MT_12 OUT0 110_NP 14_NND 14_NND NMOS L=5UM W=50UM
MT_13 13_NND 117_NP 14_NND 14_NND NMOS L=5UM W=50UM
MT_14 14_NND 16_N1 GND GND NMOS L=5UM W=100UM
MT_15 16_N1 16_N1 GND GND NMOS L=5UM W=50UM
RT_16 16_N1 17_NP 260K
VT_17 17_NP GND DC 3.3
VT_110 110_NP GND DC 1.65
VT_112 117_NN GND DC 1.65
VT_117 117_NP 117_NN DC 0V
*****
VSS GND 0 DC 0
*****
M18_GND_GND 18_GND GND DC 0
V19_GND_GND 19_GND GND DC 0
V115_GND_GND 115_GND GND DC 0
V110_NN_GND 110_NN GND DC 0
*****
.dc vt_117 -0.02 0.02 0.0001
*****
* TSMC 0352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS 3.1 (
+VERSION = 3.1          TNOM = 27          LEVEL = 49
+XJ = 1E-7             NCH = 2.3579E17    TOX = 7.6E-9
                        VTH0 = 0.5027514
)

```

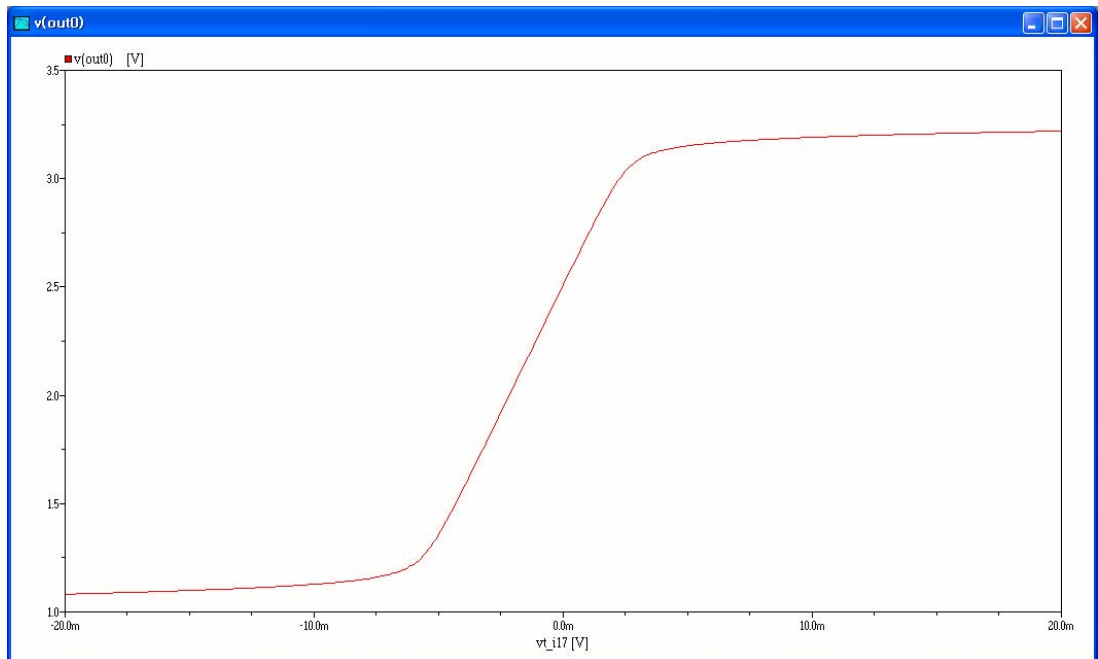
<2.3.(3)-5 추출된 netlist>

위의 simulation은 차동 증폭기의 DC 특성을 보기 위해서 붉은색 부분을 추가하였다.
(차동 입력의 DC 전압을 -0.02V~+0.02V까지 증가시킴)

iii. Simulation 결과

a. DC 입력일 때의 출력과형

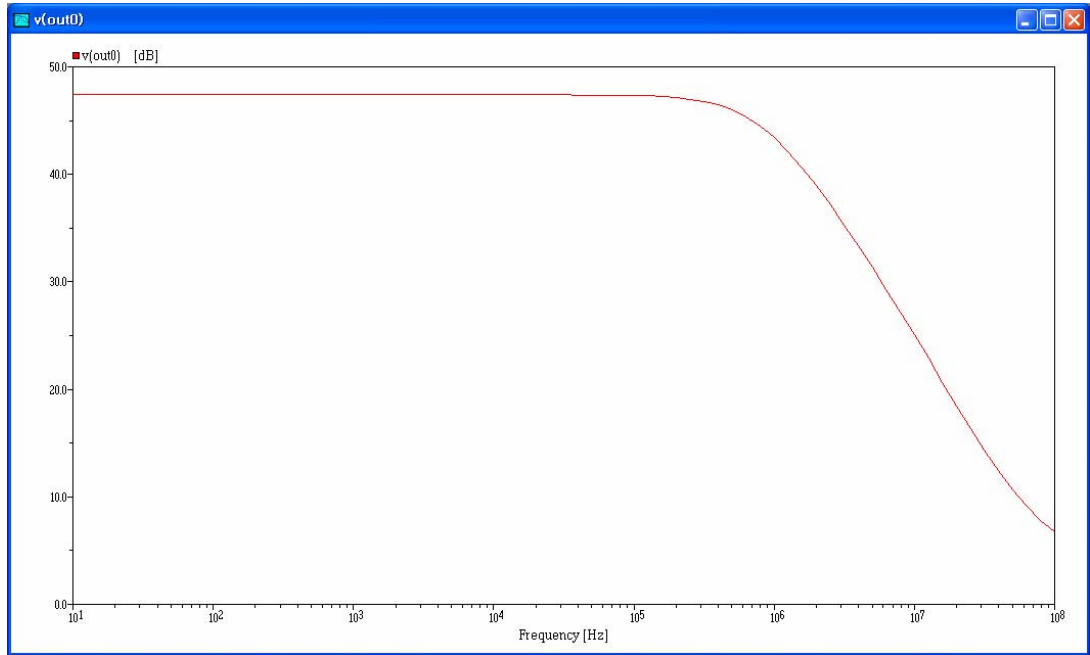
(DC 입력 전압을 0.02V ~ 0.02V까지 변화시킴)



<2.3.(3)-6 차동 증폭기의 DC 특성>

b. AC 입력일 때의 출력과형

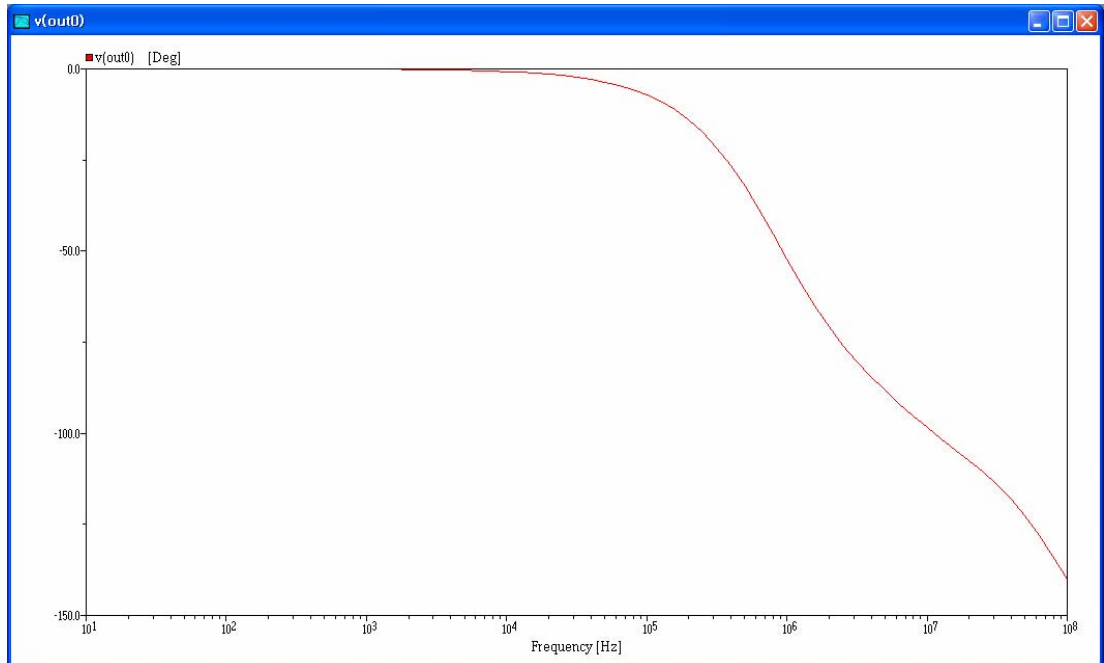
(AC 1V 입력 전압의 주파수를 10Hz ~ 100Mhz범위에서 10Hz씩 증가시킴)



<2.3.(3)-7 주파수에 따른 전압이득 특성>

c. AC 입력일 때의 Phase

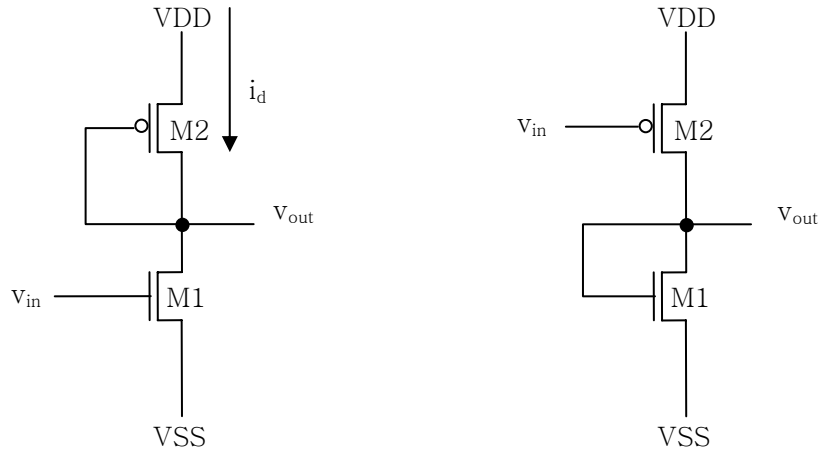
(AC 1V 입력 전압의 주파수를 10Hz ~ 100Mhz범위에서 10Hz씩 증가시킴)



<2.3.(3)-8 주파수에 따른 phase 특성>

(4) Common source amplifier

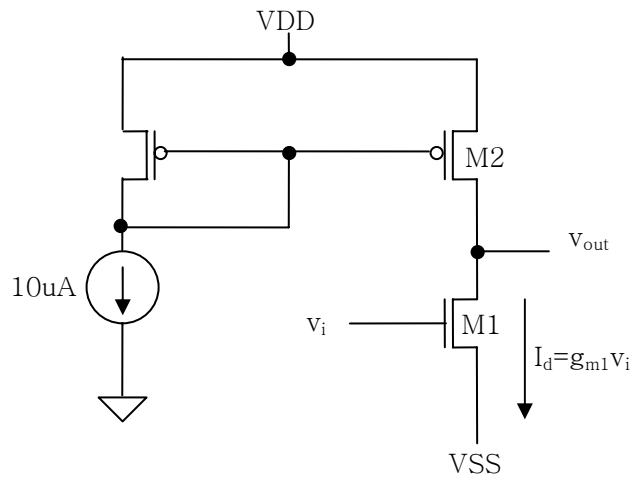
① 개요



<그림 2.4.(4)-1 Common source amplifier>

왼쪽 common source amplifier의 소신호 전압 이득은 아래와 같다.

$$\frac{v_{out}}{v_{in}} = \frac{i_d \cdot \frac{1}{g_{m2}}}{i_d \cdot \frac{1}{g_{m1}}} = -\frac{g_{m2}}{g_{m1}} = -\frac{\text{resistance in the drain}}{\text{resistance in the source}} = -\frac{g_{m1}}{g_{m2}} \quad (4.1)$$



<그림 2.4.(4)-2 전류원 부하를 갖는 common source amplifier>

증폭기에서 current source 부하는 CMOS 공정에서 가장 큰 저항을 제공한다.

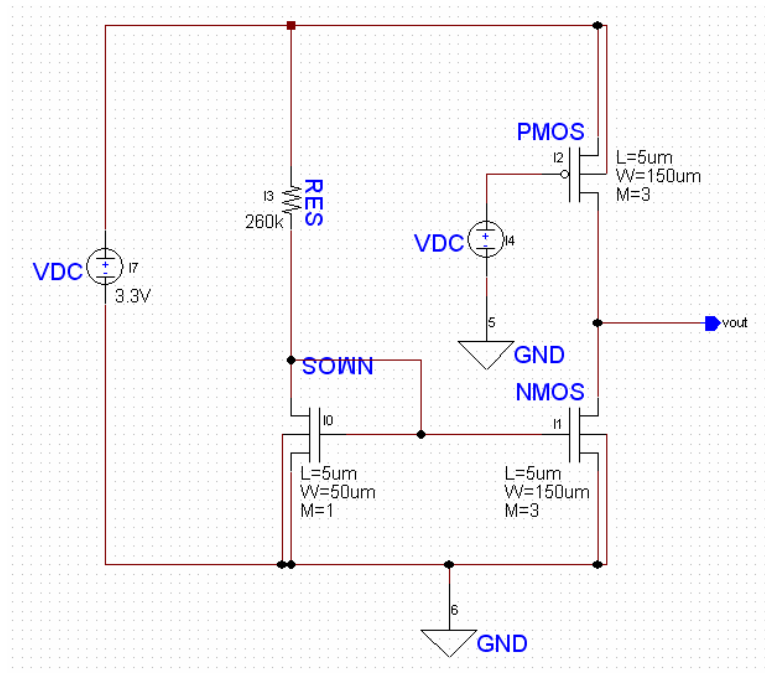
그림 2.4.(4)-1은 current source 부하를 가진 common source 증폭기이다. M1이 증폭기의 common source 부분이고, M2는 current source 부하이다.

common source 증폭기의 전압이득을 구하면

$$A_v = \frac{v_o}{v_i} = -\frac{r_{o1} \parallel r_{o2}}{\frac{1}{g_{m1}}} = -\frac{g_{m1}}{g_{o1} + g_{o2}} \quad \left(\ominus r_o = \frac{1}{\lambda I_D} \right) \quad (4.2)$$

② 예제 (common source amplifier simulation)

i. Common source amplifier의 설계



<그림 2.4.(4)-3 common source amplifier의 schematic>

ii. Common source amplifier의 schematic으로부터 추출된 netlist

```

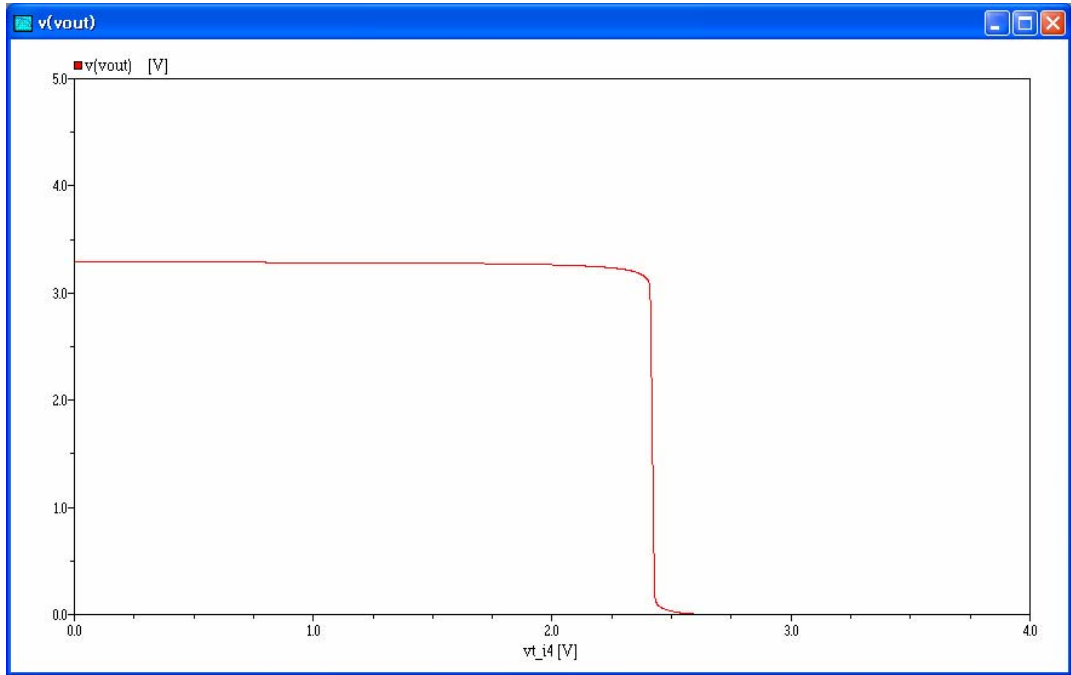
C:\WMyAnalogV63W\schematic\work\current_mirror\common_s...
*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: common_source_amp
* Flatten Extraction for PSPICE
* Generated Date :: 2006/3/17 16:7.0
*****
.GLOBAL vout
.GLOBAL GND
*****
MT_11 vout 13_N2 GND GND NMOS L=5UM W=150UM
MT_10 13_N2 13_N2 GND GND NMOS L=5UM W=50UM
MT_12 12_PND 14_NP vout 12_PND PMOS L=5UM W=150UM
RT_13 13_N1 13_N2 MODEL 260K
VT_17 13_N1 GND DC 3.3V
VT_14 14_NP GND DC 0V
*****
VSS GND 0 DC 0
*****
V17_NN_GND 17_NN GND DC 0
V15_GND_GND 15_GND GND DC 0
*****
.dc vt_14 0V 3.3V 0.001V
*****
* TSMC 0352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
    
```

<그림 2.4.(4)-4 추출된 netlist>

iii. Simulation 결과

a. DC 입력일 때의 출력파형

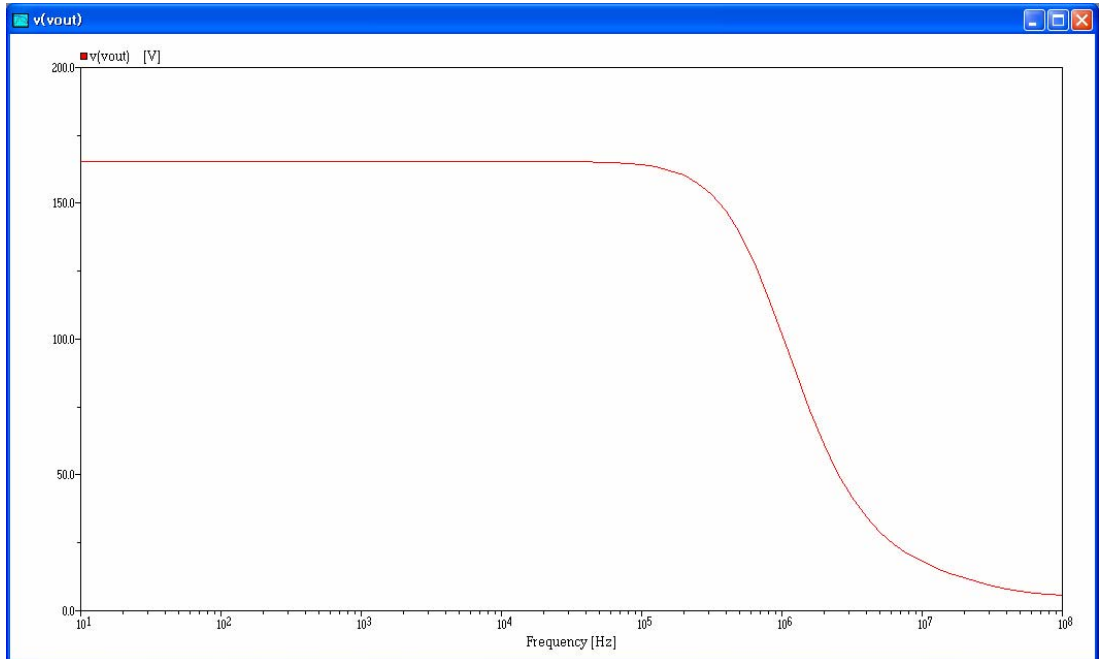
(DC 입력 전압을 0V ~ 3.3V까지 증가시킴)



<2.4.(4)-5 common source 증폭기의 DC 특성>

b. AC 입력일 때의 출력파형

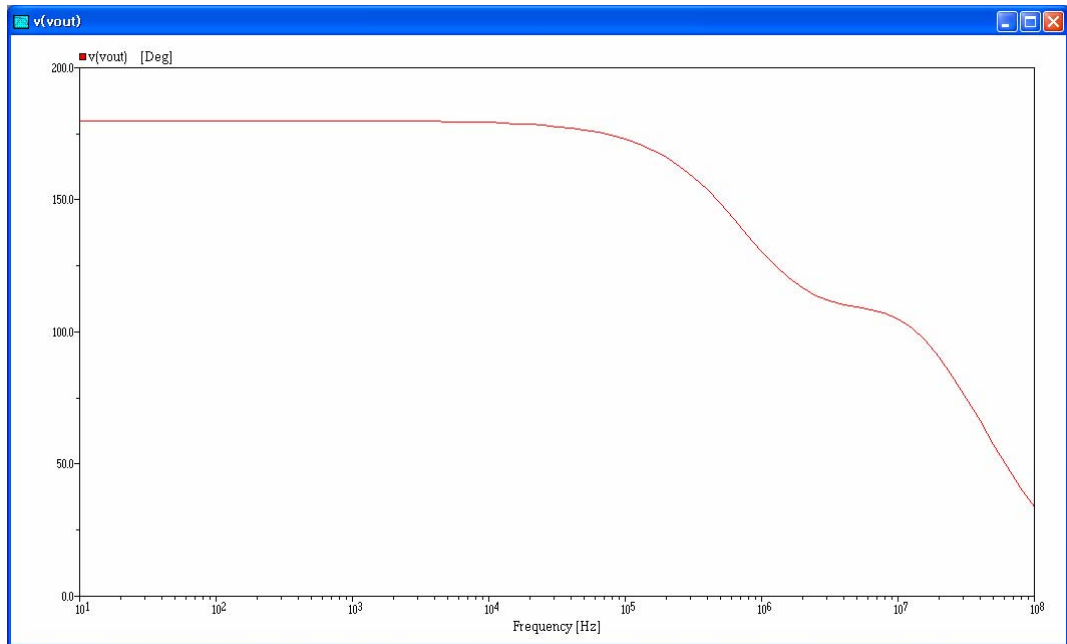
(AC 1V 입력 전압의 주파수를 10Hz ~ 100Mhz범위에서 10Hz씩 증가시킴)



<2.4.(4)-6 주파수에 따른 전압이득 특성>

C. AC 입력일 때의 출력파형

(AC 1V 입력 전압의 주파수를 10Hz ~ 100MHz범위에서 10Hz씩 증가시킴)

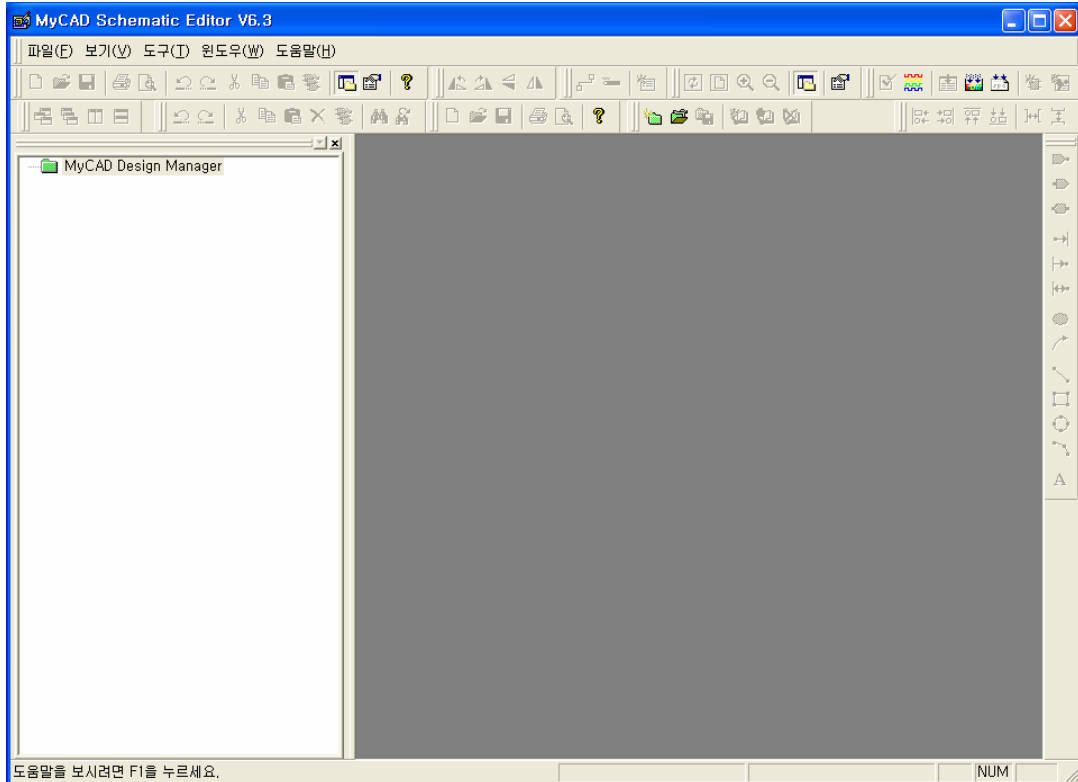


<그림 2.4.(4)-7 주파수에 따른 phase 특성>

2.4. Two stage amp 설계

(1) Two stage amp 설계

MyCAD Pro → Schematic Editor for MyAnalog를 실행 시킨다.

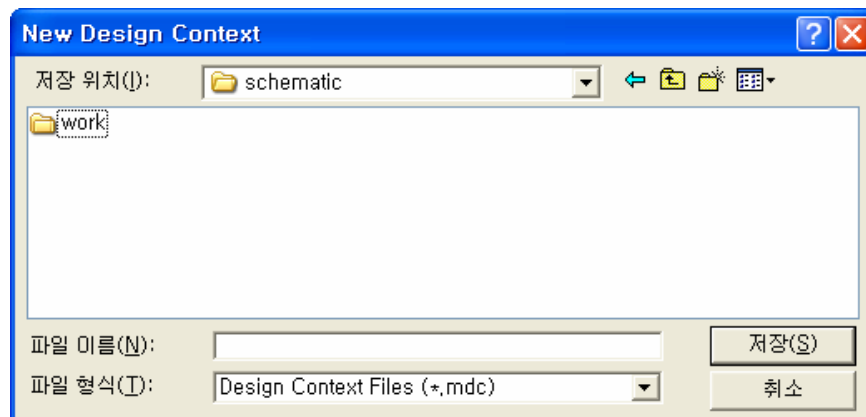


<그림 2.3(1)-1 Schematic Editor>

① Library 생성

i. New Folder

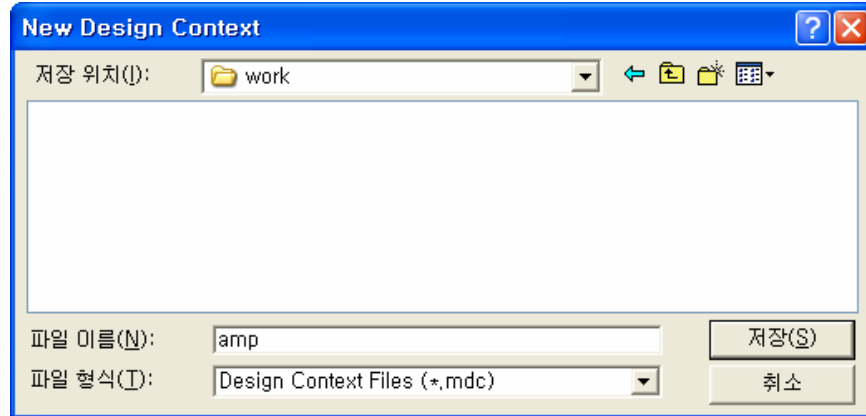
menu → 파일 → 새 디자인 열기 선택 후 C:\MyAnalogV63\Schematic\에 새로운 Work Folder를 만든다.



<그림 2.3(1)-2 New Design Context>

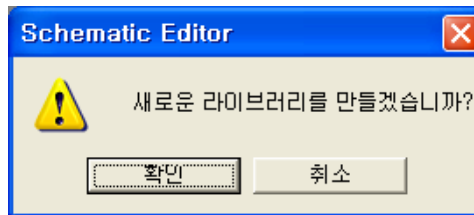
ii. New Library file

Work Folder를 만든 후 파일 이름을 amp로 정해준다. MDC file (MyCAD Design Context)을 만들면 Library file 도 생성된다. 확장자명은 생략해도 자동으로 만들어진다.



<그림 2.3(1)-3 실행파일 만들기>

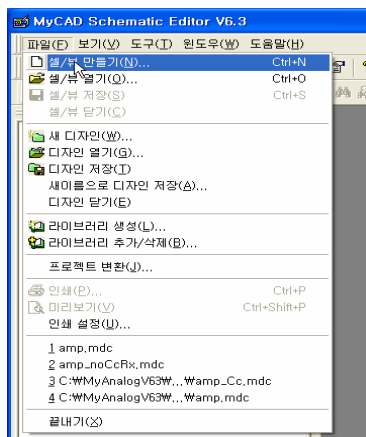
저장을 한 후 `새로운 라이브러리를 만들겠습니까?` 에서 확인을 누르면 Library file이 만들어진다.



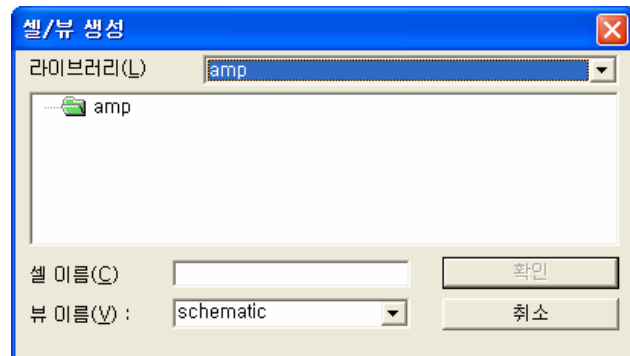
<그림 2.3(1)-4Library 생성>

iii. New Cell & View

Menu → 파일 → 셀/뷰 만들기 선택 후 셀/뷰 생성 창에서 셀 이름에 amp를 쓰고 뷰 이름에 Schematic을 선택한다.

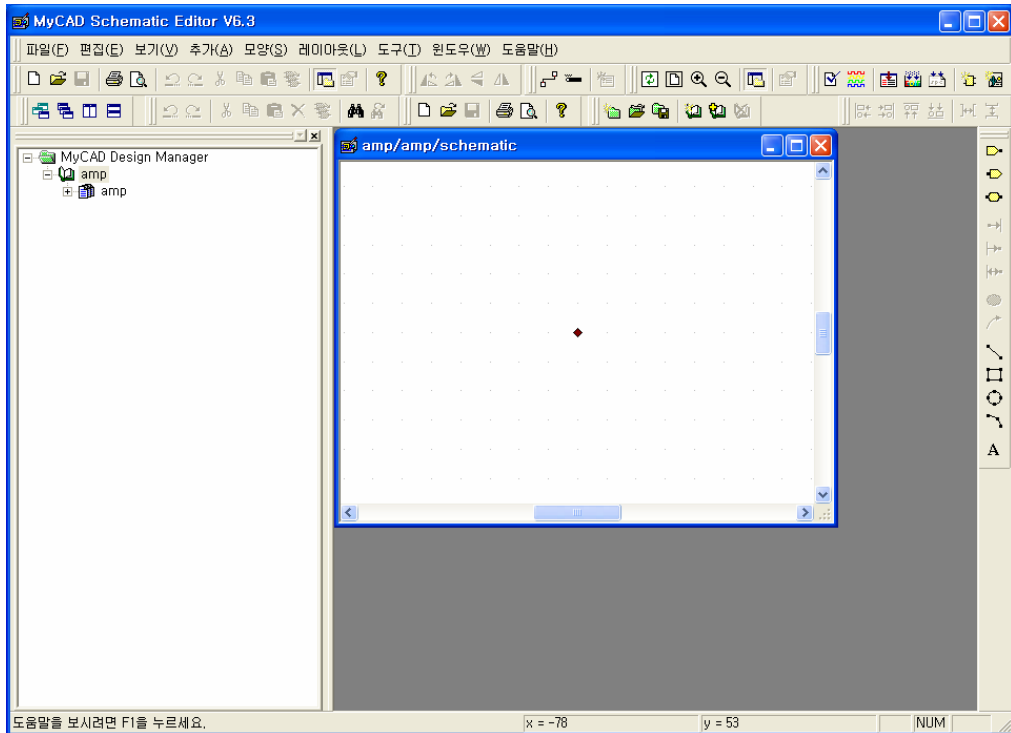


<그림 2.3(1)-5 Cell 만들기>



<그림 2.3(1)-6 Cell 만들기>

셀/뷰 생성 창에 확인을 누르면 Schematic창이 뜬다.

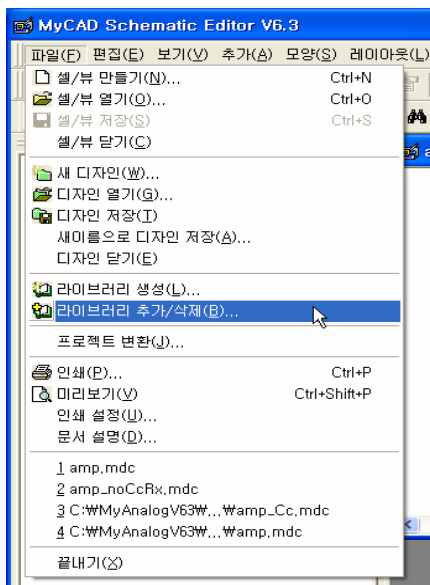


<그림 2.3(1)-7 Cell 생성>

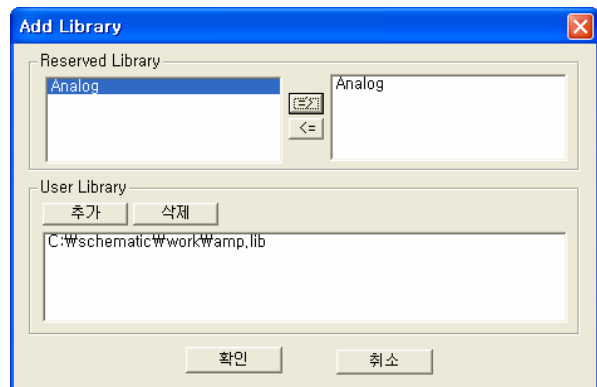
iv. Add Library

설계를 간편하게 하기 위해 제작되어 있는 심볼을 불러와서 쓴다.

Menu → 파일 → 라이브러리 추가/삭제를 선택하면 Add Library창이 뜬다. Reserved Library창의 Analog를 선택하고 중앙에 있는 오른쪽 화살표를 누른다.

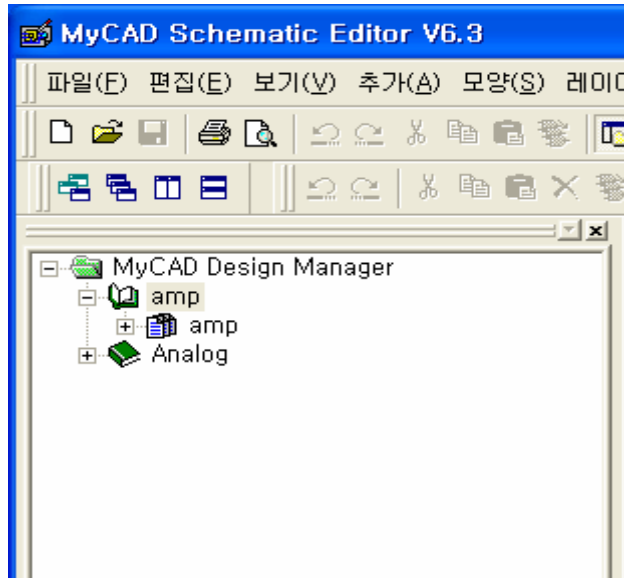


<그림 2.3(1)-8 Library 추가>



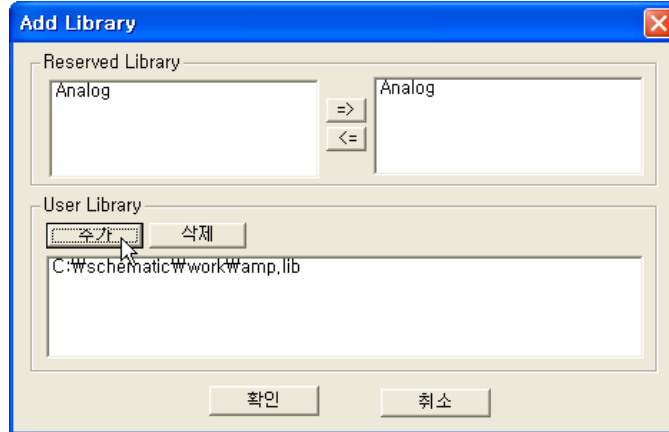
<그림 2.3(1)-9 Library 추가>

Add Library창의 확인을 누르면 Analog Library가 추가된다.

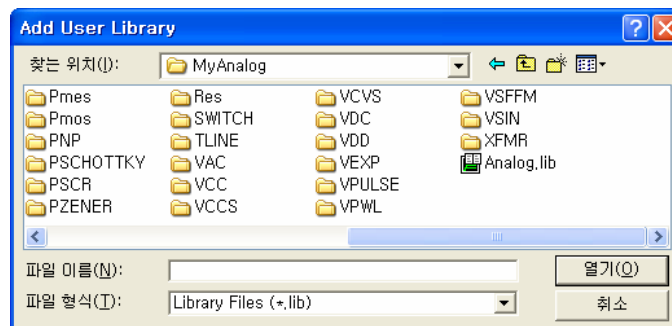


<그림 2.3(1)-10 추가된 Library>

Reserved Library에 Analog가 없으면 User Library의 추가를 누른 후 C:\MyAnalogV63 \Library\MyAnalog\Analog.lib를 선택하고 열기를 누른다.

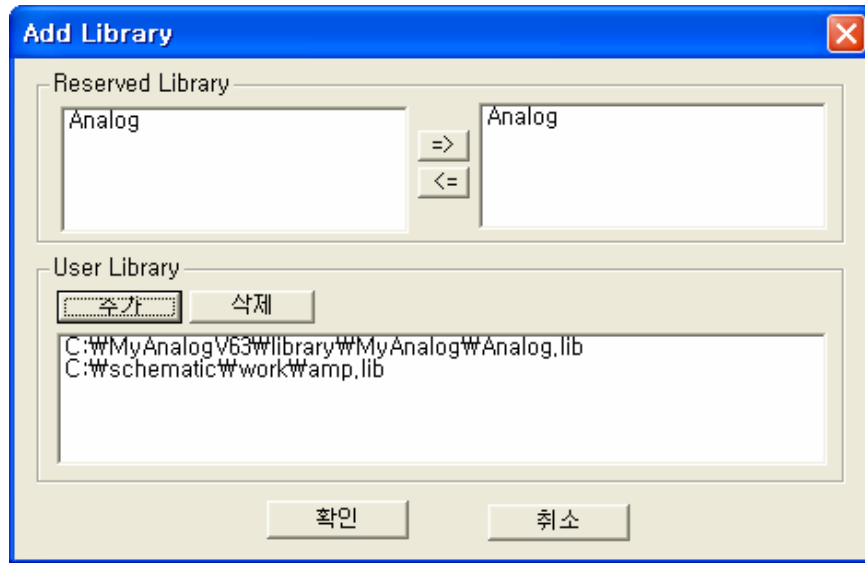


<그림 2.3(1)-11 Analog Library 추가>



<그림 2.3(1)-12 Analog Library file>

Add Library창에서 확인을 누르면 Analog Library가 추가된다.

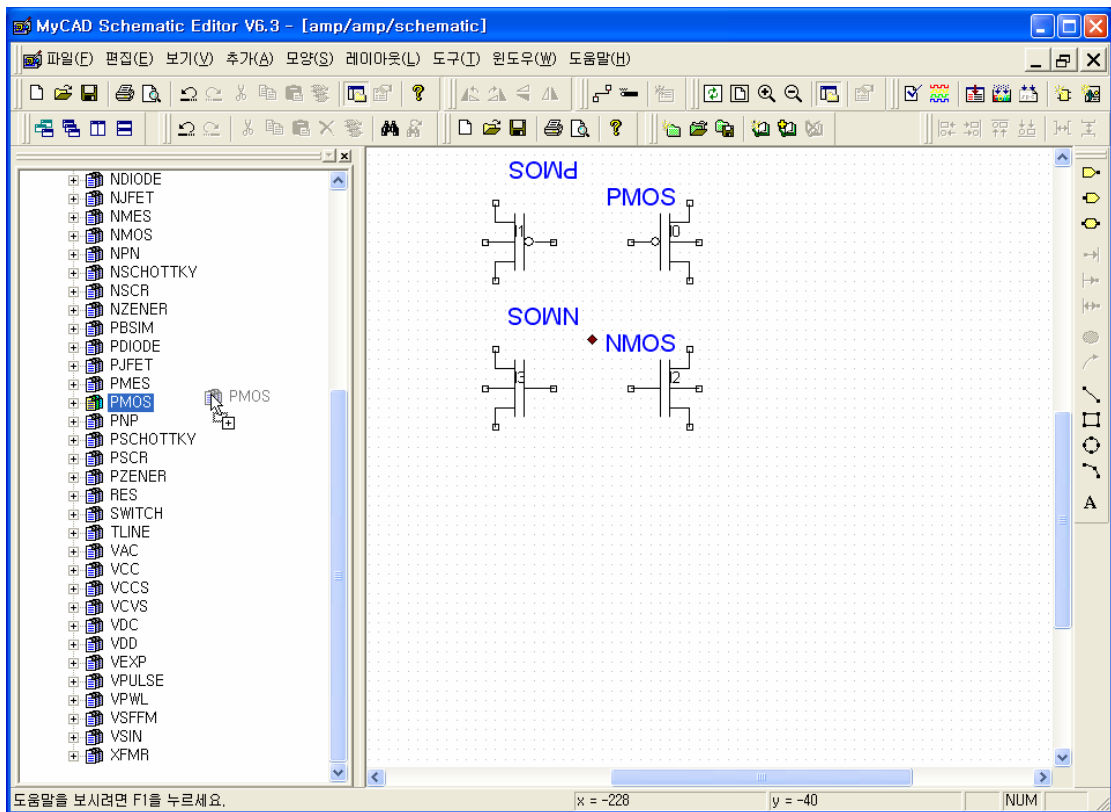


<그림 2.3(1)-13 Analog Library 추가>

② Schematic 설계

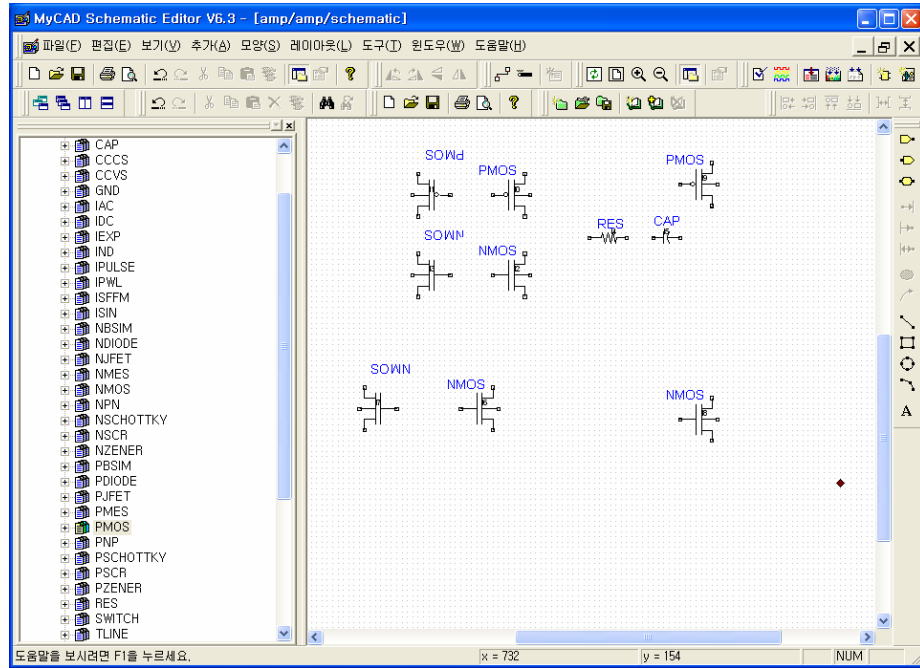
i. Symbol구성

amp를 설계하는데 필요한 symbol(NMOS, PMOS, CAP, VDD, GND, RES)들을 Analog Library에서 끌어서 Schematic창에 놓는다.



<그림 2.3(1)-14 Symbol 불러오기>

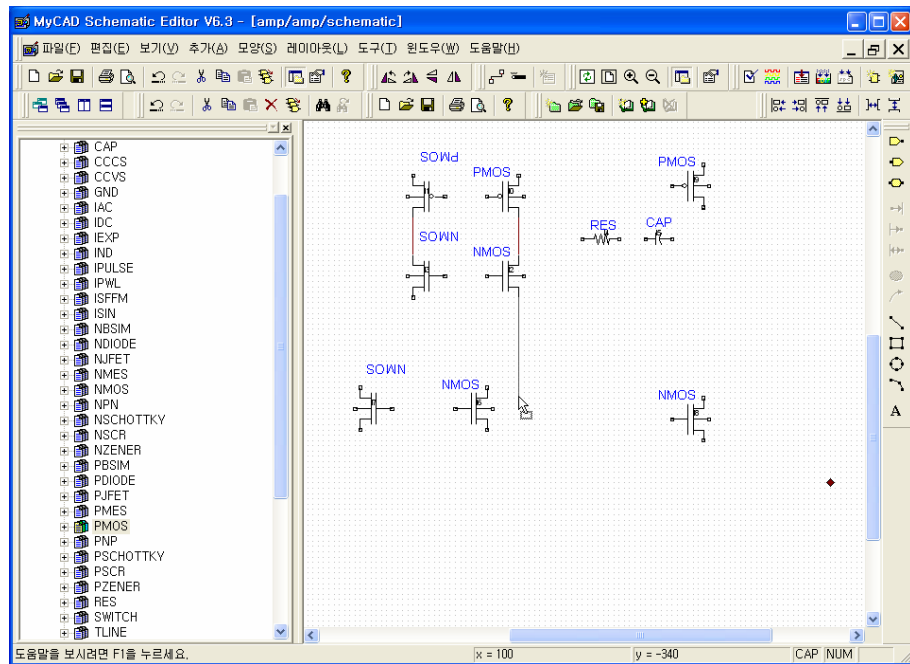
필요한 모든 symbol을 끌어서 Two stage amp를 만들기 위해 자리를 배치한다.
 입력포트와 아웃포트는 Object bar에서 끌어 놓는다.



<그림 2.3(1)-15 Symbol 불러오기 >

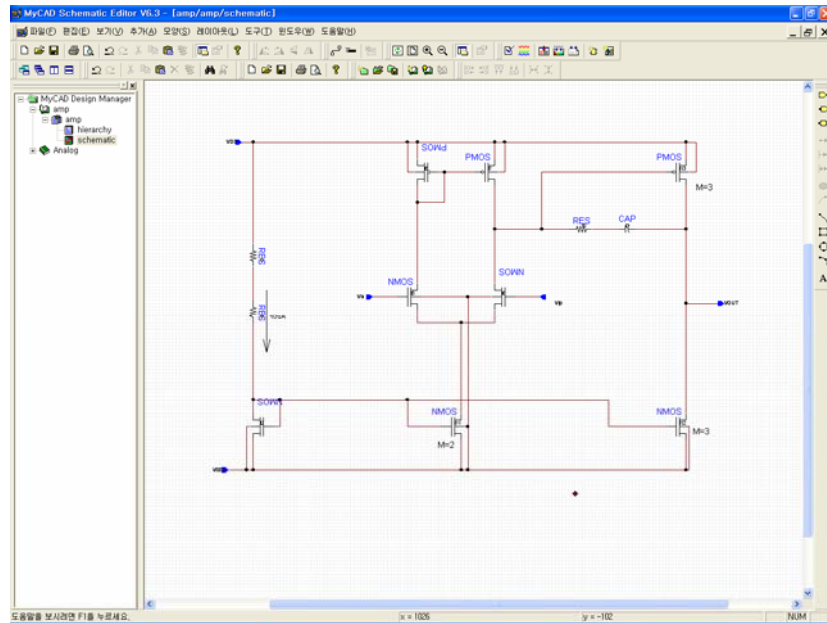
ii. 선 연결하기

Symbol의 net point에 더블 클릭한 후에 끌어서 다른 symbol의 net point에 연결시킨다.



<그림 2.3(1)-16 Symbol을 연결>

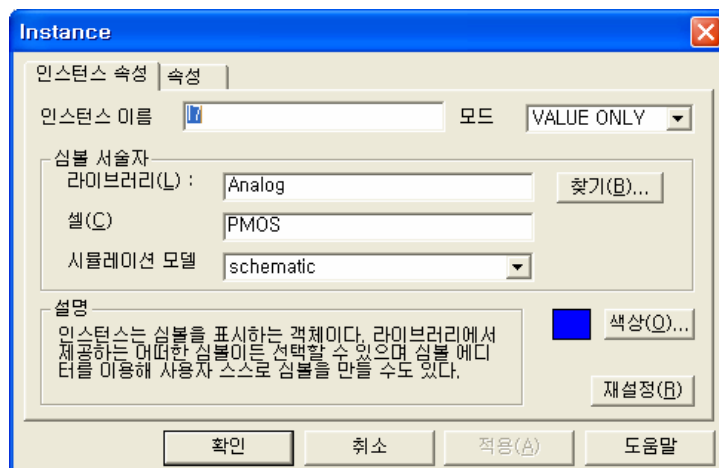
각 symbol을 연결하여 Inverter회로를 완성시킨다.



<그림 2.3(1)-17 완성된 Schematic>

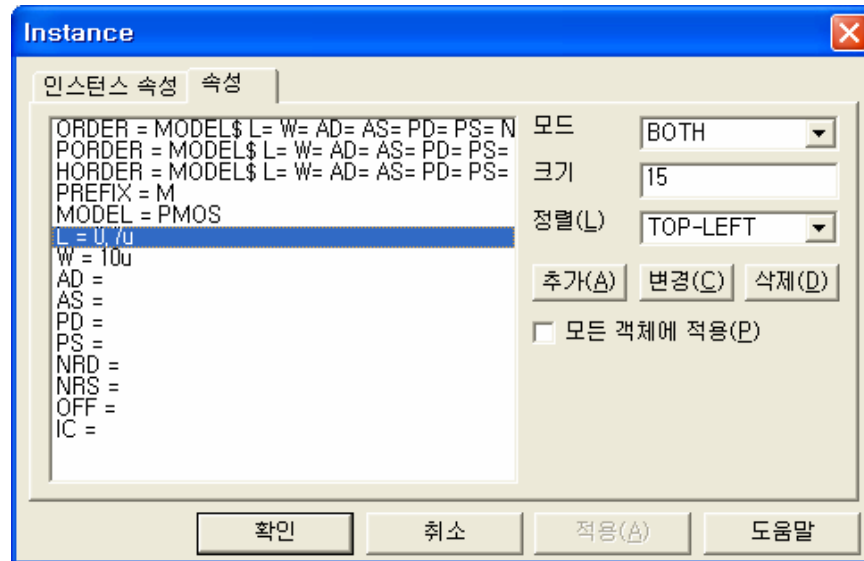
iii. Symbol 속성 설정

제공된 symbol에는 속성이 비워져 있다. Simulation을 하기 위해서는 매개 변수 값을 정해주어야 한다. PMOS의 symbol의 중앙을 더블 클릭하면 Instance창이 뜬다.



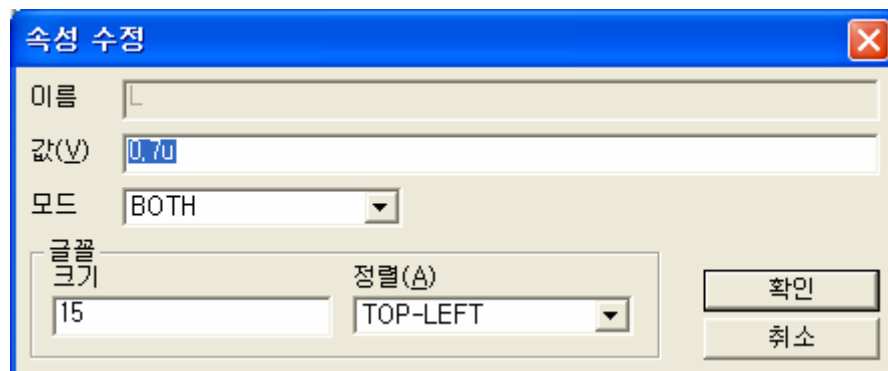
<그림 2.3(1)-18 Symbol의 속성설정>

속성메뉴를 선택하고



<그림 2.3(1)-19 Symbol의 속성설정>

L = 을 더블 클릭하면 속성 수정 창이 뜬다.



<그림 2.3(1)-20 Symbol의 속성설정>

값으로 0.4u를 넣고 확인을 누른다.

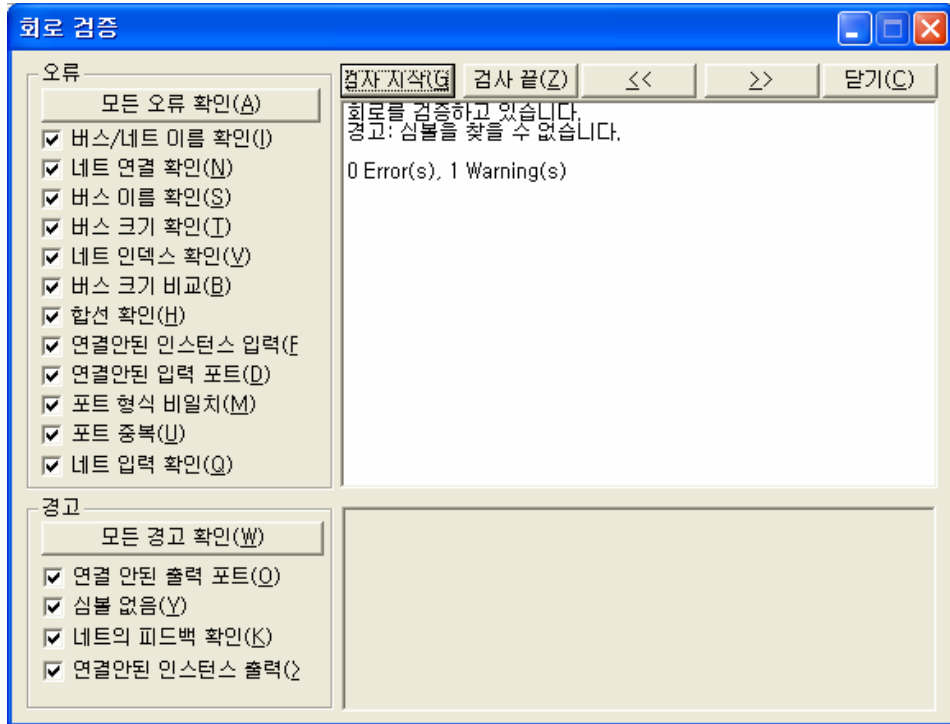
이와 같은 방법으로 각각의 symbol들에 대해서 값들을 모두 넣어준다.

작업이 완료되면 저장한다.

③ Schematic 검증

i. ERC (Electric Design Rule Check)

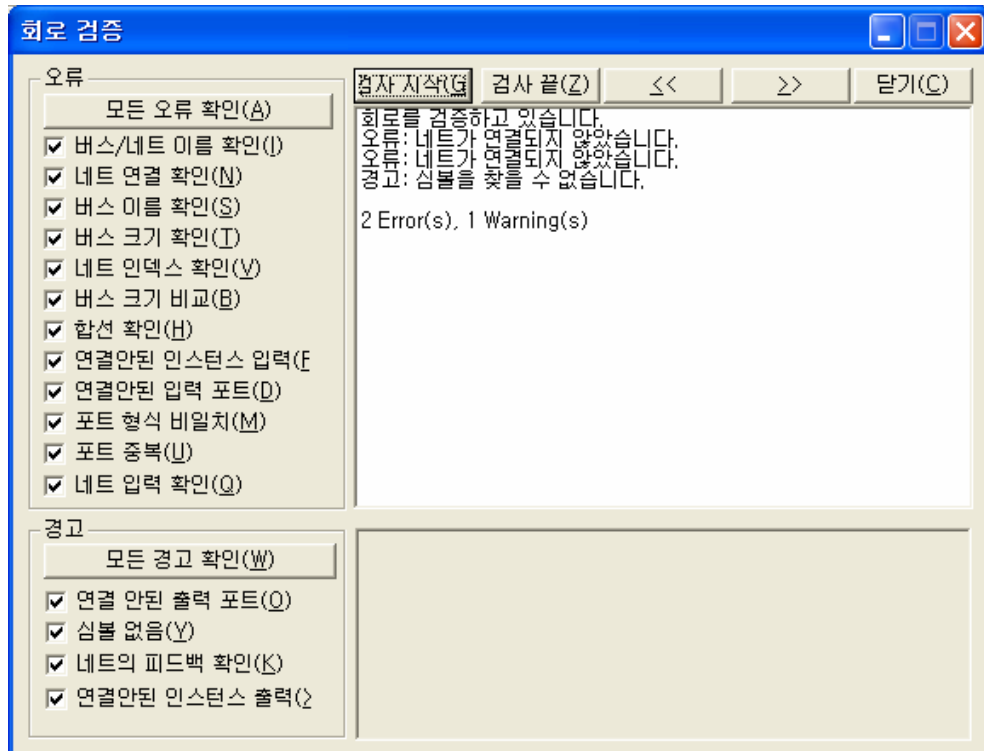
Menu → 도구 → 회로검증 선택한 후 회로검증창의 오류메뉴의 모든 오류 확인을 누르고 경고메뉴의 모든 경고 확인을 선택하고 검사시작을 누른다.



<그림 2.3(1)-21 회로 검증>

ii. Error & Warning

만약 회로에 문제가 발생하면 메시지가 뜬다.



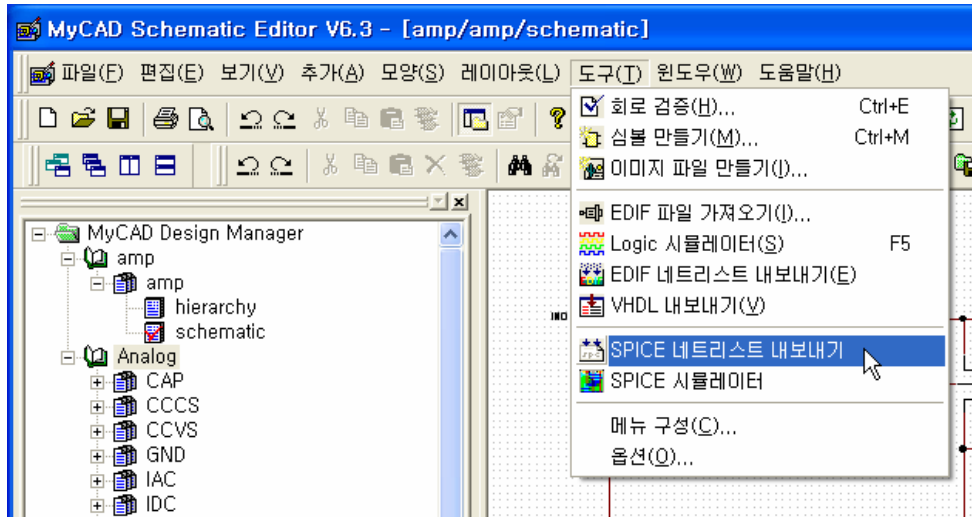
<그림 2.3(1)-22 회로 검증결과>

오류메시지를 보고 수정한다.

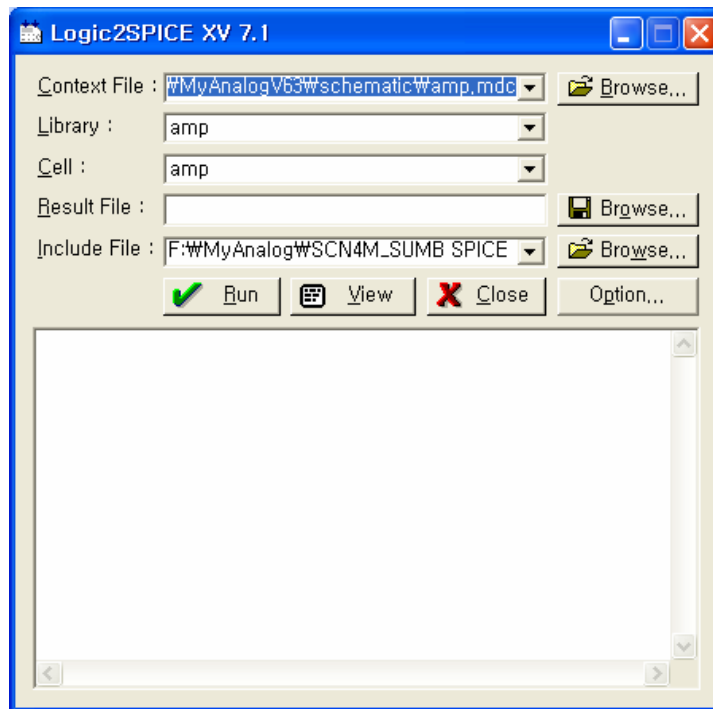
④ Netlist 파일 추출

Menu → 도구 → SPICE 네트리스트 내보내기를 선택한다.

i. New folder



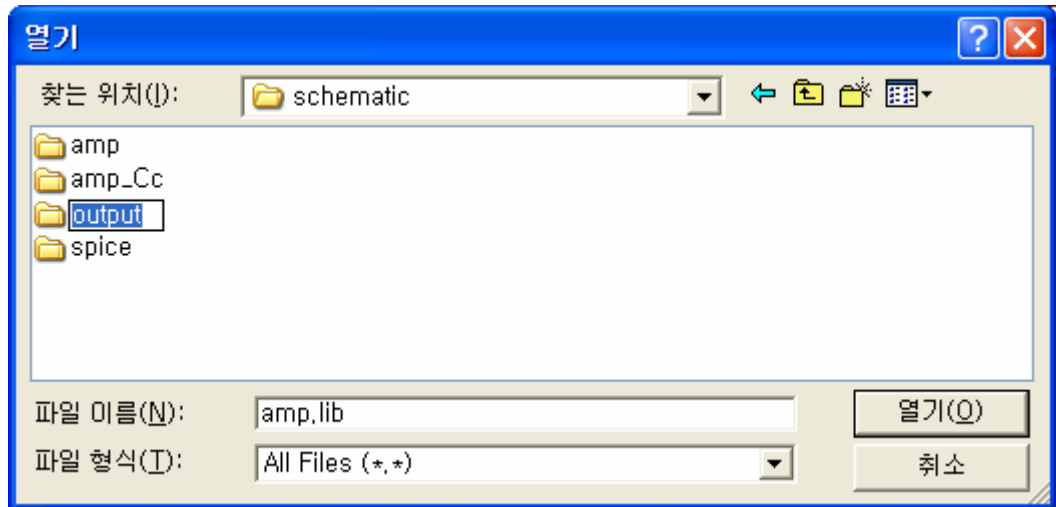
<그림 2.3(1)-23 Netlist 추출>



<그림 2.3(1)-24 Netlist 추출>

Logic2SPICE창에서 Result File의 오른쪽에 있는 Browse를 선택한다.

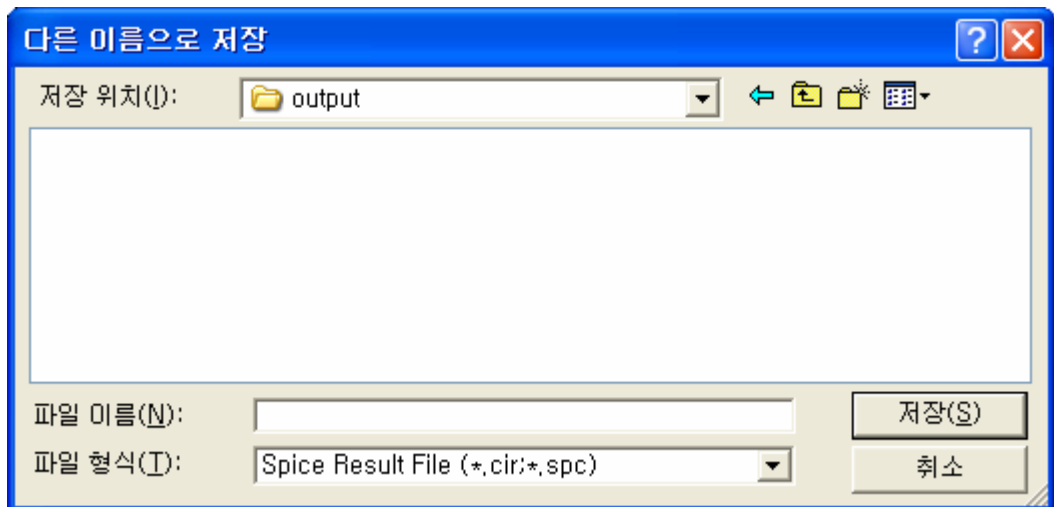
C:\MyAnalogV63\Schematic에 output folder를 만든다.



<그림 2.3(1)-25 output 폴더 생성>

ii. New File

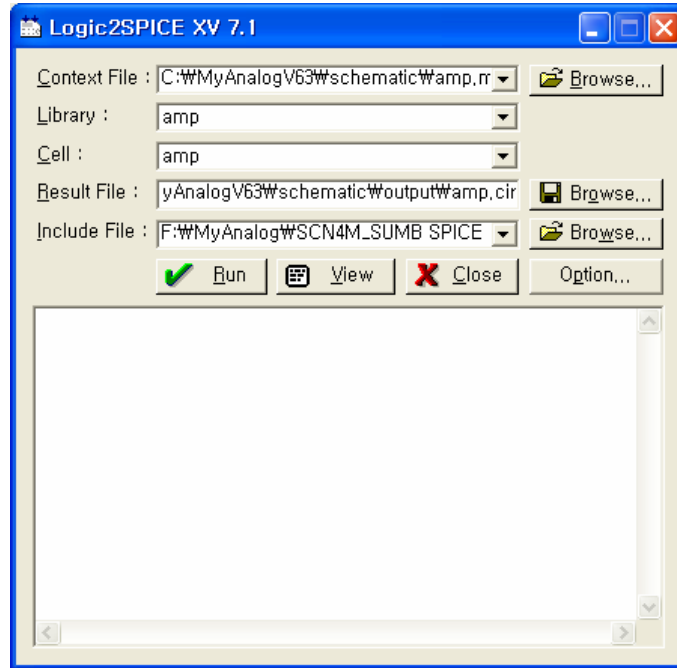
output folder에 파일이름 amp를 만들고 저장한다.



<그림 2.3(1)-26 Netlist 파일 생성>

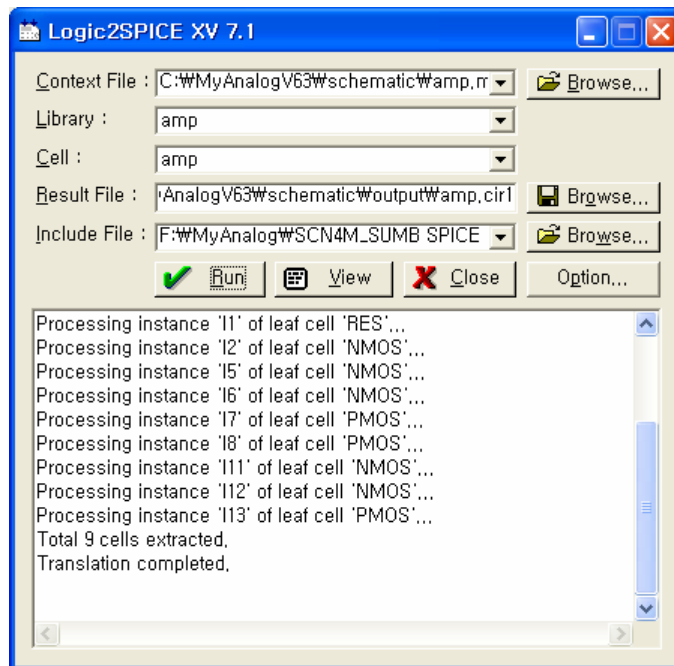
iii. Include file 포함

C:\MyAnalogV63\Schematic\spice file에 있는 SCN4M_SUMB SPICE BSIM3.txt파일을 Logic2SPICE창의 Include file에 포함시킨다.



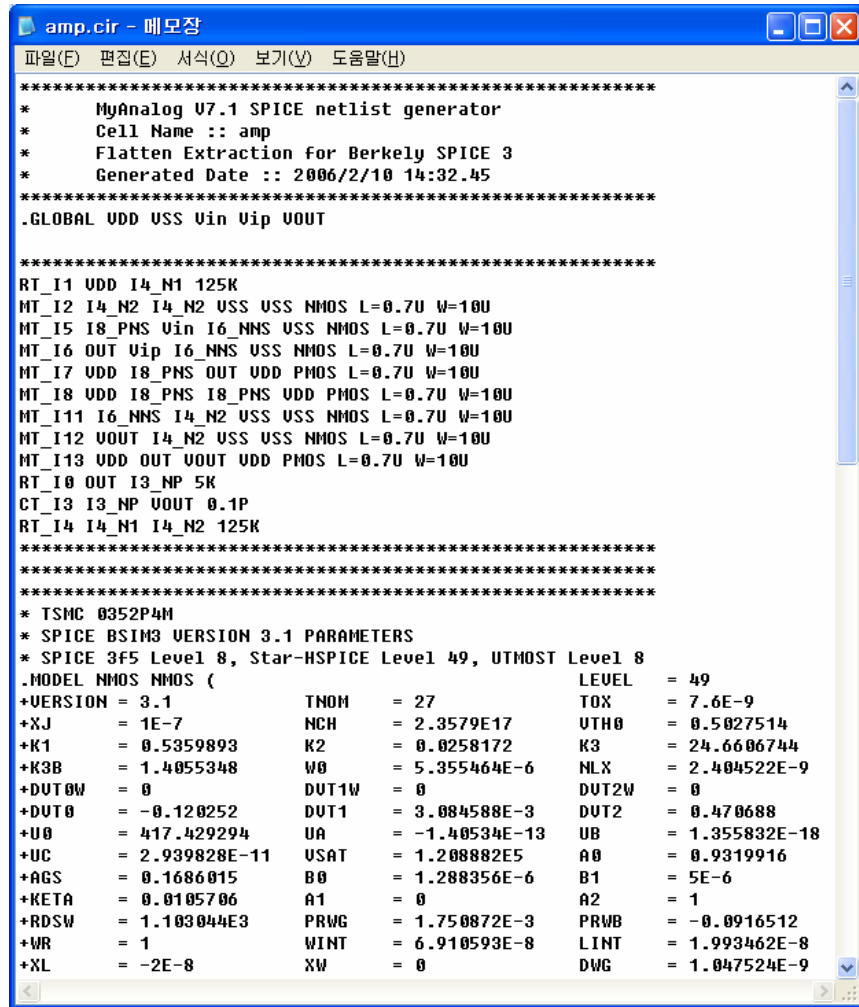
<그림 2.3(1)-27 include 파일 포함>

Logic2SPICE창의 RUN을 누르면 Netlist가 생성된다. (output folder에 amp.cir파일이 생성된다.)



<그림 2.3(1)-28 Netlist 생성 완료>

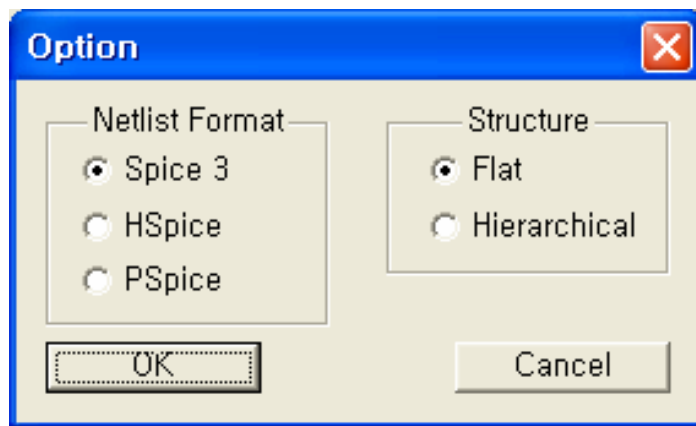
Logic2SPICE창의 View를 누르면 추출된 Netlist를 메모장으로 볼 수 있다.



<그림 2.3(1)-29 추출된 Netlist>

iv. Option

Logic2SPICE 창의 Option을 선택하면 Netlist format의 종류(Spice3, HSpice, PSpice)를 정할 수 있고, Structure (flat, Hierarchical)를 구분할 수 있다.

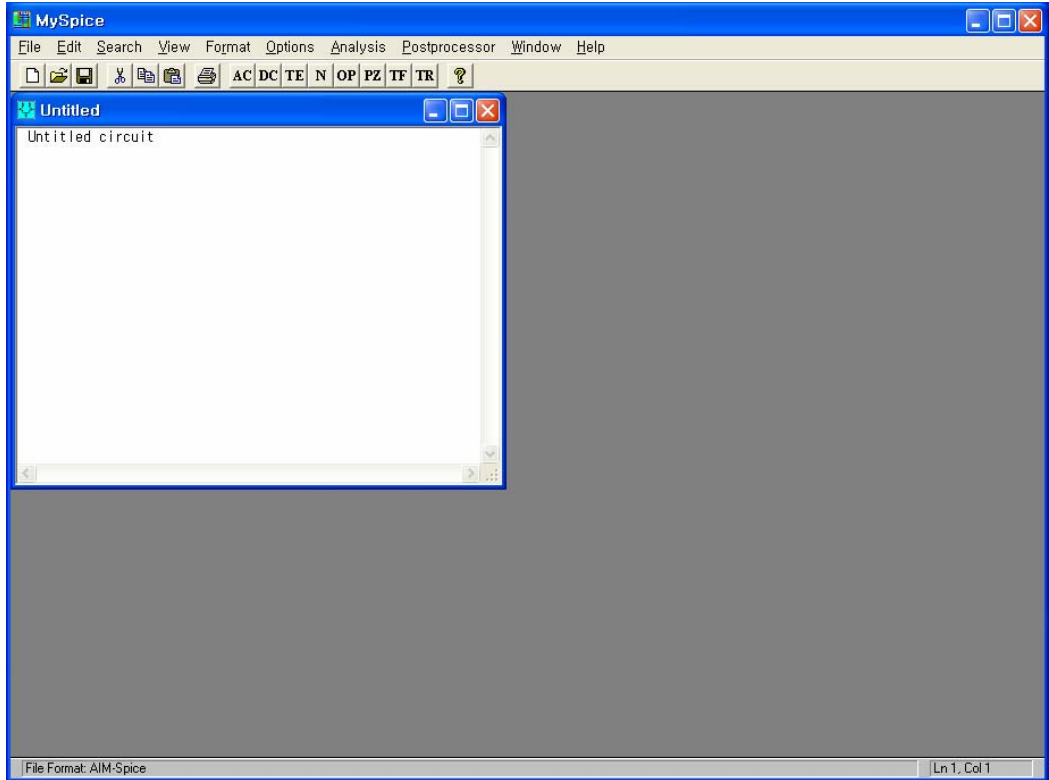


<그림 2.3(1)-30 Netlist 포맷을 위한 옵션>

⑤ Simulation

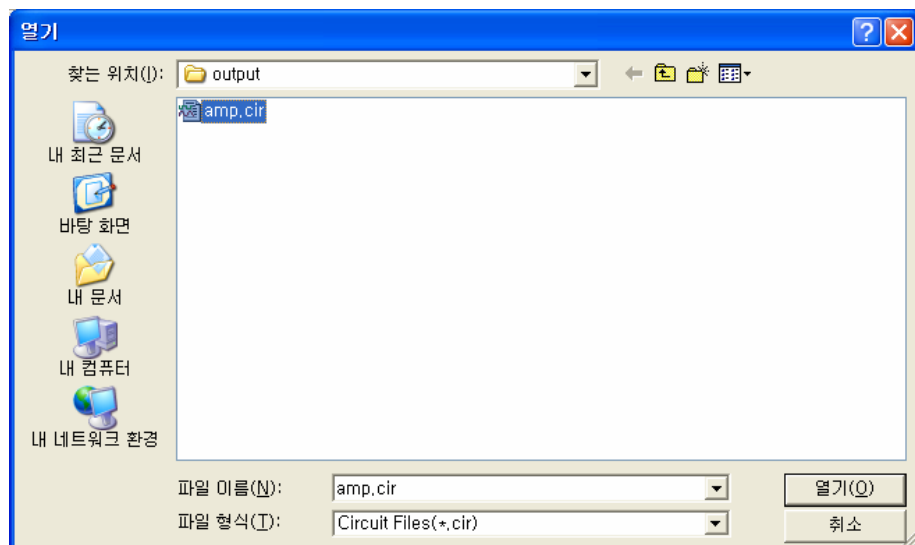
i. MySPICE

시작 → 프로그램 → MyAnalogV63 → MySPICE를 실행시킨다.



<그림 2.3(1)-31 MySpice 실행>

ii. Menu → File → Open 선택 후 C:\MyAnalogV63\Schematic\output의 amp.cir 파일을 선택하고 열기를 누른다.



<그림 2.3(1)-32 amp.cir file 열기>

```

C:\MyAnalogV63W\schematic\Woutput\Wamp.cir
*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: amp
* Flatten Extraction for Berkely SPICE 3
* Generated Date :: 2006/2/10 14:32.45
*****
.GLOBAL VDD VSS Vin Vip VOUT
*****
RT_11 VDD I4_N1 125K
MT_12 I4_N2 I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_15 I8_PNS Vin I6_NNS VSS NMOS L=0.7U W=10U
MT_16 OUT Vip I6_NNS VSS NMOS L=0.7U W=10U
MT_17 VDD I8_PNS OUT VDD PMOS L=0.7U W=10U
MT_18 VDD I8_PNS I8_PNS VDD PMOS L=0.7U W=10U
MT_111 I6_NNS I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_112 VOUT I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_113 VDD OUT VOUT VDD PMOS L=0.7U W=10U
RT_10 OUT I3_NP 5K
CT_13 I3_NP VOUT 0.1P
RT_14 I4_N1 I4_N2 125K
*****
* TSMC 0352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL   = 49
+XJ    = 1E-7          NCH     = 2.3579E17    TOX     = 7.6E-9
+K1    = 0.5359893    K2     = 0.0258172    VTH0    = 0.5027514
+K3B   = 1.4055348    W0     = 5.355464E-6   K3      = 24.6606744
+DVT0W = 0            DVT1W   = 0            DVT2W   = 0
+DVT0  = -0.120252    DVT1   = 3.084588E-3   DVT2    = 0.470688
+UD    = 417.429294    UA     = -1.40534E-13  UB      = 1.355832E-16
+UC    = 2.939826E-11 VSAT    = 1.208882E5    AD      = 0.9319916
+AGS   = 0.1686015    BO     = 1.288356E-6   BI      = 5E-6
)

```

<그림 2.3(1)-33 amp.cir>

- iii. 추출된 Netlist파일에 붉은색 부분을 직접 입력한다. 이것인 simulation을 위한 값들을 지정하는 것이다.

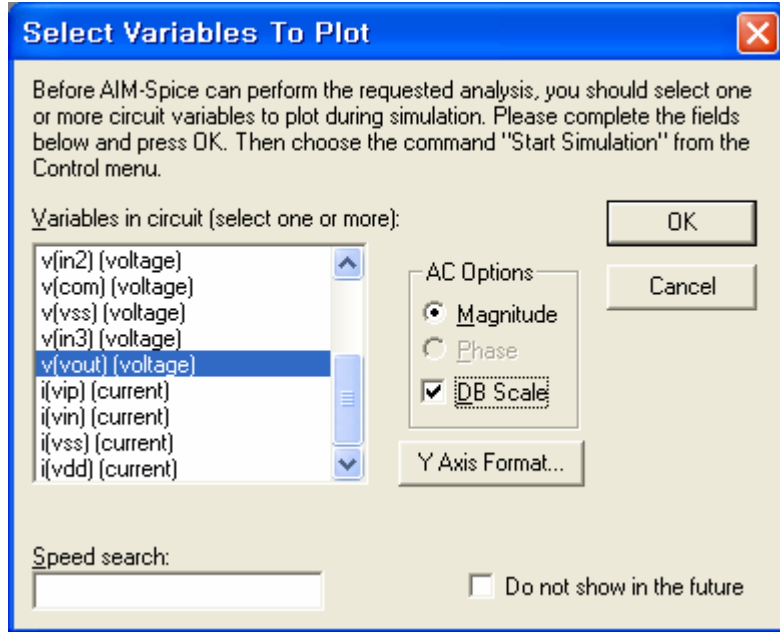
```

C:\MyAnalogV63W\schematic\Woutput\Wamp.cir
*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: amp
* Flatten Extraction for Berkely SPICE 3
* Generated Date :: 2006/2/10 14:32.45
*****
.GLOBAL VDD VSS Vin Vip VOUT
*****
RT_11 VDD I4_N1 125K
MT_12 I4_N2 I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_15 I8_PNS Vin I6_NNS VSS NMOS L=0.7U W=10U
MT_16 OUT Vip I6_NNS VSS NMOS L=0.7U W=10U
MT_17 VDD I8_PNS OUT VDD PMOS L=0.7U W=10U
MT_18 VDD I8_PNS I8_PNS VDD PMOS L=0.7U W=10U
MT_111 I6_NNS I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_112 VOUT I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_113 VDD OUT VOUT VDD PMOS L=0.7U W=10U
RT_10 OUT I3_NP 5K
CT_13 I3_NP VOUT 0.1P
RT_14 I4_N1 I4_N2 125K
*****
VDD VDD 0 DC 3.3V
VSS VSS 0 DC 0V
Vin Vin 0 DC 1.65 AC 0
Vip Vip 0 DC 1.65 AC 1
.AC DEC 10 10 10000MEG
*****
* TSMC 0352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL   = 49
+XJ    = 1E-7          NCH     = 2.3579E17    VTH0    = 0.5027514
+K1    = 0.5359893    K2     = 0.0258172    K3      = 24.6606744
+K3B   = 1.4055348    W0     = 5.355464E-6   NLX     = 2.404522E-9
)

```

<그림 2.3(1)-34 amp.cir에서 추가된 내용>

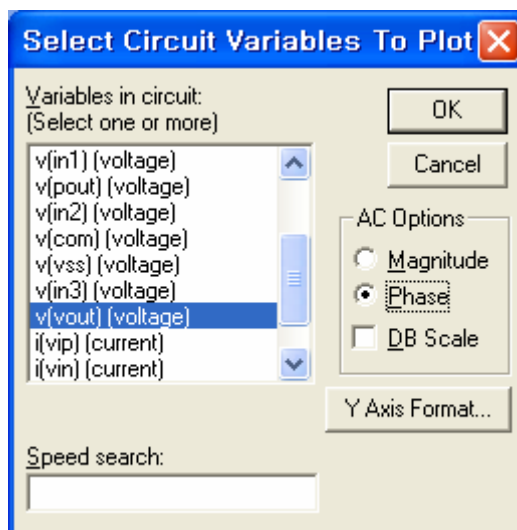
- iv. Menu → Analysis → Run Standard Spice file을 선택한다. Netlist에 error가 있으면 Run Standard Spice file이 활성화 되지 않는다.



<그림 2.3(1)-35 출력할 plot을 선택>

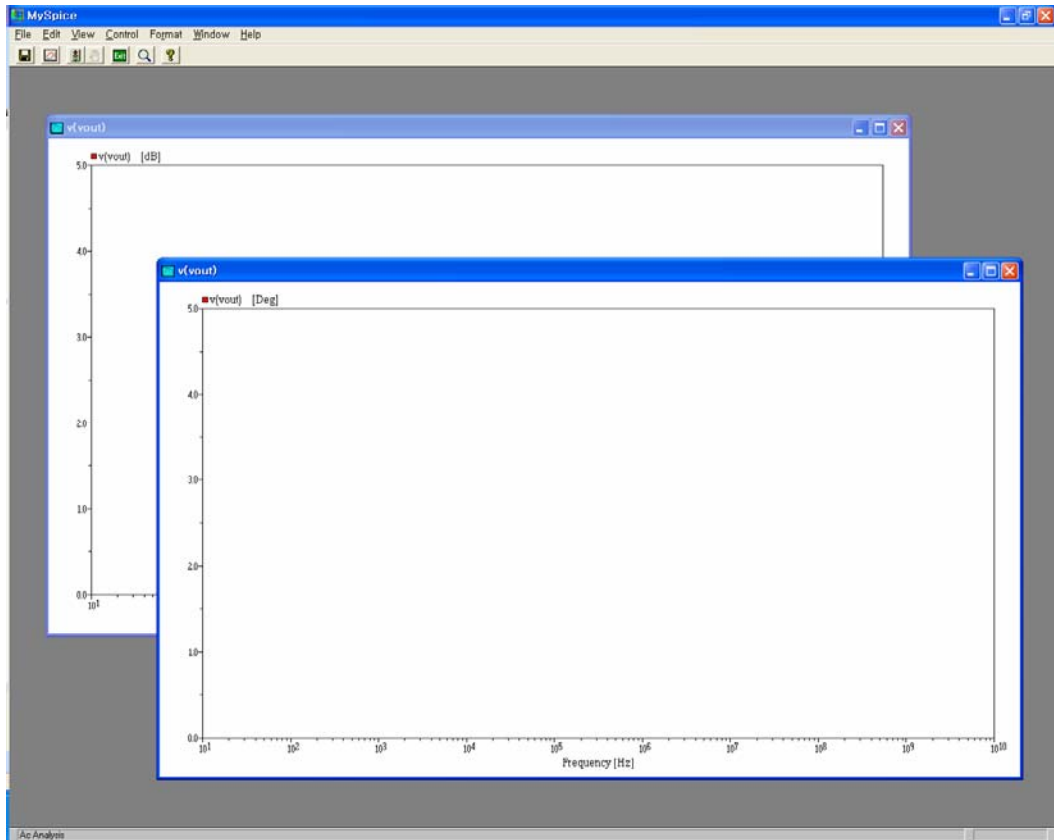
Select Variables To Plot창에서 원하는 결과를 선택한다. v[vout][voltage]를 선택한다. 또한 AC Option에서 Magnitude를 선택하고, DB Scale에 체크하고 OK를 누른다.

- v. Menu → Analysis → Run Standard Spice file을 다시 선택한다.



<그림 2.3(1)-36 출력할 plot을 선택>

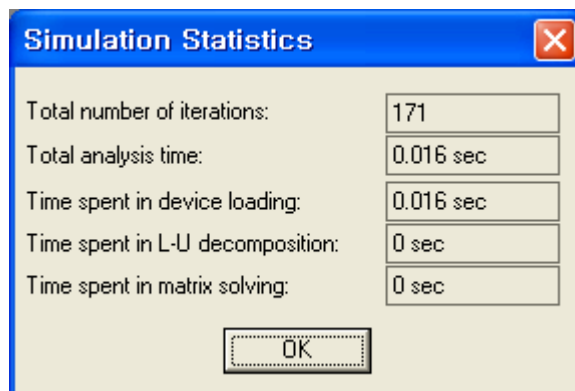
- vi. Select Variables To Plot 창에서 원하는 iv에서와 같이 원하는 결과를 선택한다. V[vout][voltage]를 선택한다. 또한 AC Option에서 Phase를 선택하고, OK를 누른다.



<그림 2.3(1)-37 시뮬레이션 실행 결과>

위와 같이 두개의 창이 나타난다.

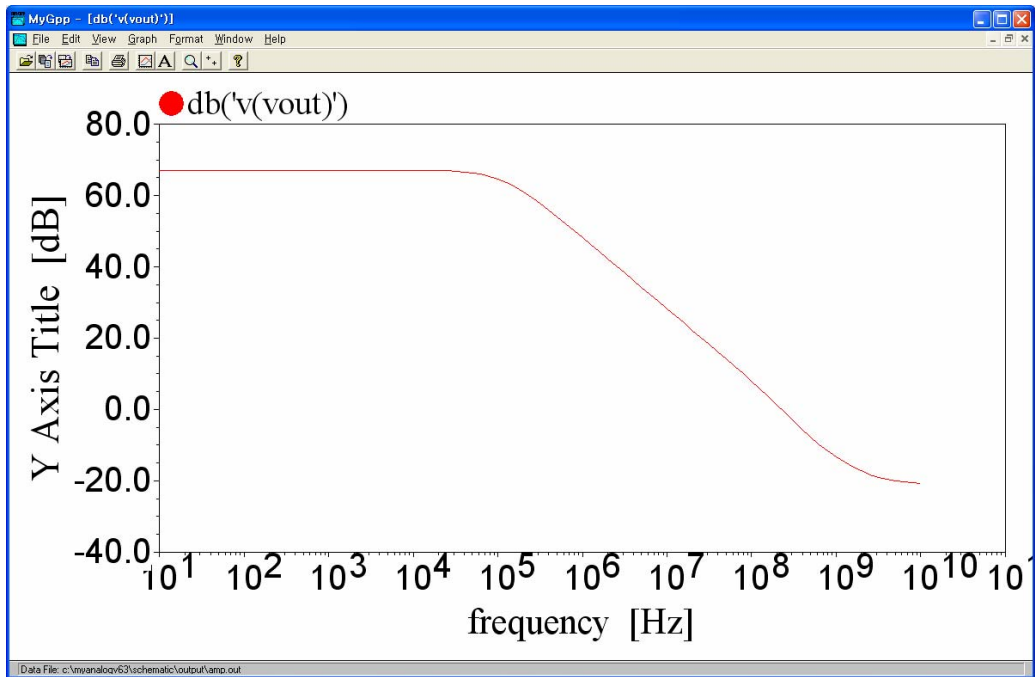
- vii. 위의 그림에서 Menu → Control → Start Simulation을 선택한다. Simulation Statistics창에서 상태를 확인하고 OK를 누른다.



<그림 2.3(1)-38 시뮬레이션 결과 창>

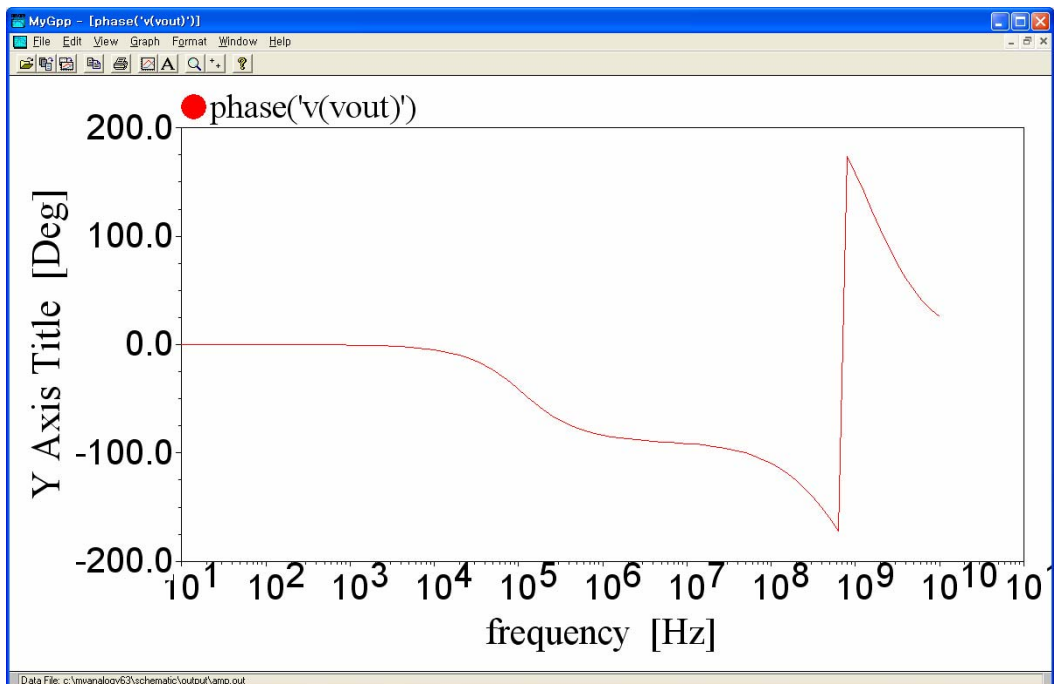
viii. 결과 확인 (Both Cc & Rz → Stable)

a. Magnitude [dB]



<그림 2.3(1)-39 출력파형>

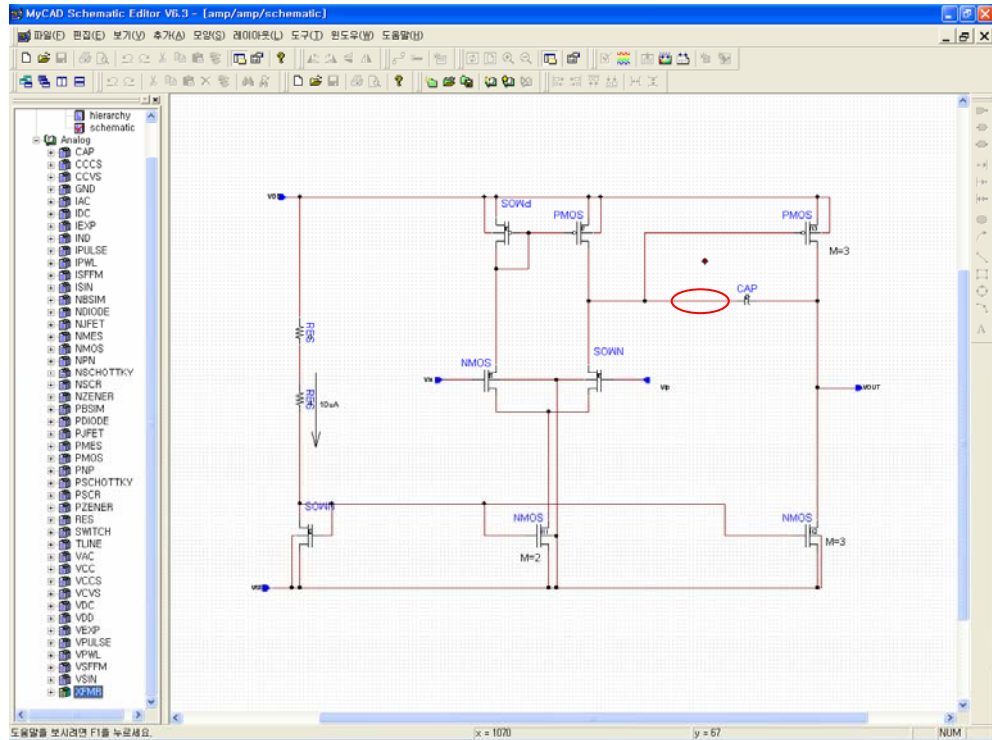
b. Phase [deg]



<그림 2.3(1)-40 출력파형>

ix. 결과확인 (only Cc → unstable)

a. Schematic



<그림 2.3(1)-41 Rz가 제거된 회로 >

b. Netlist

붉은색 부분을 입력해준다.

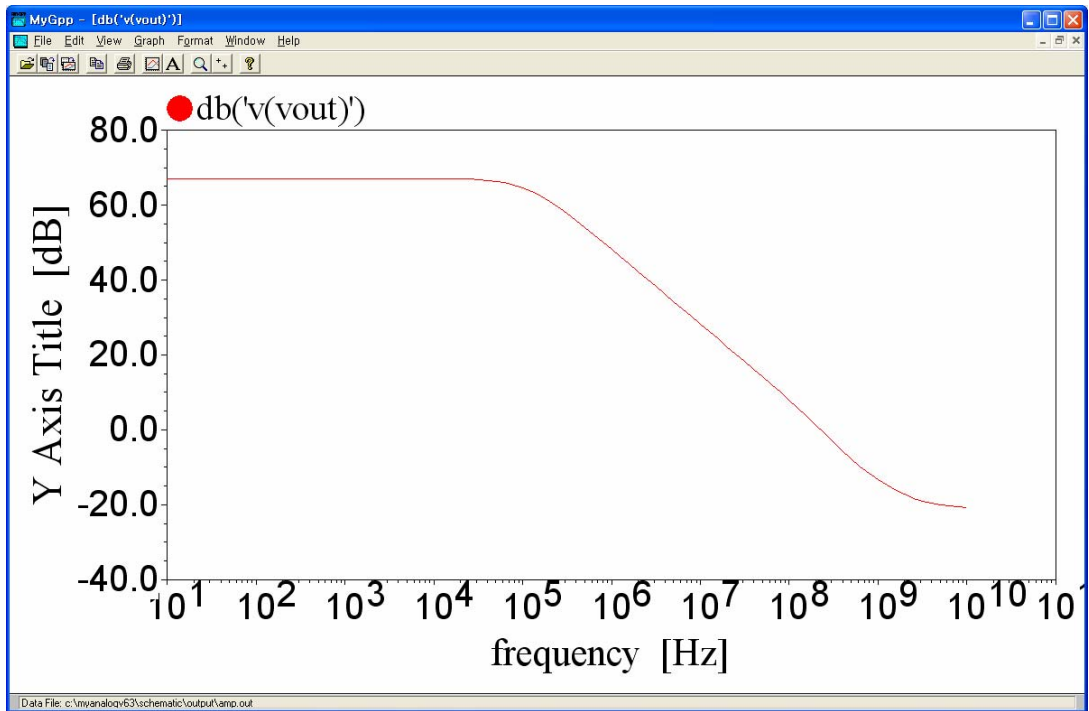
```

C:\WMyAnalogV63W\schematic\Woutput\Wamp_Cc.cir
*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: amp
* Flatten Extraction for Berkely SPICE 3
* Generated Date :: 2006/2/11 15:16.26
*****
.GLOBAL VDD VSS Vin Vip VOUT
*****
RT_L1 VDD I4_N1 125K
MT_L2 I4_N2 I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_L5 I8_PNS Vin I6_NNS VSS NMOS L=0.7U W=10U
MT_L6 OUT Vip I6_NNS VSS NMOS L=0.7U W=10U
MT_L7 VDD I8_PNS OUT VDD PMOS L=0.7U W=10U
MT_L8 VDD I8_PNS I8_PNS VDD PMOS L=0.7U W=10U
MT_L11 I6_NNS I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_L12 VOUT I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_L13 VDD OUT VOUT VDD PMOS L=0.7U W=10U
CT_L3 OUT VOUT 0.1P
RT_L4 I4_N1 I4_N2 125K
*****
VDD VDD 0 DC 3.3V
VSS VSS 0 DC 0V
Vin Vin 0 DC 1.65 AC 0
Vip Vip 0 DC 1.65 AC 1
.AC DEC 10 10 10000MEG
*****
* TSMC 0352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM = 27          LEVEL = 49
+XJ = 1E-7             NCH = 2.3579E17    TOX = 7.6E-9
+K1 = 0.5359893       K2 = 0.0258172    VTHD = 0.5027514
                      K3 = 24.6606744

```

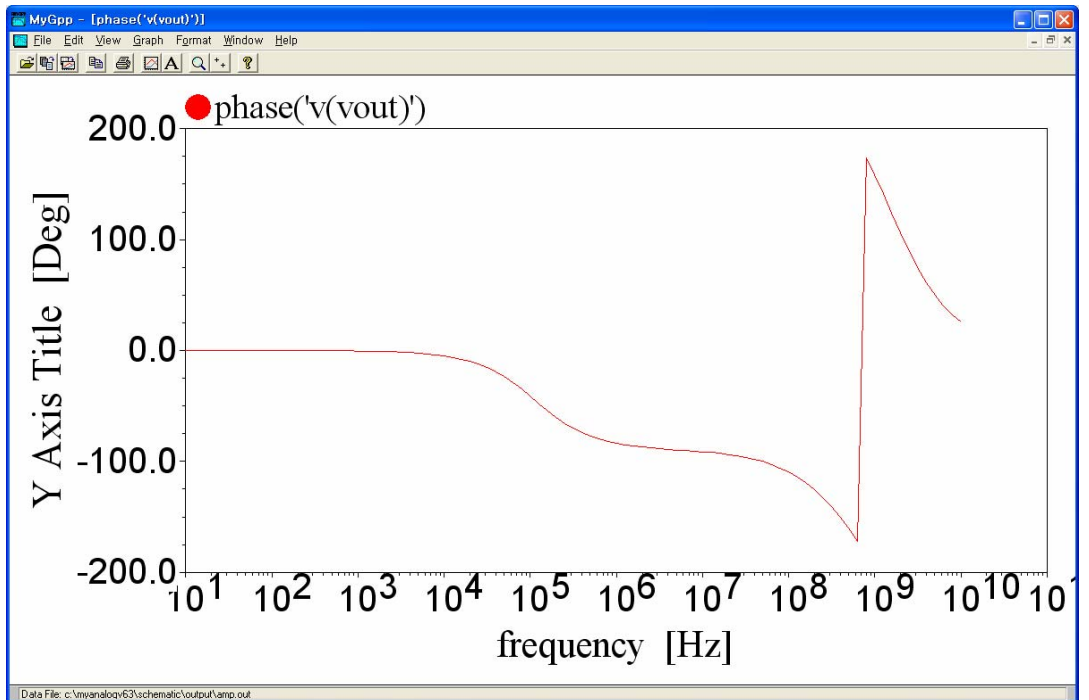
<그림 2.3(1)-42 추출된 Netlist>

c. Magnitude [dB]



<그림 2.3(1)-43 출력파형>

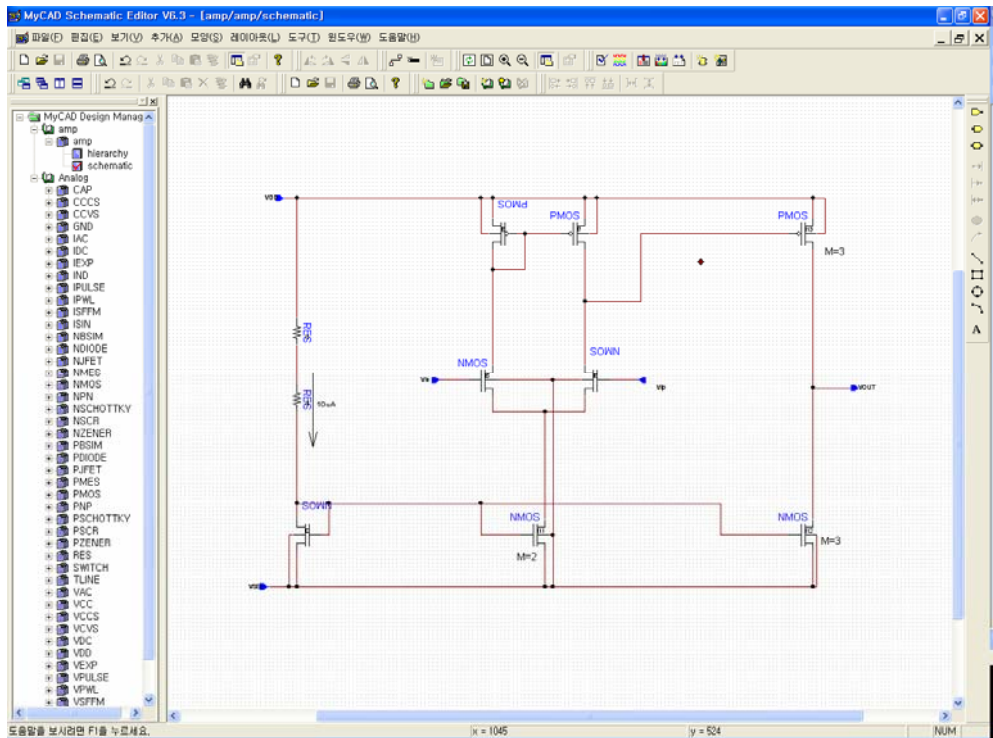
d. Phase [deg]



<그림 2.3(1)-44 출력파형>

x. 결과확인 without Cc & Rz

a. Schematic



<그림 2.3(1)-45 Cc, Rz가 제거된 회로>

b. Netlist

붉은색 부분을 직접 입력한다.

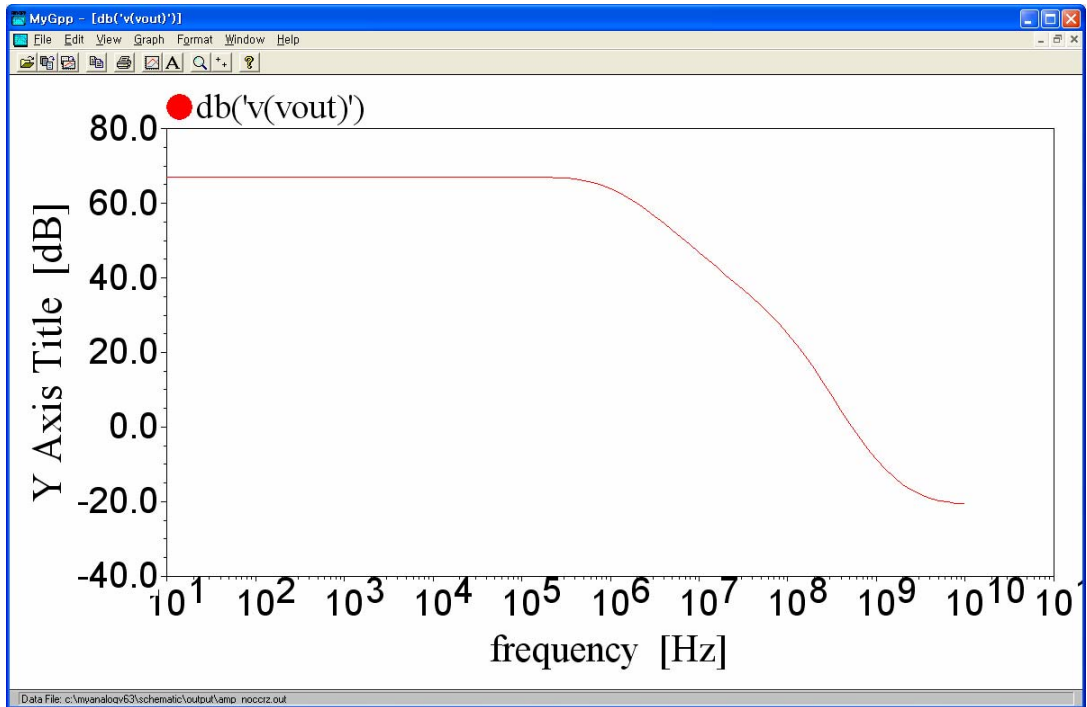
```

C:\WMyAnalogV63W\schematic\Woutput\Wamp_noCcRz.cir
*****
* MyAnalog V7.1 SPICE netlist generator
* Cell Name :: amp
* Flatten Extraction for Berkely SPICE 3
* Generated Date :: 2006/2/11 15:24.48
*****
.GLOBAL VDD VSS Vin Vip VOUT
|
*****
RT_11 VDD 14_N1 125K
MT_12 I4_N2 I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_15 I8_PNS Vin I6_NNS VSS NMOS L=0.7U W=10U
MT_16 OUT Vip I6_NNS VSS NMOS L=0.7U W=10U
MT_17 VDD I8_PNS OUT VDD PMOS L=0.7U W=10U
MT_18 VDD I8_PNS I8_PNS VDD PMOS L=0.7U W=10U
MT_111 I6_NNS I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_112 VOUT I4_N2 VSS VSS NMOS L=0.7U W=10U
MT_113 VDD OUT VOUT VDD PMOS L=0.7U W=10U
RT_14 I4_N1 I4_N2 125K
*****
VDD VDD 0 DC 3.3V
VSS VSS 0 DC 0V
Vin Vin 0 DC 1.65 AC 0
Vip Vip 0 DC 1.65 AC 1
.AC DEC 10 10 10000MEG
*****
* TSMC 0352P4M
* SPICE BSIM3 VERSION 3.1 PARAMETERS
* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM = 27          TOX = 7.6E-9
+XJ = 1E-7             NCH = 2.3579E17    VTH0 = 0.5027514
+K1 = 0.5369893       K2 = 0.0258172     K3 = 24.6606744
)

```

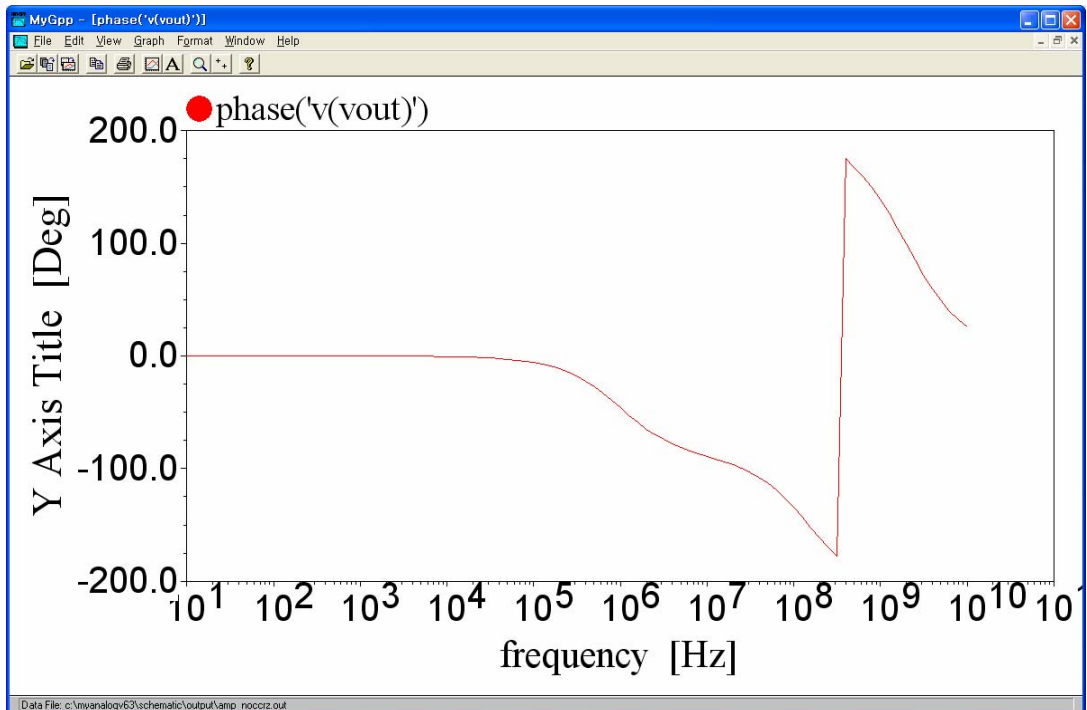
<그림 2.3(1)-46 추출된 Netlist>

c. Magnitude [dB]



<그림 2.3(1)-47 출력파형>

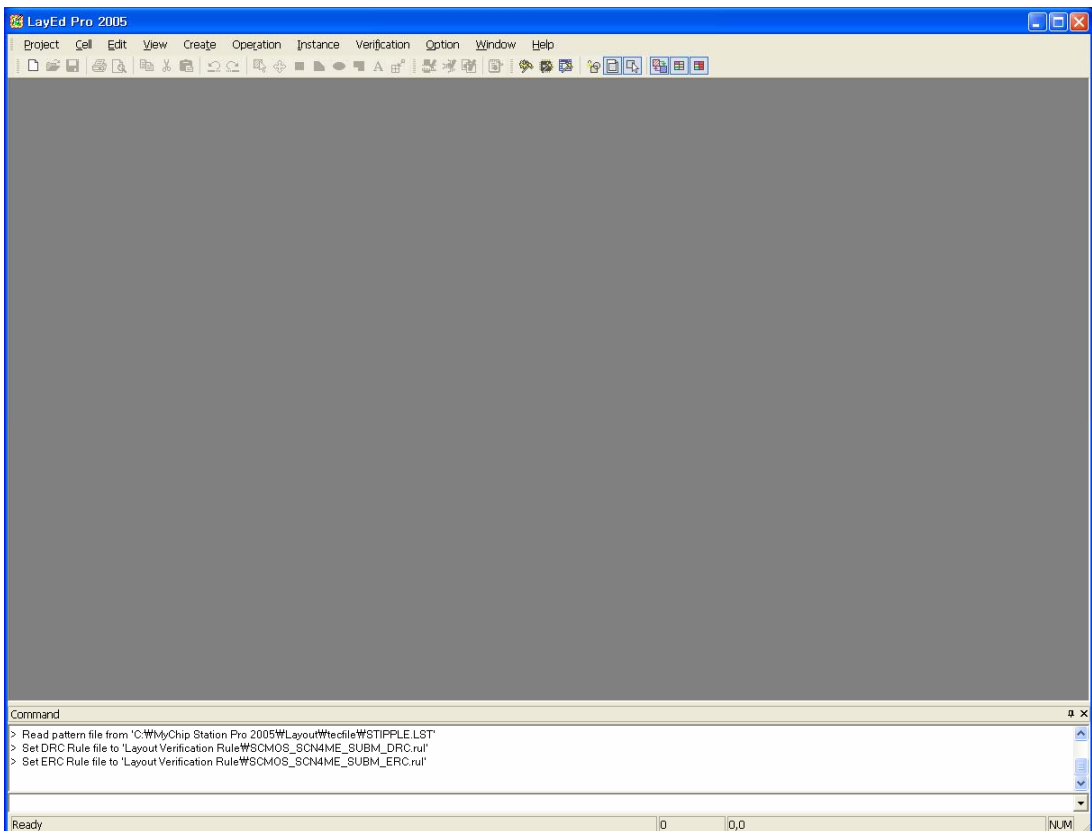
d. Phase [deg]



<그림 2.3(1)-48 출력파형>

(2) Amp Layout 설계

MyChip Station Pro의 LayEd Pro (Layout Editor)를 실행 시킨다.

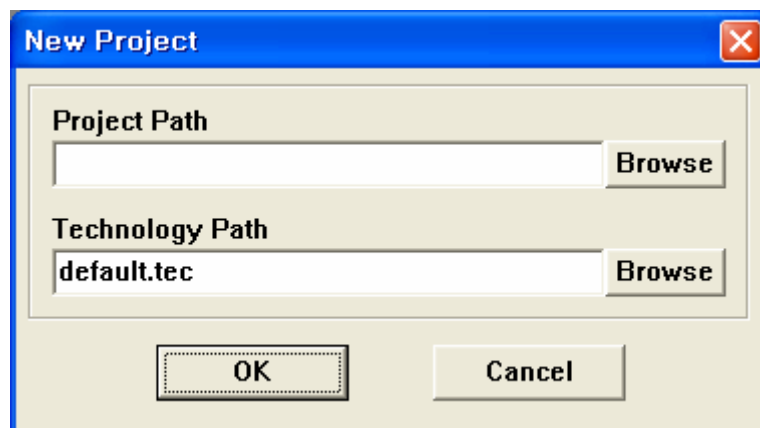


<그림 2.3(2)-1 LayEd Pro 실행>

① Project 생성

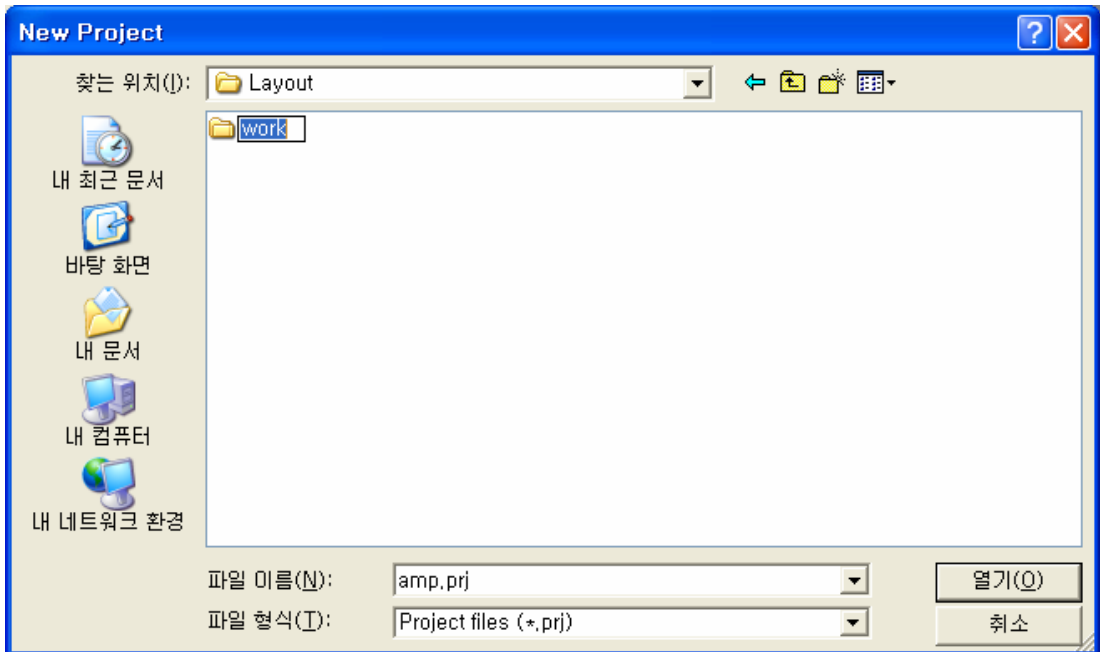
i. New Folder

Menu → Project → New Project를 선택한다.



<그림 2.3(2)-2 Project 생성>

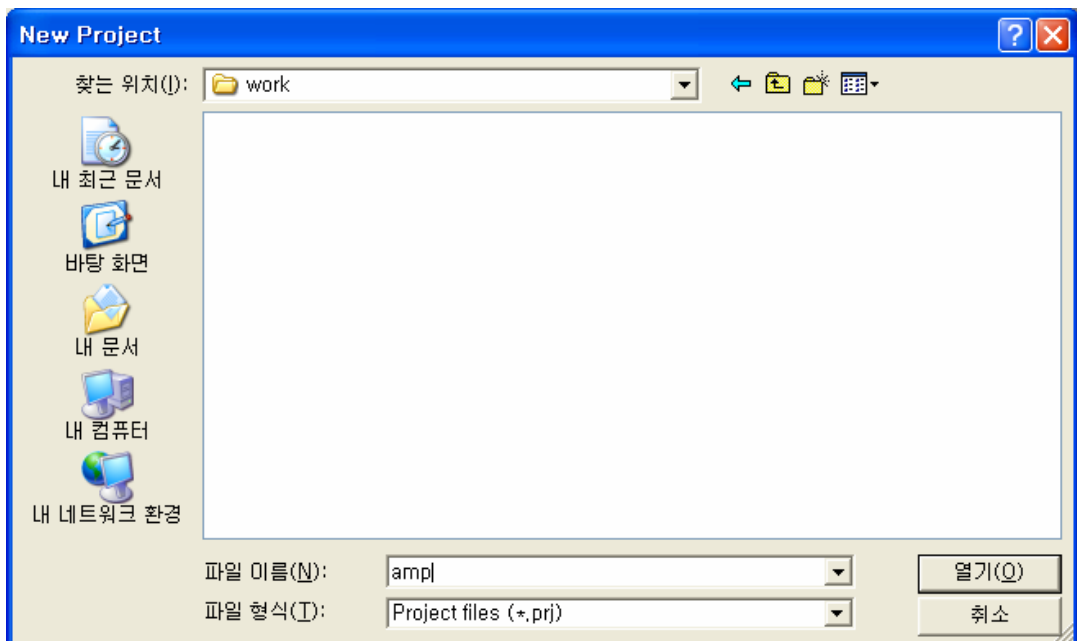
New Project창에서 Project Path의 Browse를 선택하고 C:\MyChip Station Pro 2005\Layout 에 work Folder를 만든다.



<그림 2.3(2)-3 work directory 생성>

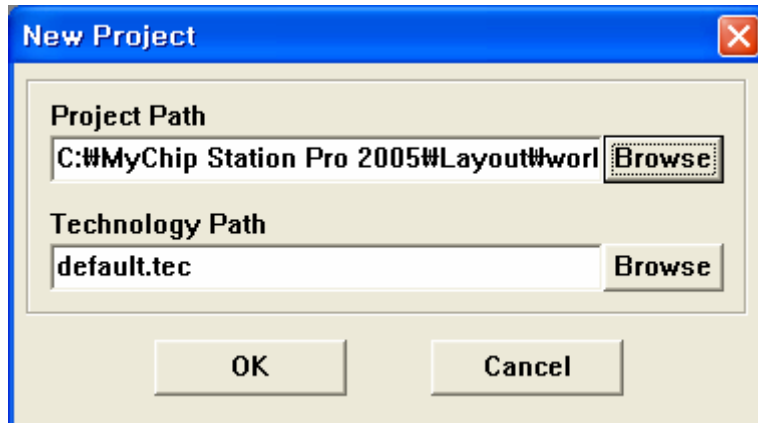
ii. New Project & Technology File 변경

Work Folder에 파일이름에 amp를 쓰고 열기를 누른다. 확장자명 (*.prj)는 자동으로 생성된다.



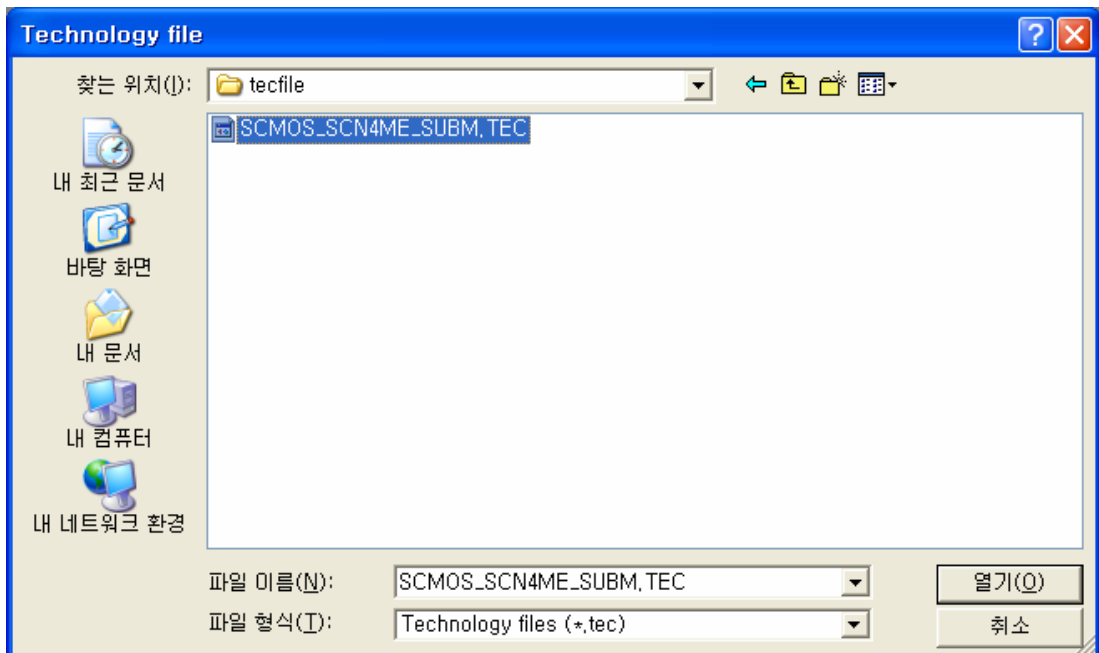
<그림 2.3(2)-4 프로젝트 생성>

다시 New Project 창의 Technology Path의 Browse를 선택한다.



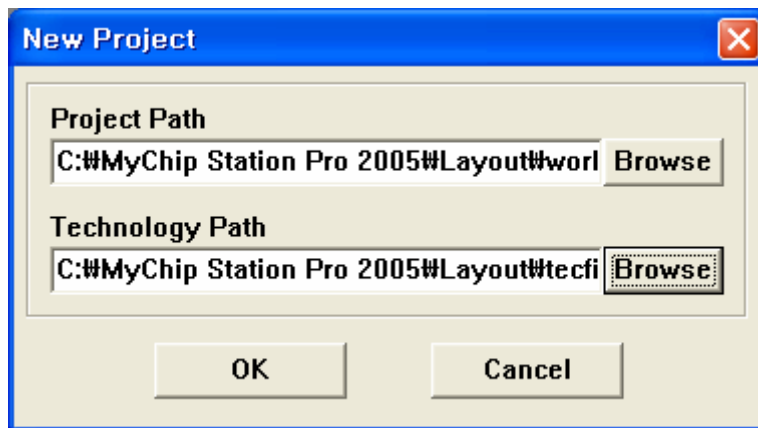
<그림 2.3(2)-5 새로운 프로젝트 생성>

C:\MyChip Station Pro2005\Layout\tecfile\SCMOS_SCN4ME_SUBM.TEC를 선택하고 열기를 누른다. Default.tec파일에서 사용자가 편집해서 사용해도 된다.



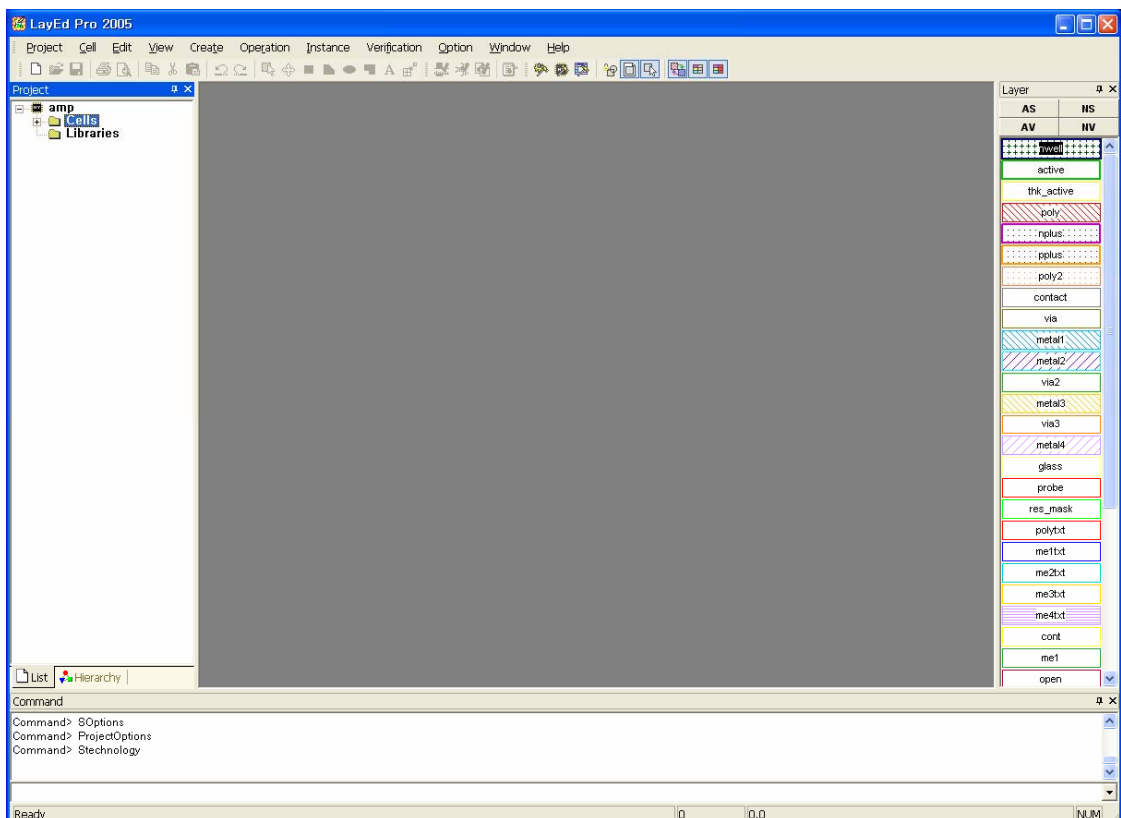
<그림 2.3(2)-6 TEC 파일 불러오기>

New Project창에 아래 그림과 같이 입력이 완료되면 OK를 누른다.



<그림 2.3(2)-7 TEC 파일 불러오기>

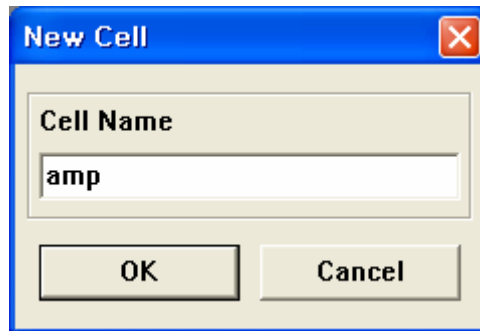
LayEd Pro창의 Project창에 amp Project가 생기고, Layer창에 Layer가 생긴 것을 볼 수 있다.



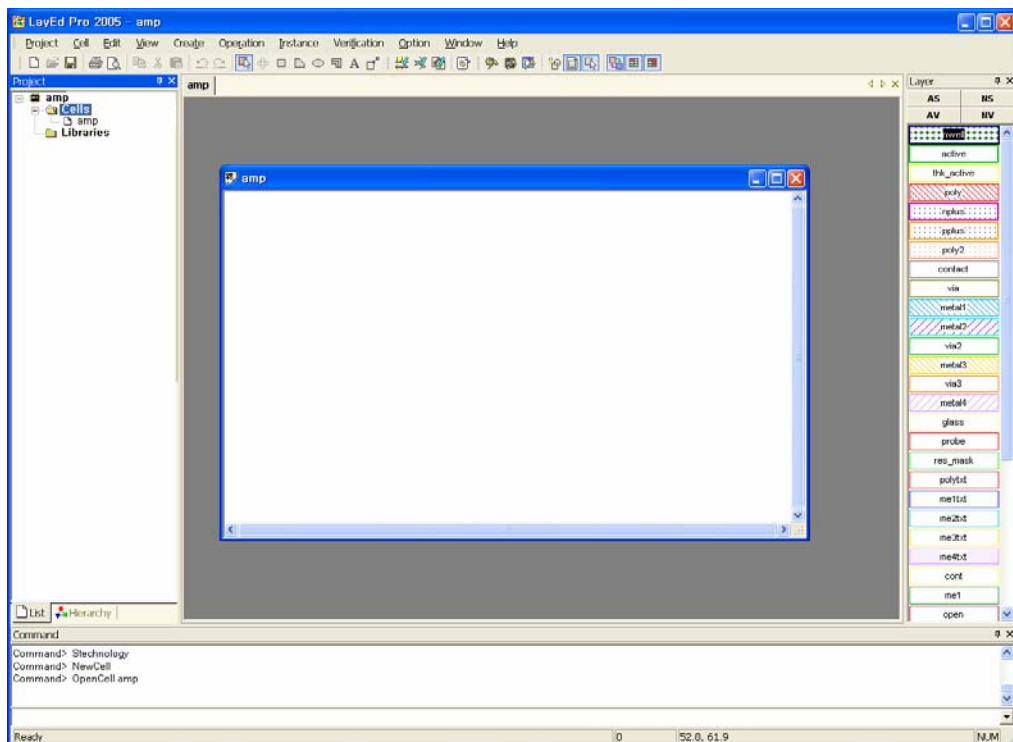
<그림 2.3(2)-8 생성된 프로젝트와 Layer>

iii. New Cell

Menu → Cell → New Cell 선택한 후 New Cell 창에서 Cell Name에 Inv 쓰고 OK를 누른다.



<그림 2.3.(2)-9 Cell 추가>



<그림 2.3.(2)-10 추가된 Cell>

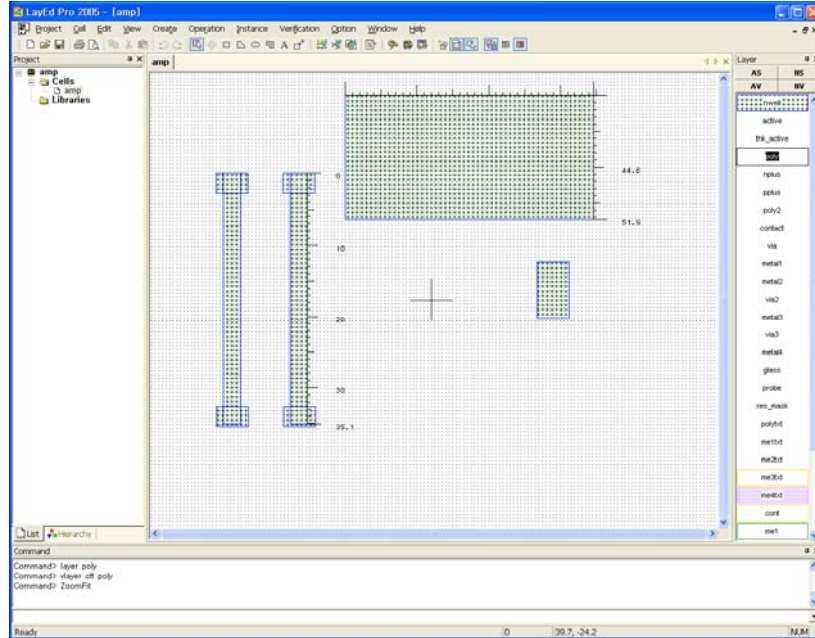
그림 2.3.(2)-10 화면까지 완성됐으면 Layout 설계준비가 끝났다. 설계를 시작하기 전에 menu → option → Project option에서 Grid (Layout 창의 격자 사이의 간격) 설정이 얼마로 되어 있는지 확인한다.

② Layout 설계

Schematic 회로를 보고 amp Layout을 설계한다. 모든 그림은 설계 규칙에 맞게 그려야 한다. 주어진 그림의 크기와 간격을 참고 한다. 직접 그려서 설계하는 방법 말고 Command 창에 명령어를 사용해서 설계하는 방법도 있다. (명령어를 사용하면 Macro나 VBS를 불러와서 설계할 수도 있다.) Menu → View → Ruler → Draw Ruler를 선택하여 길이를 잰다.

i. Nwell 그리기

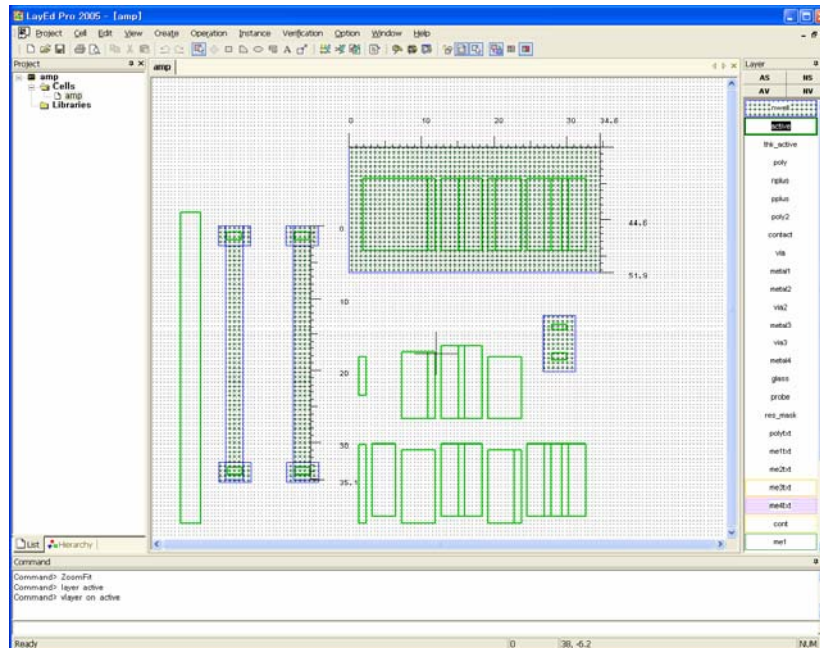
Layer Panel의 nwell을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-11과 같이 그린다.



<그림 2.3.(2)-11 N-well 그리기>

ii. Active 그리기

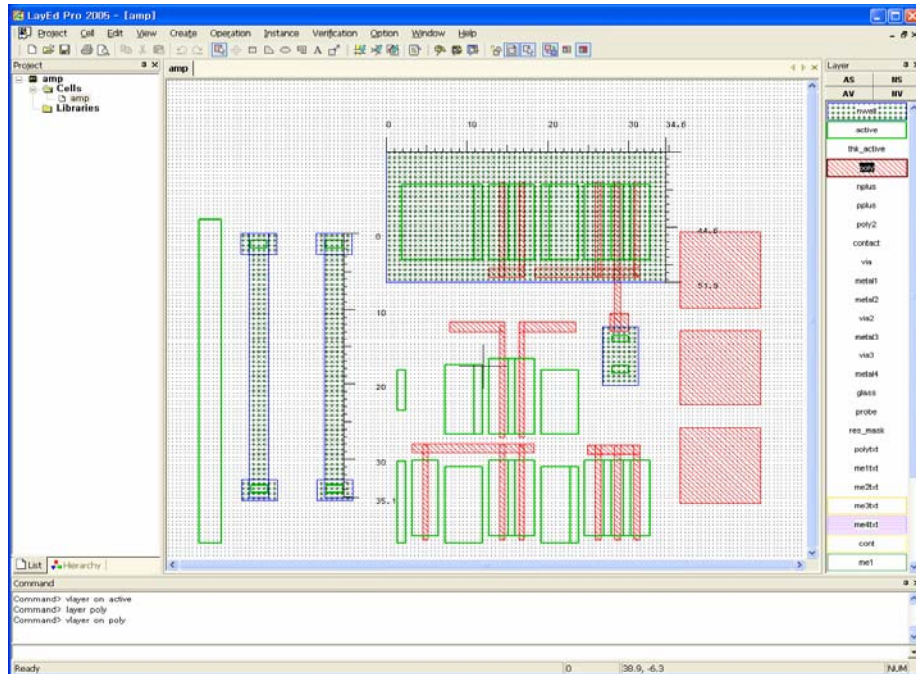
Layer Panel의 active를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-12 과 같이 그린다.



<그림 2.3.(2)-12 Active 그리기>

iii. Poly 그리기

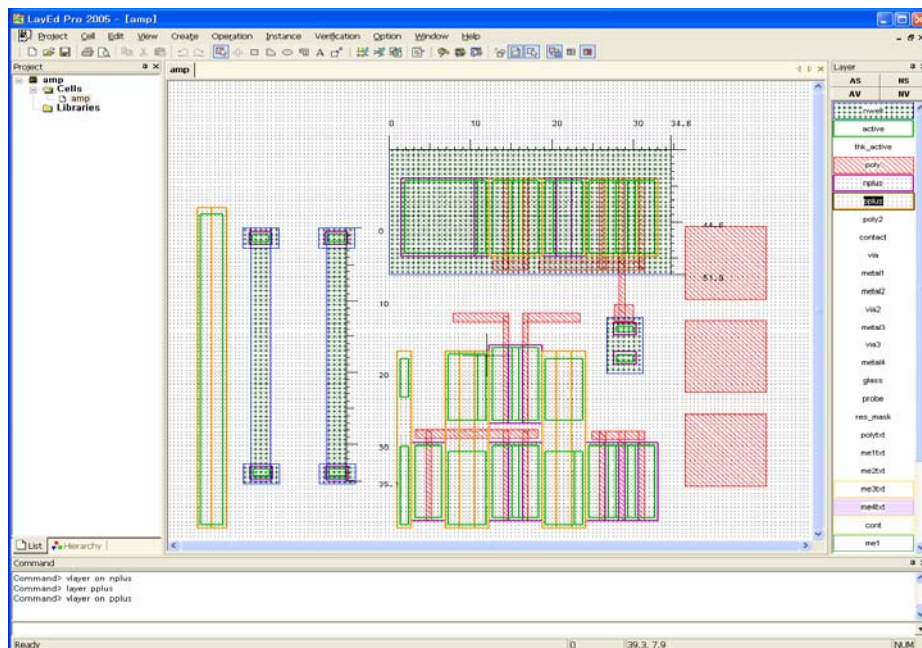
Layer Panel의 poly를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-13과 같이 그린다.



<그림 2.3.(2)-13 Poly 그리기>

iv. Npuls, Ppuls 그리기

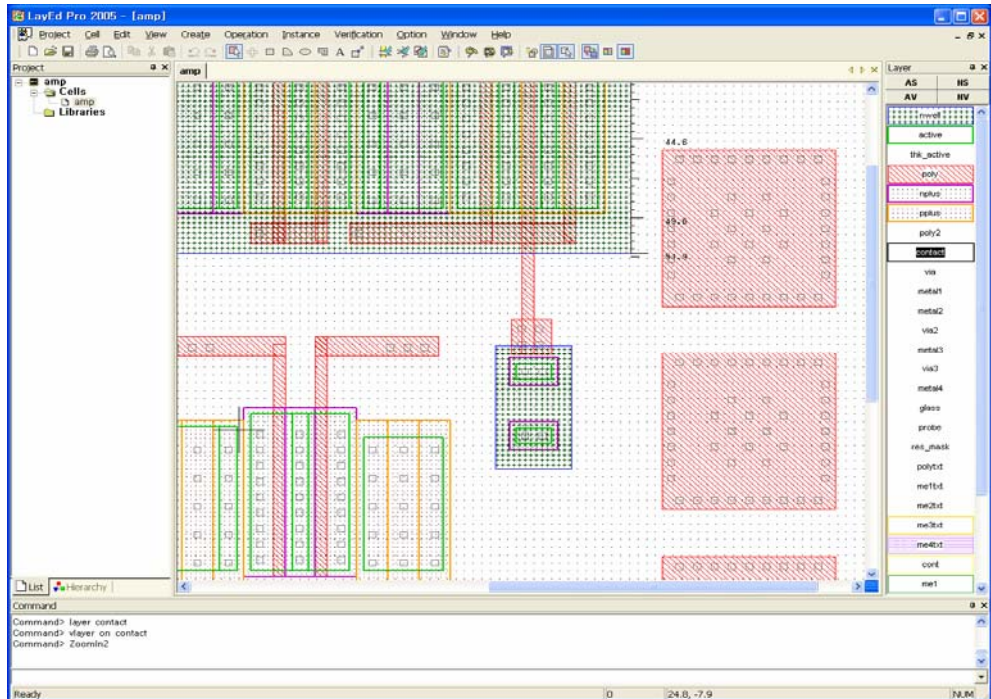
Layer Panel의 Npuls, Ppuls를 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-14과 같이 그린다.



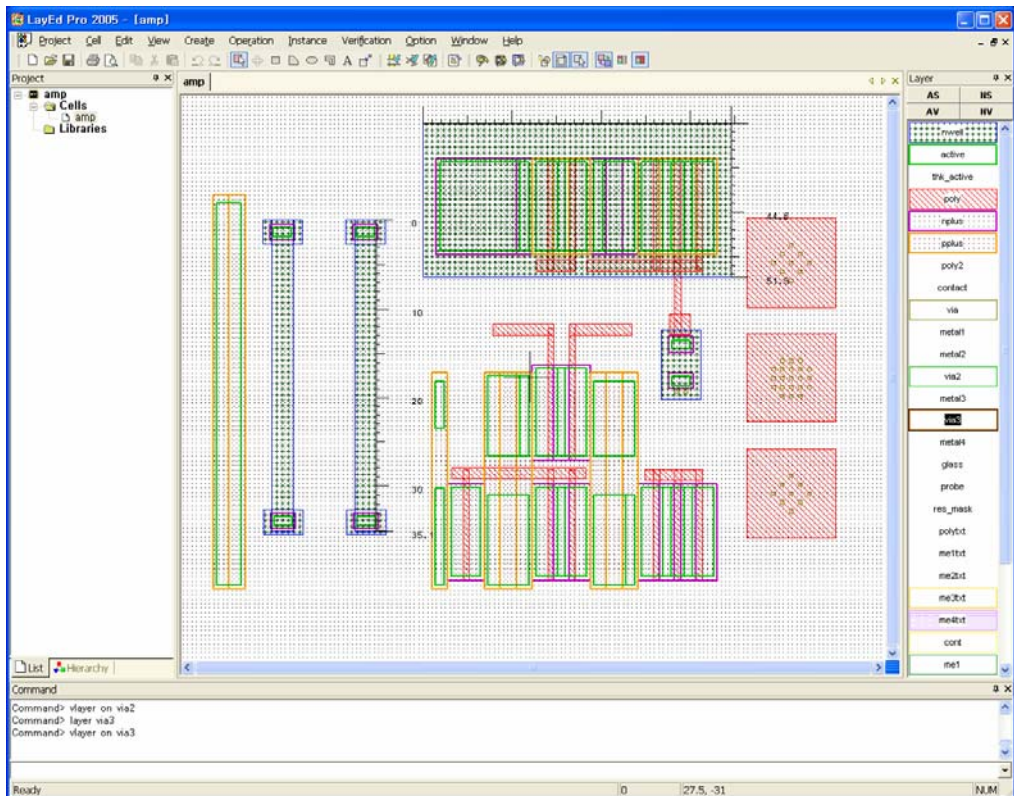
<그림 2.3.(2)-14 Nplus, Pplus 그리기>

v. Contact 그리기

Layer Panel의 Contact을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-15, 그림 2.3.(2)-16과 같이 그린다.



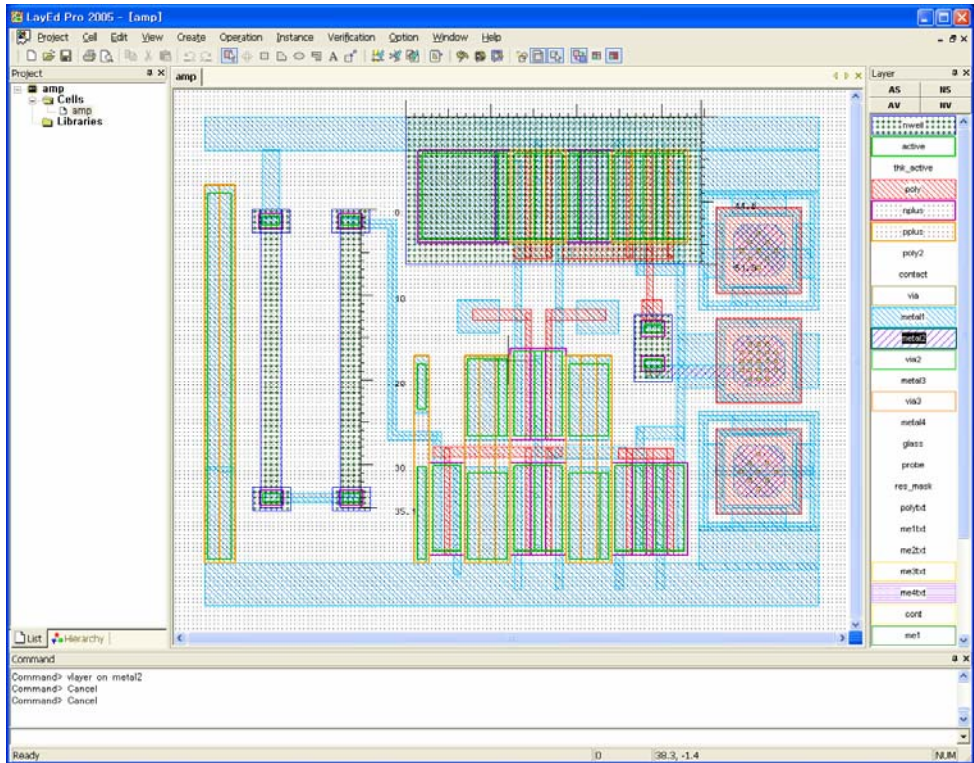
<그림 2.3.(2)-15 Contact 그리기>



<그림 2.3.(2)-16 Via 그리기>

vi. Metal 그리기

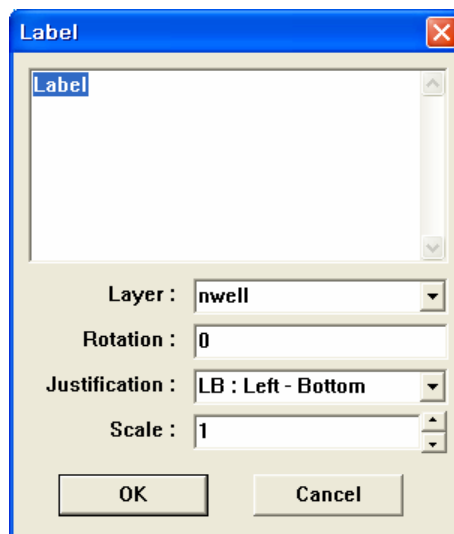
Layer Panel의 Metal1을 선택한 후 Toolbar의 Rectangle을 선택하여 그림 2.3.(2)-17과 같이 그린다. Metal2 역시 같은 방법으로 그린다.



<그림 2.3.(2)-17 Metal 그리기>

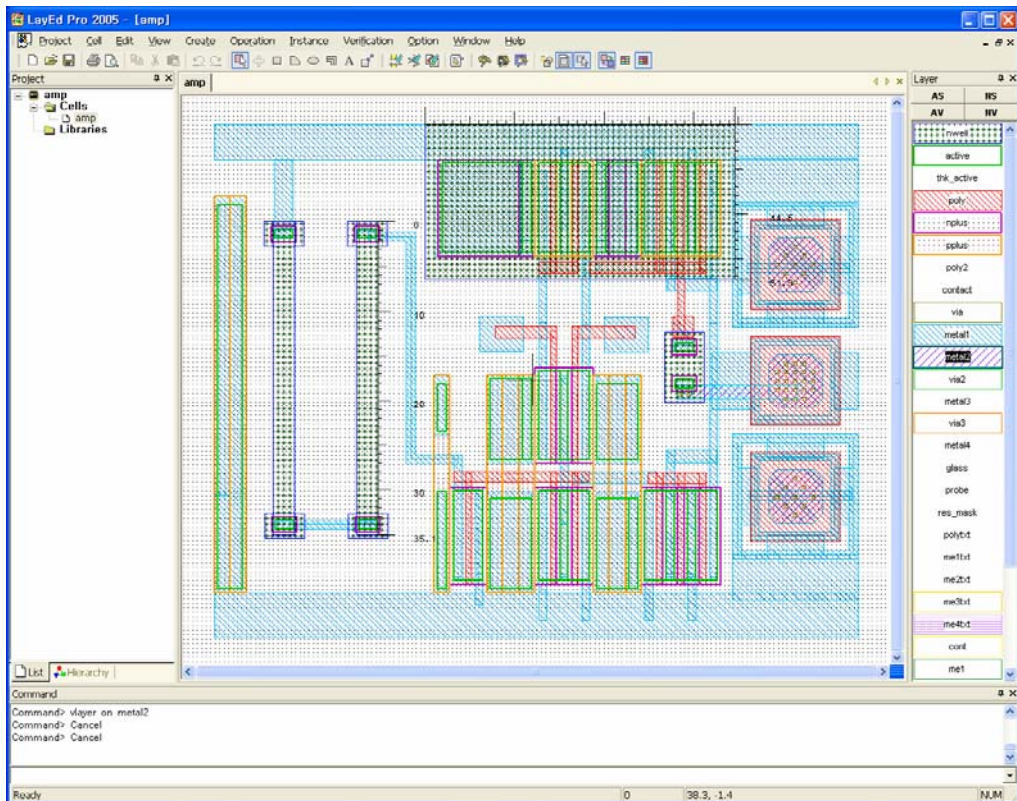
vii. Metal text 그리기

Layer Panel의 Me1txt을 선택한 후 Toolbar의 A로 표시된 Label을 선택한 후 Label창에 IN을 쓰고 Justification의 스크롤화살표를 눌러 text의 위치를 정한다.



<그림 2.3.(2)-18 Metal Label 추가>

VIN, VIP, Vbias, vou, out, Vis, Vout, VDD, VSS를 그림 2.3.(2)-19과 같이 만든다.



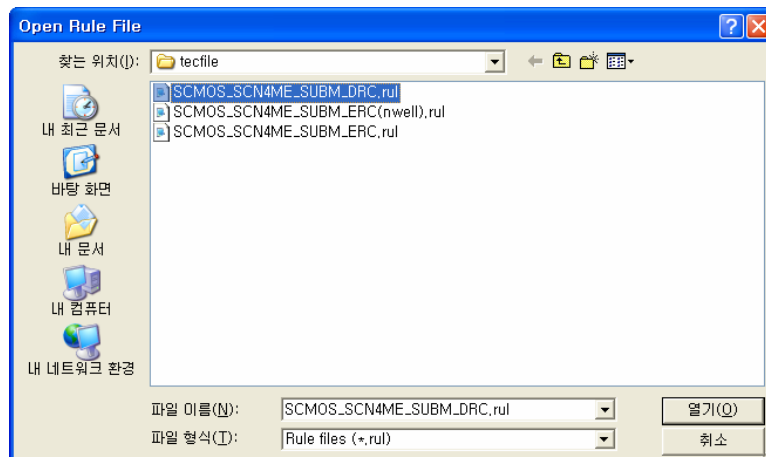
<그림 2.3.(2)-19 완성된 Layout>

완료 후 저장하면 Layout 설계가 완성된다.

③ Layout 검증

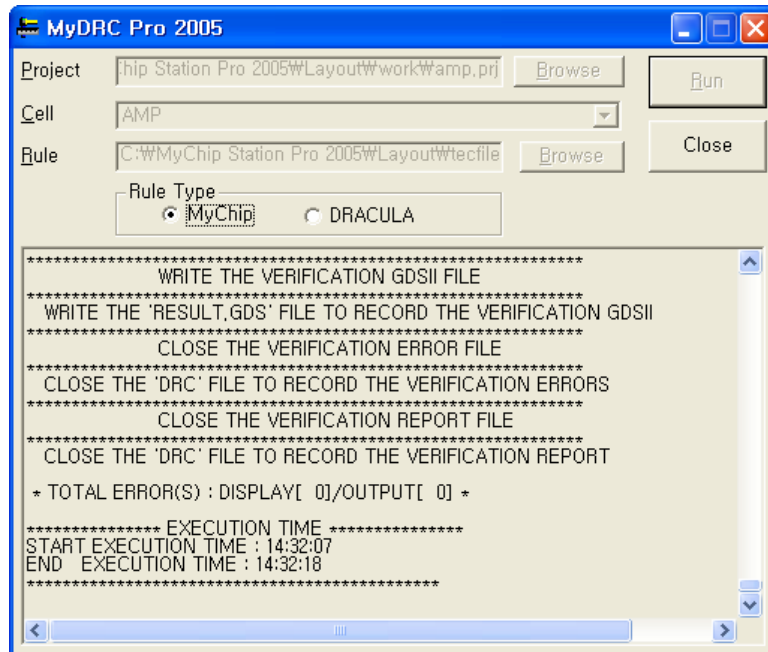
i. DRC (Design Rule Check) - MyDRC Pro

Menu → Verification → DRC를 선택한다. MyDRC Pro창의 Rule 오른쪽의 Browse를 열어 C:\MyChip Station Pro 2005\Layout\tecfile의 SCMOS_SCN4ME_SUBM_DRC.rul을 선택한다.



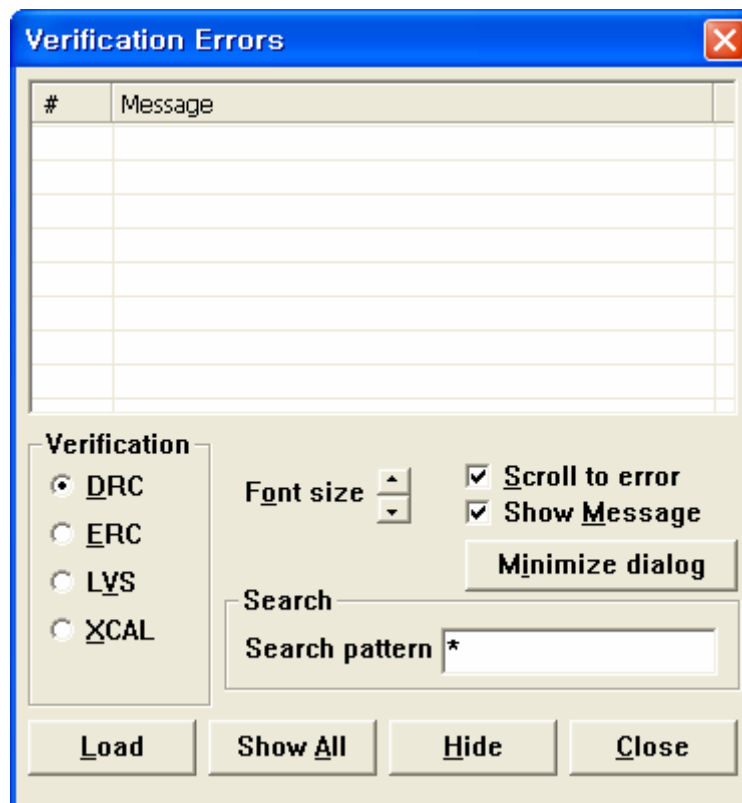
<그림 2.3.(2)-20 DRC check>

MyDRC Pro창의 Rule에 그림 2.3.(2)-21과 같이 DRC.rul파일이 추가 되면 Run을 누른다.



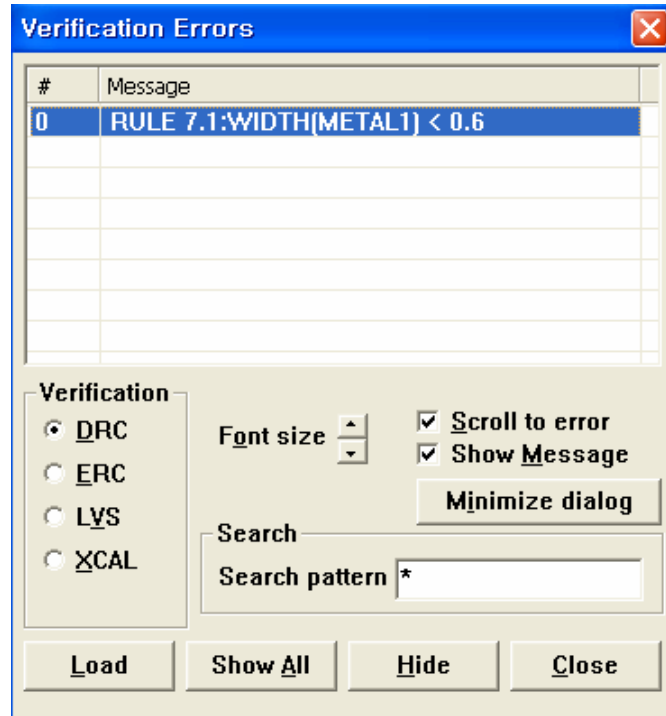
<그림 2.3.(2)-21 DRC check>

그림 2.3.(2)-21 화면이 나오면 Close를 누른다. 그러면 Verification Errors창이 뜬다.

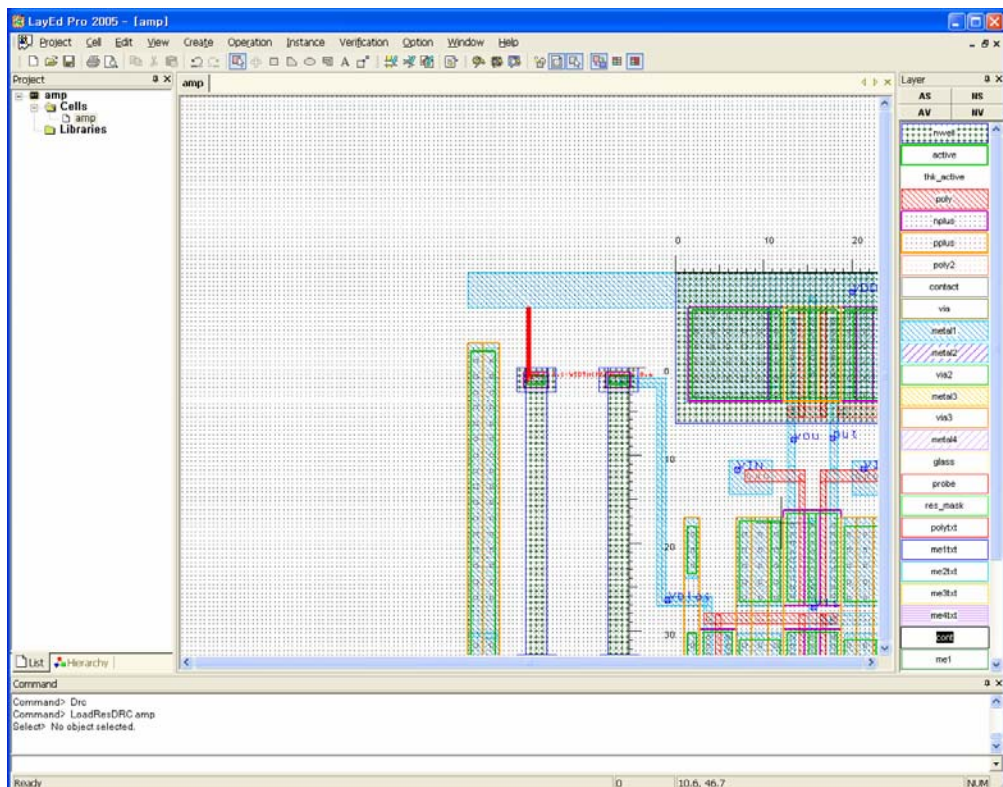


<그림 2.3.(2)-22 Verification>

Error가 나오면 Error를 더블 클릭하여 Layout상의 Error발생 지점으로 화면이 이동하면 설계 규칙에 맞게 수정한다.



<그림 2.3.(2)-23 Verification>



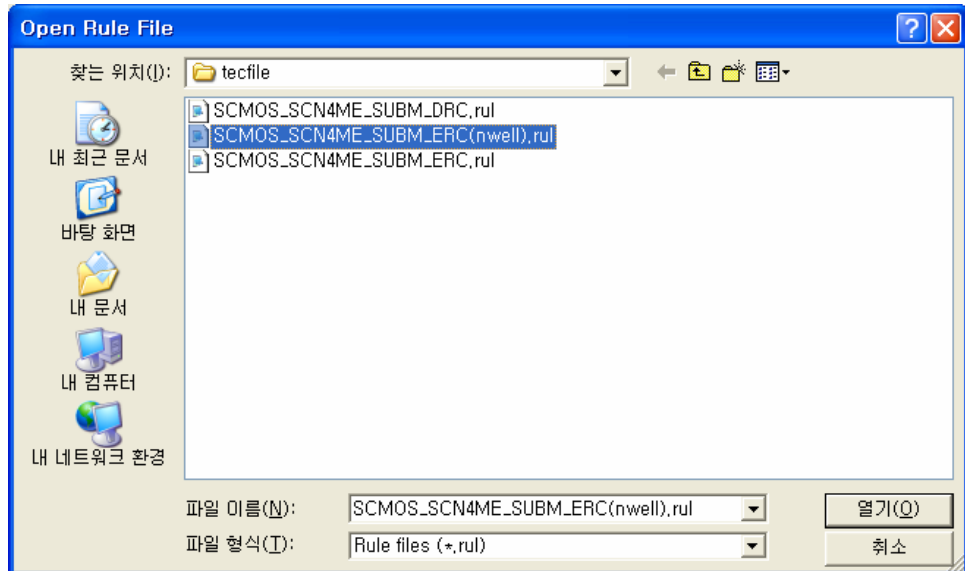
<그림 2.3.(2)-24 Verification>

ii. Extract & ERC (Spice Netlist Extract & Electric Rule Check) - LayNet Pro

Menu → Verification → Extract & ERC를 선택한다.

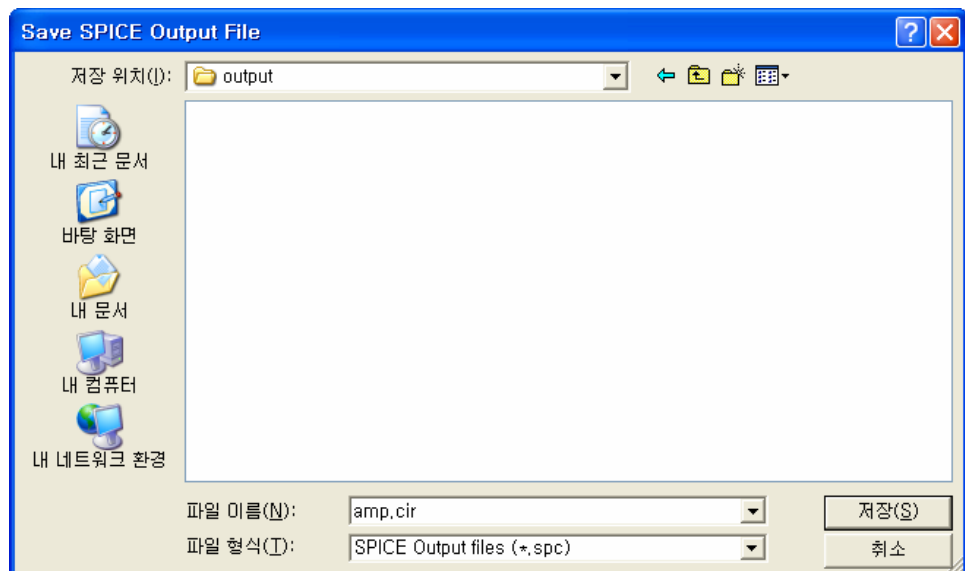
LayNet Pro창의 Rule 오른쪽의 Browse를 누른 후에

C:\MyChip Station Pro 2005\Layout\tecfile\SCMOS_SCN4ME_SUBM_ERC(nwell).rul을 넣는다.



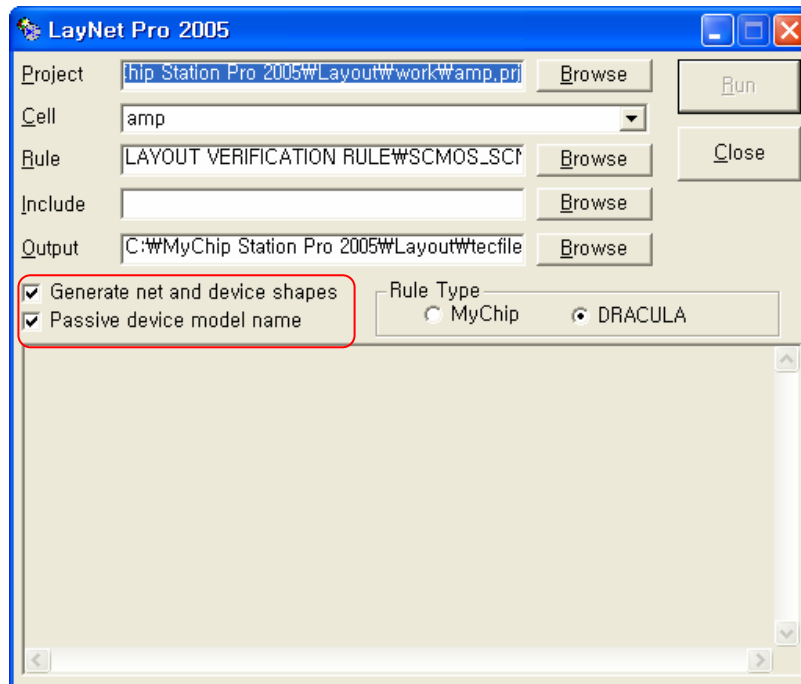
<그림 2.3.(2)-25 ERC check>

LayNet Pro창의 Output 오른쪽의 Browse를 눌러 C:\MyChip Station Pro 2005\Layout\에 output folder를 만들고 output folder에 파일이름 amp.cir를 쓰고 저장을 누른다.

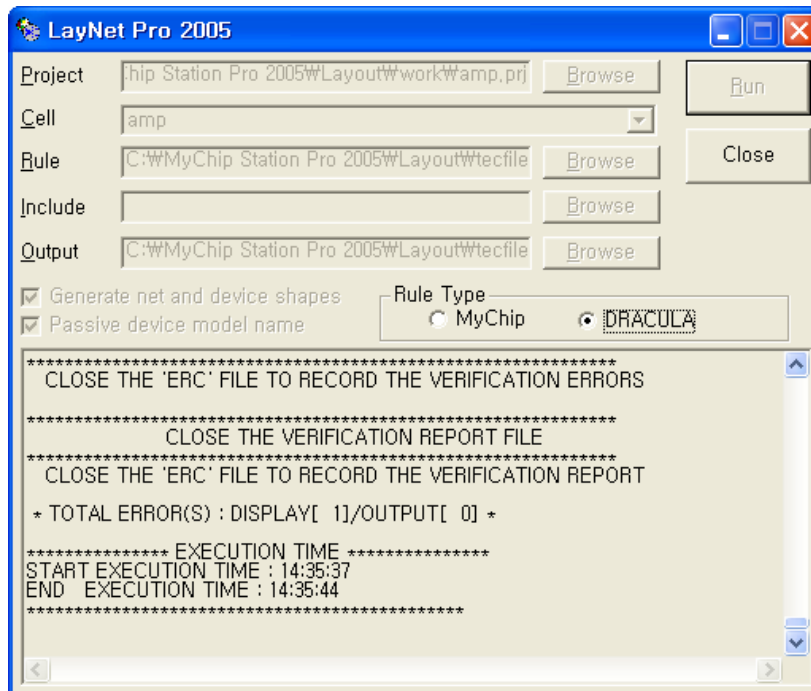


<그림 2.3.(2)-26 Output 파일 저장>

output path의 확장자를 amp.cir로 바꾸고, Generate net and device shapes, Passive device model name을 선택한 후에 Run을 누른다.

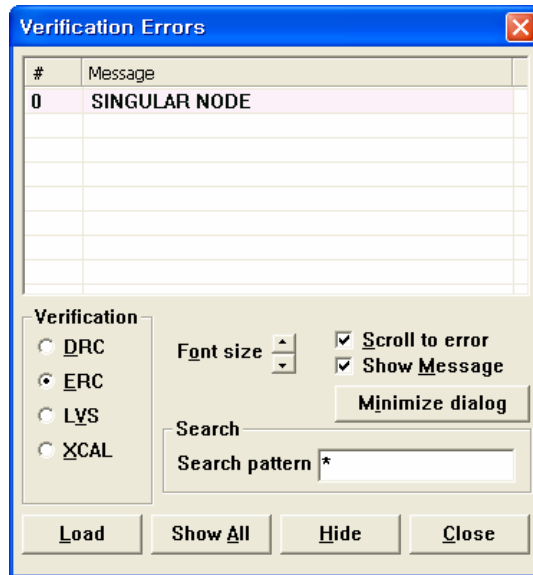


<그림 2.3(2)-27 Option 설정>



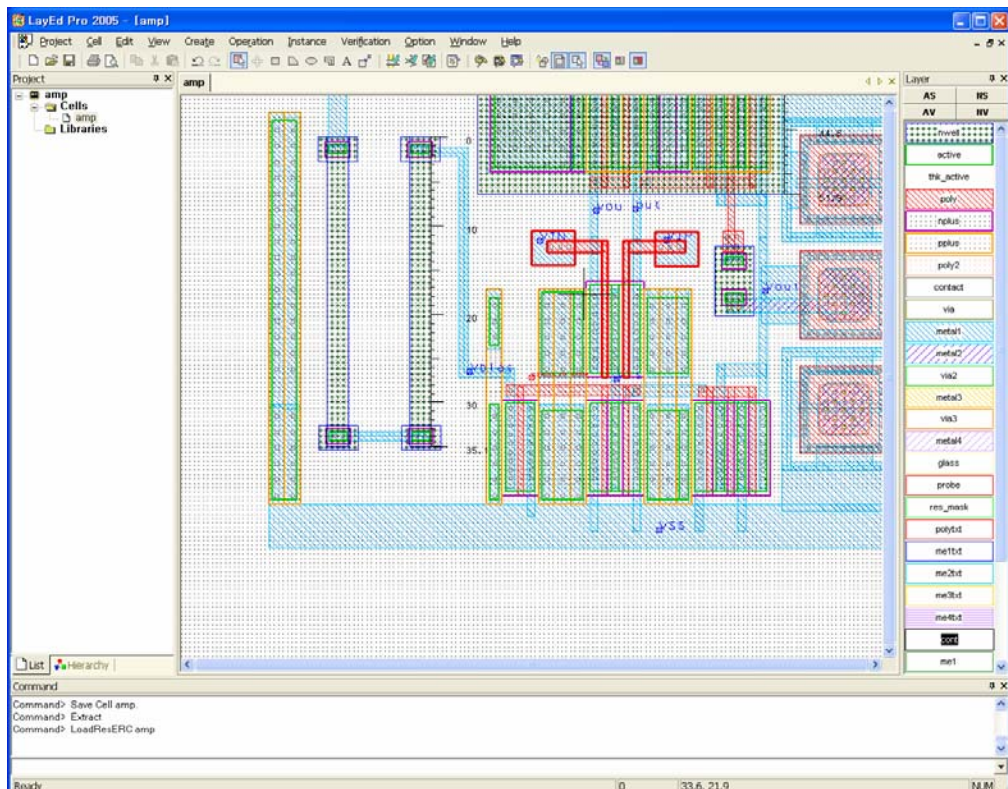
<그림 2.3(2)-28 실행>

Close를 누르면 Verification Errors창이 뜬다.



<그림 2.3.(2)-29 Verification>

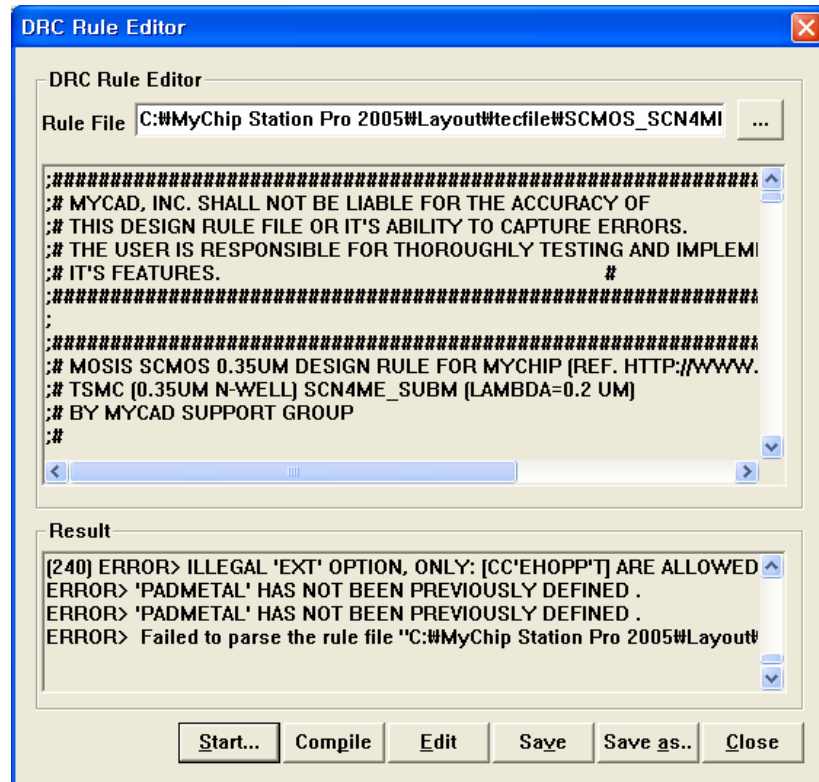
Error가 나오면 Error를 더블 클릭하여 Layout상의 Error발생 지점으로 화면이 이동하면 설계 규칙에 맞게 수정한다.



<그림 2.3.(2)-30 Verification>

iii. Real Time DRC

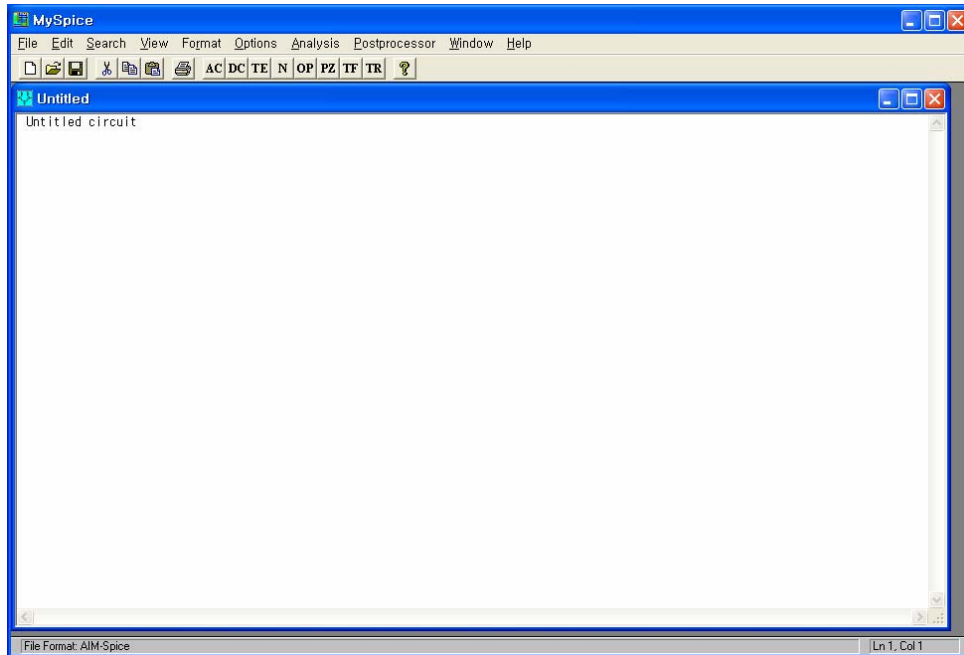
Menu → Verification → Real Time DRC → Rule File Load를 선택하여 실행한다. Verification File은 Real Time DRC.rul파일을 사용하던지 SCMOS_SCN4ME_SUBM_DRC.rul을 사용한 다. Real Time DRC는 순차적으로 발생하는 Layout의 Error를 바로 수정하면서 DRC를 하는 것을 말한다.



<그림 2.3.(2)-31 Real time DRC>

④ SPICE 시뮬레이션 [MySPICE (Analog Circuit Simulation)]

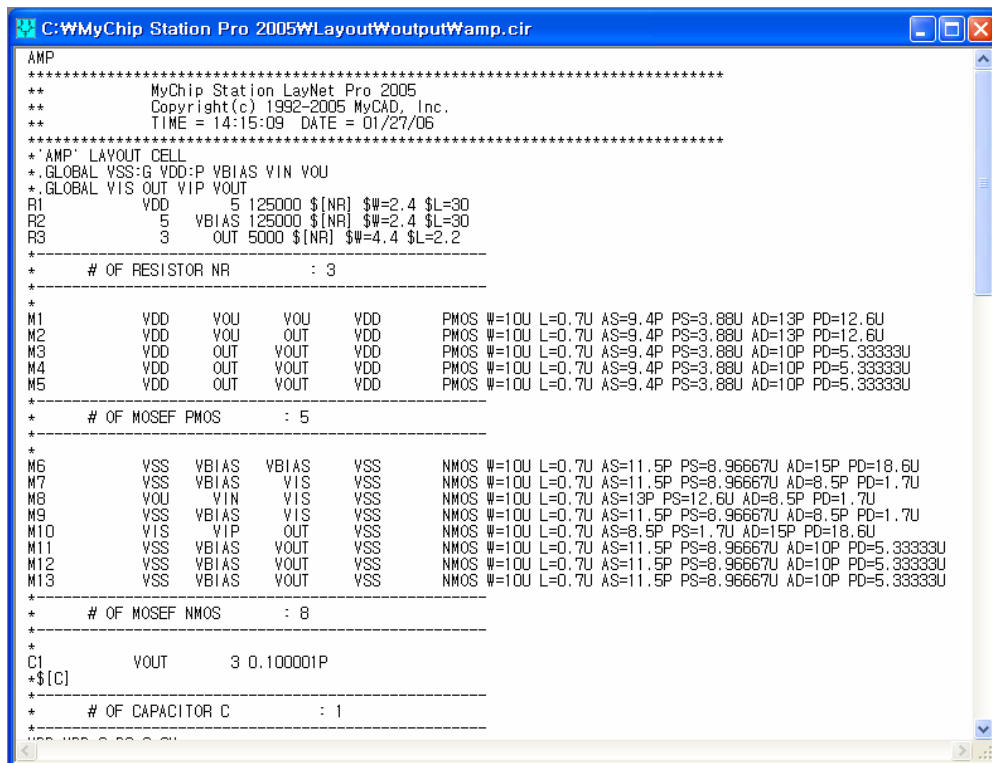
시작 → 프로그램 → MyAnalogV63 → MySPICE 선택하여 실행시킨다.



<그림 2.3(2)-32 MySpice 실행>

i. Open File

Menu → File → Open을 선택한 후 열기 창에서 C:\MyChip Station Pro 2005\Layout\output의 amp.cir을 선택한 후 열기를 누른다.



<그림 2.3.(2)-33 Layout에서 추출된 Netlist>

ii. SCN4M_SUMB SPICE BSIM3.txt 포함

amp.cir파일에 C:\MyChip Station Pro 2005\Layout\spice file의 SCN4M_SUMB SPICE BSIM3.txt 파일을 붙여 넣고, 시뮬레이션을 하기 위한 signal 및 bias 전압 등을 기입해준다.

또한 시뮬레이션을 하기 위해서 필요 없는 부분들을 아래 그림의 붉은색 사각형 부분과 같이 주석으로 처리를 하고, 입력 변수들을 입력해준다.

```

MySpice - [C:\MyChip Station Pro 2005\Layout\Woutput\Wamp.cir]
File Edit Search View Format Options Analysis Postprocessor Window Help
AMP
*****
**      MyChip Station LayNet Pro 2005
**      Copyright(c) 1992-2005 MyCAD, Inc.
**      TIME = 14:15:09 DATE = 01/27/06
*****
+*AMP' LAYOUT CELL
+*GLOBAL VSS:G VDD:P VBIAS VIN VOU
+*GLOBAL VIS OUT VIP VOUT
R1      VDD      5 125000
+*[NR] $W=2.4 $L=30
R2      5      VBIAS 125000
+*[NR] $W=2.4 $L=30
R3      3      OUT 5000
+*[NR] $W=4.4 $L=2.2
-----
+*      # OF RESISTOR NR      : 3
+*
M1      VDD      VOU      VOU      VDD      PMOS W=10U L=0.7U AS=9.4P PS=3.88U AD=13P PD=12.6U
M2      VDD      VOU      OUT      VDD      PMOS W=10U L=0.7U AS=9.4P PS=3.88U AD=13P PD=12.6U
M3      VDD      OUT      VOUT     VDD      PMOS W=10U L=0.7U AS=9.4P PS=3.88U AD=10P PD=5.33333U
M4      VDD      OUT      VOUT     VDD      PMOS W=10U L=0.7U AS=9.4P PS=3.88U AD=10P PD=5.33333U
M5      VDD      OUT      VOUT     VDD      PMOS W=10U L=0.7U AS=9.4P PS=3.88U AD=10P PD=5.33333U
-----
+*      # OF MOSEF PMOS      : 5
+*
M6      VSS      VBIAS   VBIAS   VSS      NMOS W=10U L=0.7U AS=11.5P PS=8.96667U AD=15P PD=18.6U
M7      VSS      VBIAS   VIS      VSS      NMOS W=10U L=0.7U AS=11.5P PS=8.96667U AD=8.5P PD=1.7U
M8      VOU      VIN      VIS      VSS      NMOS W=10U L=0.7U AS=13P PS=12.6U AD=8.5P PD=1.7U
M9      VSS      VBIAS   VIS      VSS      NMOS W=10U L=0.7U AS=11.5P PS=8.96667U AD=8.5P PD=1.7U
M10     VIS      VIP      OUT      VSS      NMOS W=10U L=0.7U AS=8.5P PS=1.7U AD=15P PD=18.6U
M11     VSS      VBIAS   VOUT     VSS      NMOS W=10U L=0.7U AS=11.5P PS=8.96667U AD=10P PD=5.33333U
M12     VSS      VBIAS   VOUT     VSS      NMOS W=10U L=0.7U AS=11.5P PS=8.96667U AD=10P PD=5.33333U
M13     VSS      VBIAS   VOUT     VSS      NMOS W=10U L=0.7U AS=11.5P PS=8.96667U AD=10P PD=5.33333U
-----
+*      # OF MOSEF NMOS      : 8
+*
C1      VOUT      3 0.100001P
+*[C]
-----
+*      # OF CAPACITOR C      : 1
+*
VDD VDD 0 DC 3.3V
VSS VSS 0 DC 0V
Vin VIN 0 DC 1.65 AC 0
Vip VIP 0 DC 1.65 AC 1
.AC DEC 10 10 10000MEG
-----
+* TSMC 03ECP4M
+* SPICE BSIM3 VERSION 3.1 PARAMETERS
+* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
.MODEL NMOS (
+*VFBRSTN = 3.1          TNOM = 27          LEVEL = 49
+*TOX = 7.6F-9

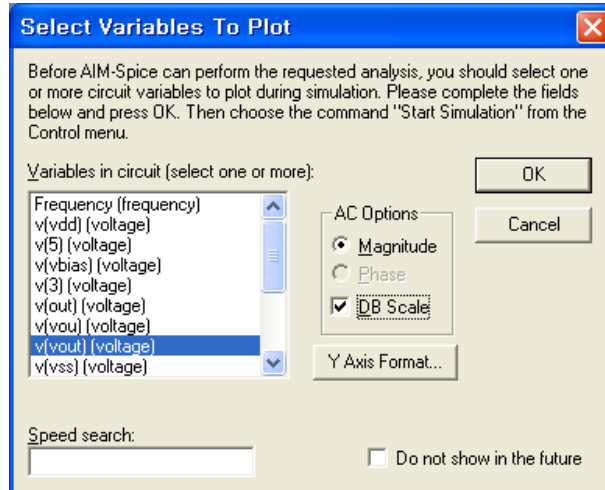
```

<그림 2.3.(2)-34 추출된 Netlist의 내용을 변경>

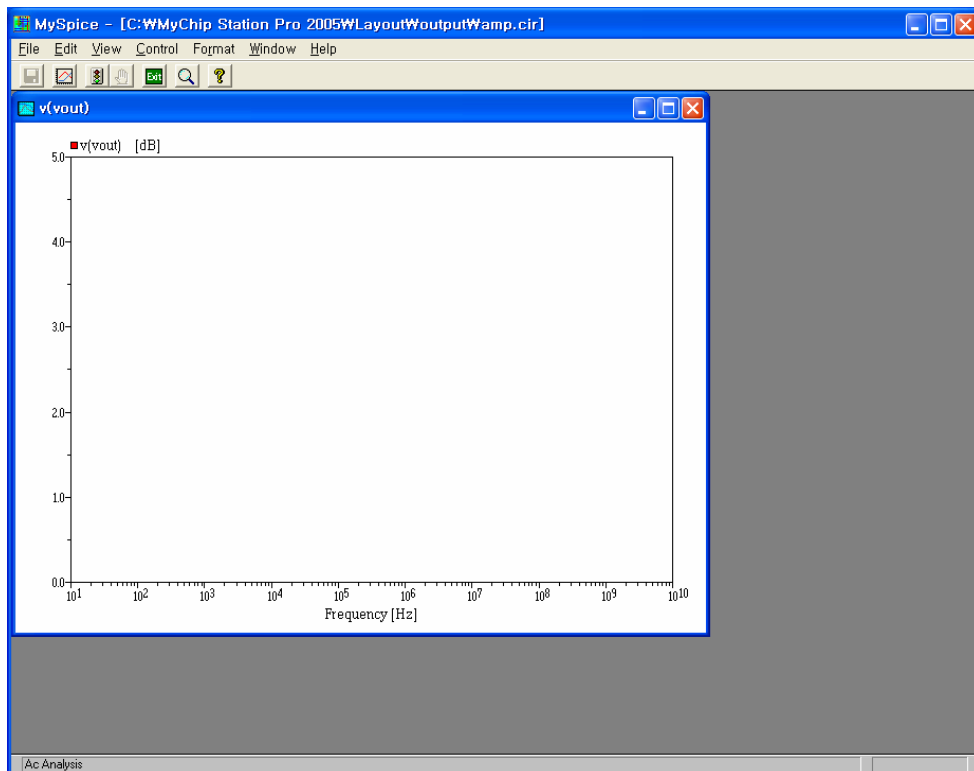
iii. RUN

Menu → Analysis → Run Standard Spice File을 선택한다.

Select Variables To Slot창에서 원하는 결과 v[vout][voltage]를 선택하고, AC Options에서 Magnitude를 선택하고, DB Scale을 체크해서 OK를 누른다.

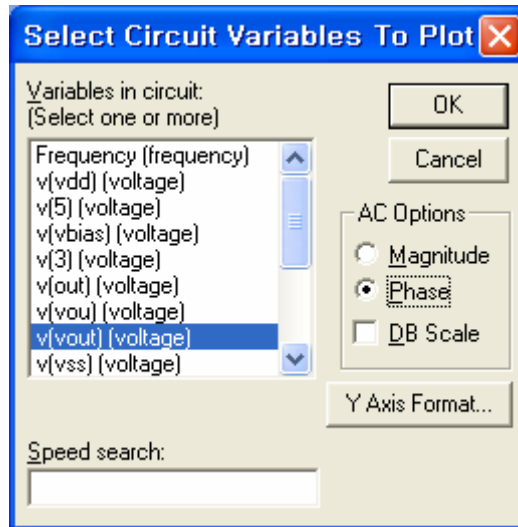


<그림 2.3.(2)-35 출력할 plot 선택>

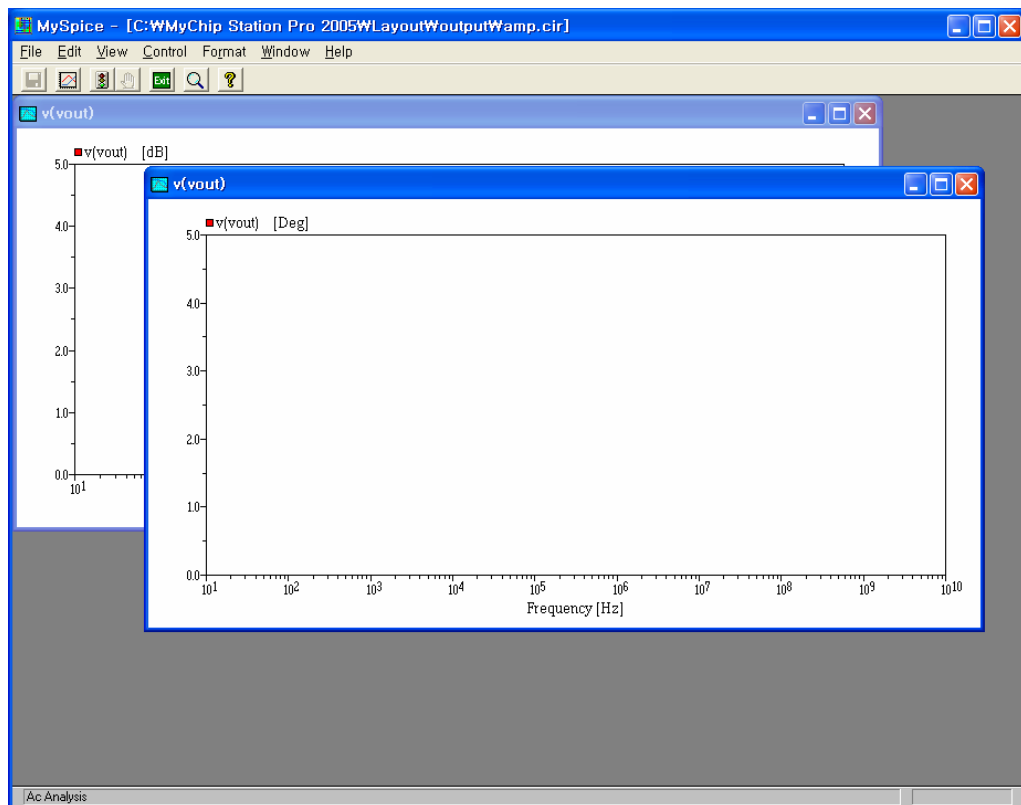


<그림 2.3.(2)-36>

이전과 같은 방법으로 Select Variables To slot 창에서 원하는 결과 v[vout]를 선택하고, AC Option에서 Phase를 선택해서 OK를 누른다.

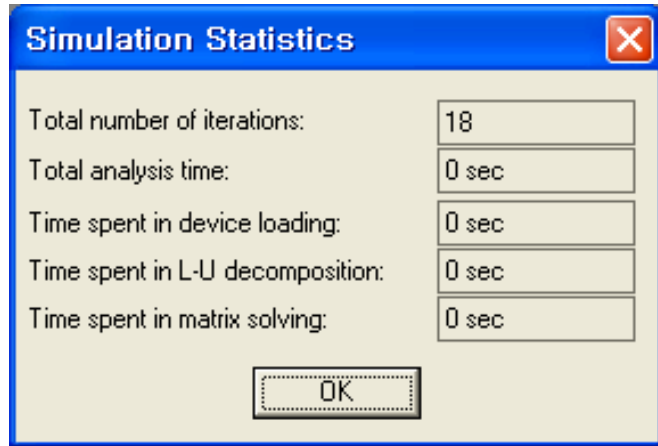


<그림 2.3.(2)-37 출력할 plot 선택>



<그림 2.3.(2)-38 >

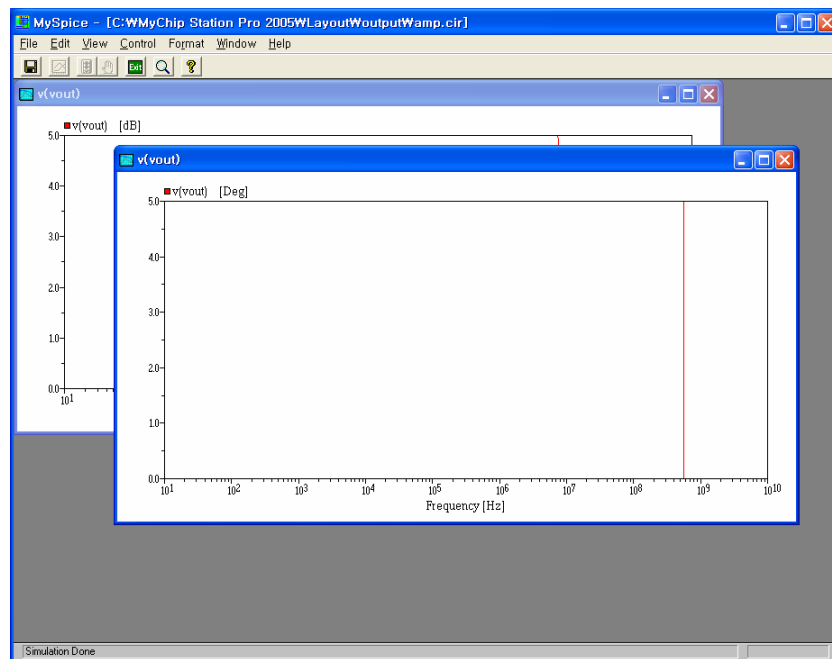
그림 2.3.(2)-38과 같이 시뮬레이션 결과를 출력하기 위한 모든 창들이 나타나면 menu → Control → Start Simulation을 선택한다.



<그림 2.3.(2)-39 실행결과>

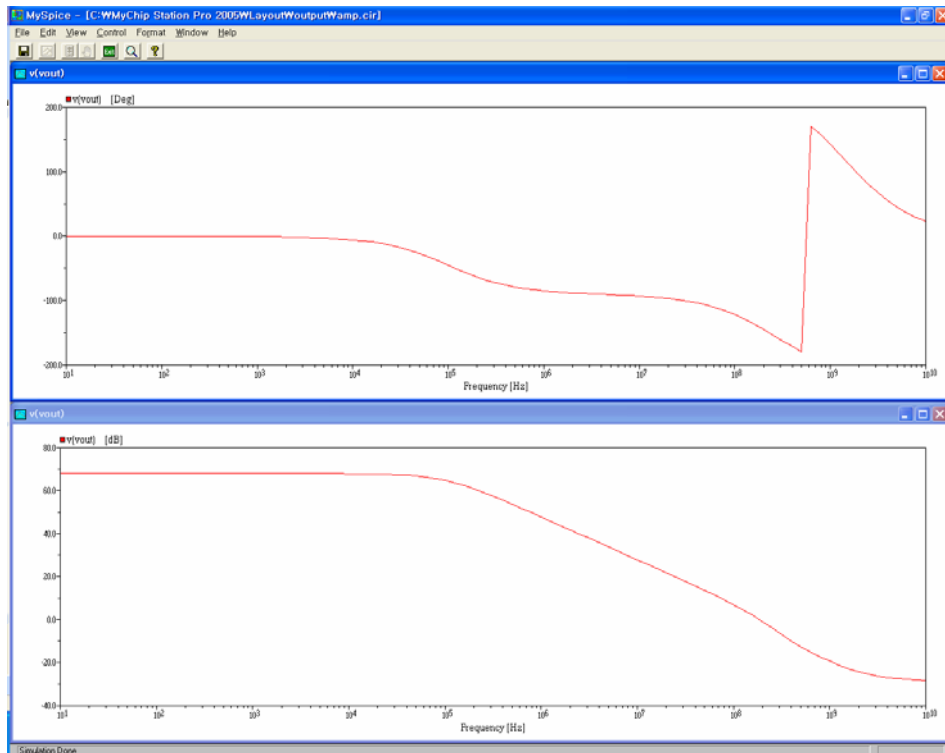
iv. 결과확인

Simulation Statistics창을 확인하고 OK를 누르면 시뮬레이션이 완료된다.



<그림 2.3.(2)-40 실행결과>

이때 화면상에 결과값이 나타나지 않을 경우에는 menu → Format → Auto Scale을 선택하면 결과값이 아래 그림과 같이 나타난다.

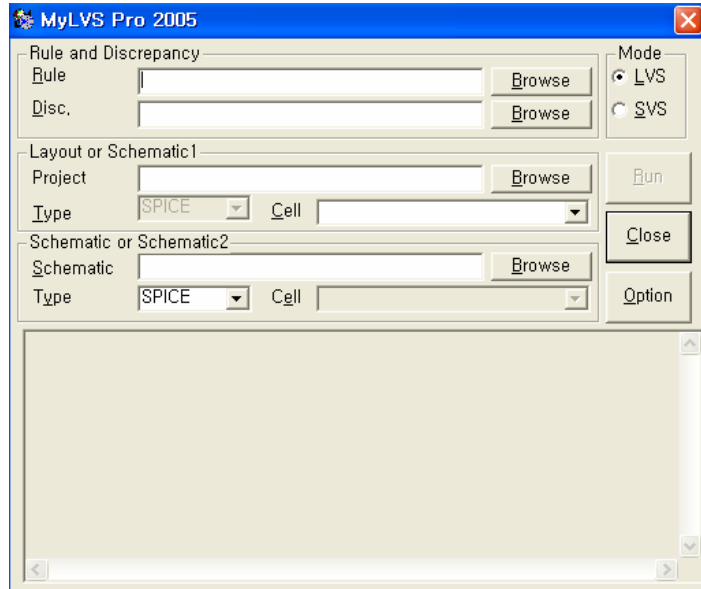


<그림 2.3.(2)-41 출력파형>

(3) Layout과 Schematic 비교분석

① Netlist 비교 [MyLVS (Hierarchical Layout Versus Schematic Netlist Comparator)]

MyLVS는 Layout과 Schematic에서 추출된 Netlist를 비교한다. LayEd Pro 2005에서 Menu → Verification → LVS를 선택 하면 MyLVS Pro창이 뜬다.

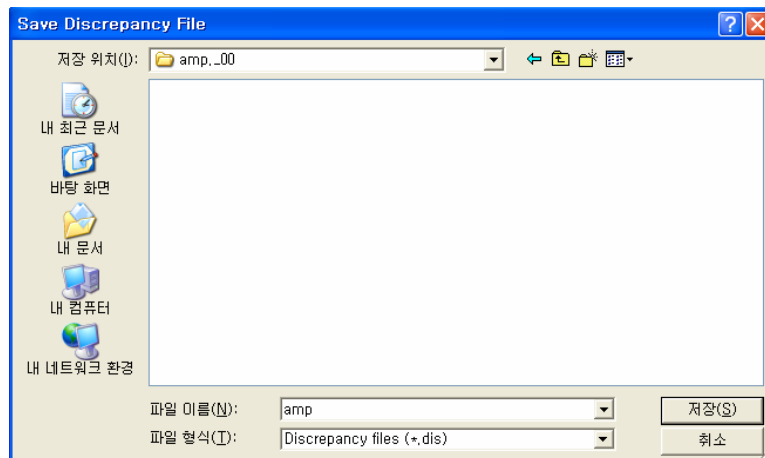


<그림 2.3.(3)-1 MyLVS 실행>

i. Rule & Discrepancy

Rule에는 LayNet Pro에서 사용한 rule 파일을 사용한다. C:\MyChip Station Pro 2005\Layout\tecfiler\SCMOS_SCN4ME_SUBM_ERC.rul을 선택한다.

Disc(Discrepancy)파일은 두 Netlist의 비교 결과 정보를 말한다. Rule이 정보를 보관할 수 있도록 파일을 정해준다. C:\MyChip Station Pro 2005\Layout\Work\amp._00에 amp.dis로 정한다. amp._00 파일은 LayEd에서 amp Cell 생성시 생기는 폴더이다.



<그림 2.3.(3)-2 Discrepancy 파일 생성>

ii. Layout or Schematic1

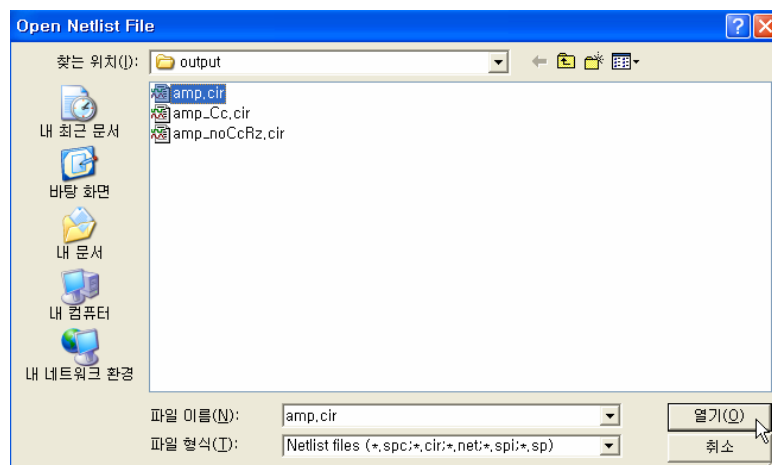
Project에서 C:\MyChip Station Pro 2005\Layout\work\amp.prj를 불러온다.

여기에는 Layout에서 만들었던 Project와 Cell이 자동으로 저장되어 있다. 그러나 SVS를 하려면 Schematic Library를 넣으면 된다. Type란에는 어떤 종류의 Spice를 사용할 것인지 결정한다. 여기서는 Spice를 사용하므로 선택되어 있다.

iii. Schematic or Schematic2

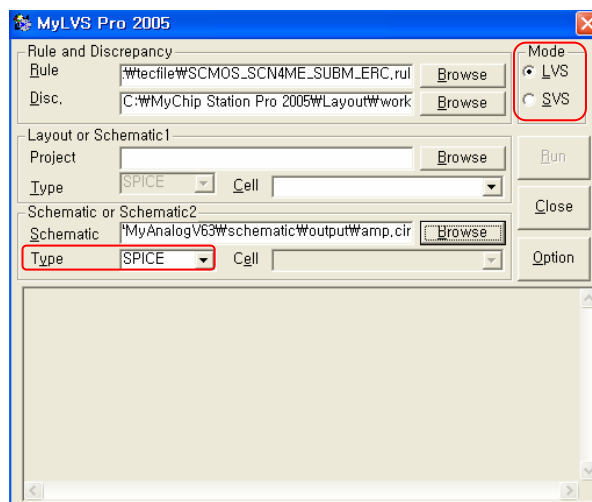
Schematic Editor에서 추출한 Netlist를 불러온다.

C:\MyAnalogV63\schematic\output\amp.cir을 불러온다. (Include.inc file이 포함되지 않은 파일을 불러온다. MOS model과는 비교하는데 관계가 없다.)



<그림 2.3(3)-3 비교할 Netlist 파일을 불러온다>

Type란에는 Spice를 선택한다. CDL, HSPICE, PSPICE Type의 Schematic Netlist도 비교 가능하다.



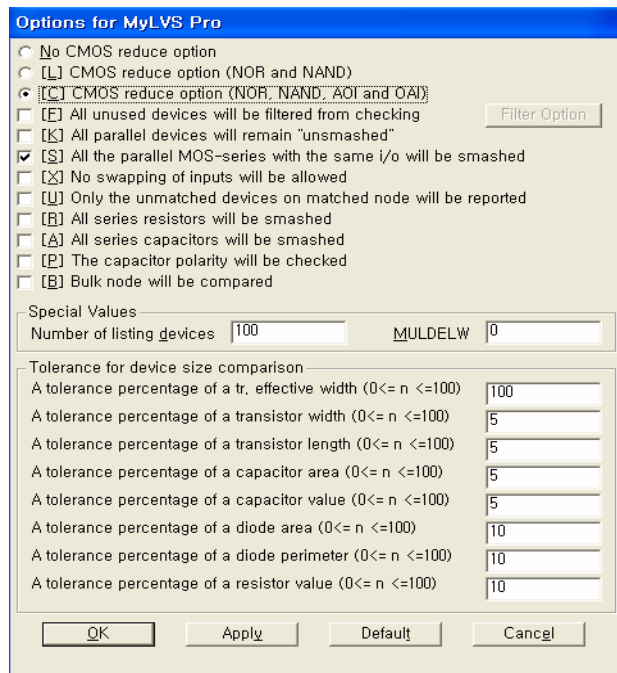
<그림 2.3(3)-4 Option 선택>

iv. Mode

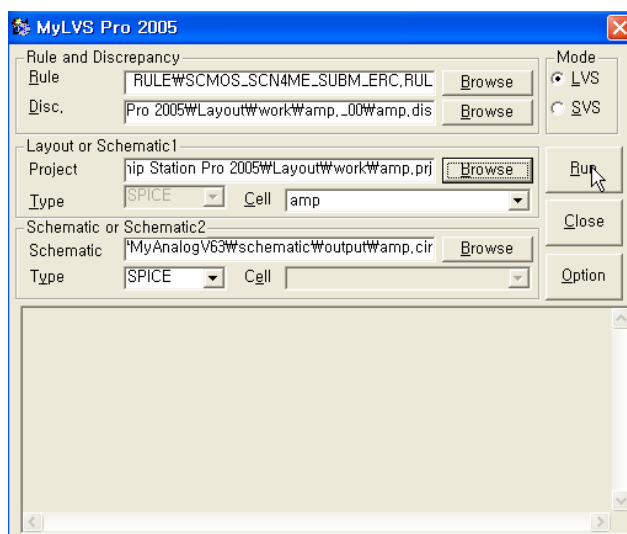
LVS (Layout Versus Schematic)와 SVS (Schematic Versus Schematic) 두 가지를 다 비교할 수 있다. 여기서는 LVS를 선택한다.

v. Option

위 부분에는 회로의 구조변경에 대한 부분이고, 아랫부분은 두 Netlist상의 크기 차이 허용범위를 나타내는 부분이다. OK를 클릭한다.



<그림 2.3.(3)-5 Option 선택>

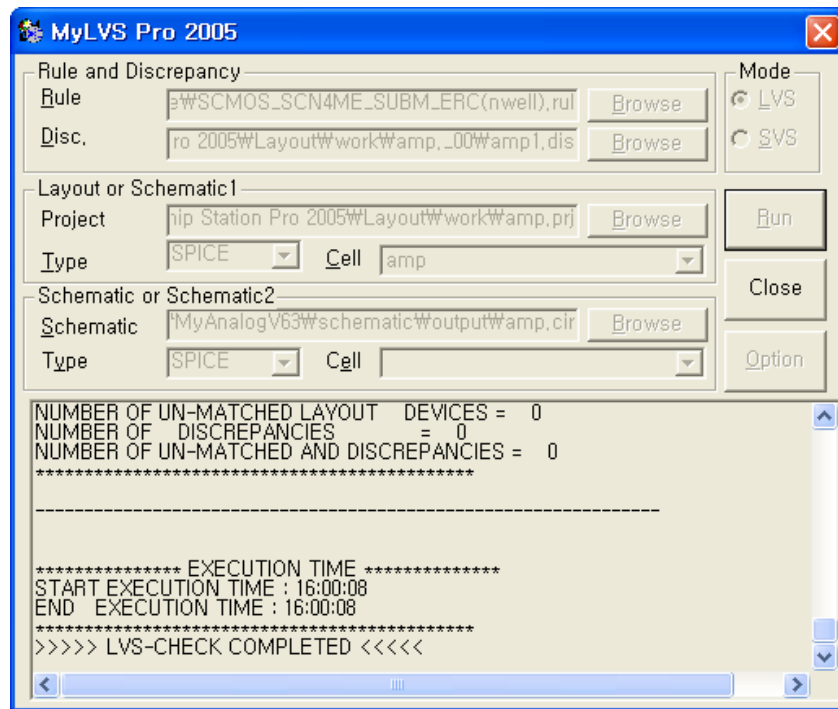


<그림 2.3.(3)-6 실행>

그림 2.3.(3)-6과 같이 작성한 후 Run을 눌러 실행시킨다.

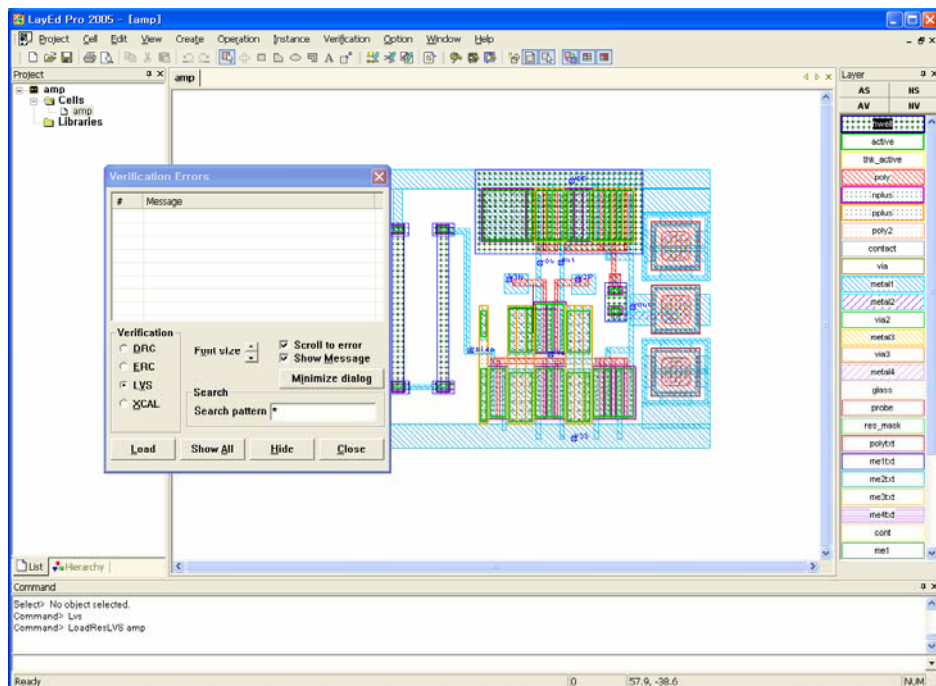
② Discrepancy 파일 확인

MyLVS가 완료된 후 Message창에서 Error를 확인할 수 있다.



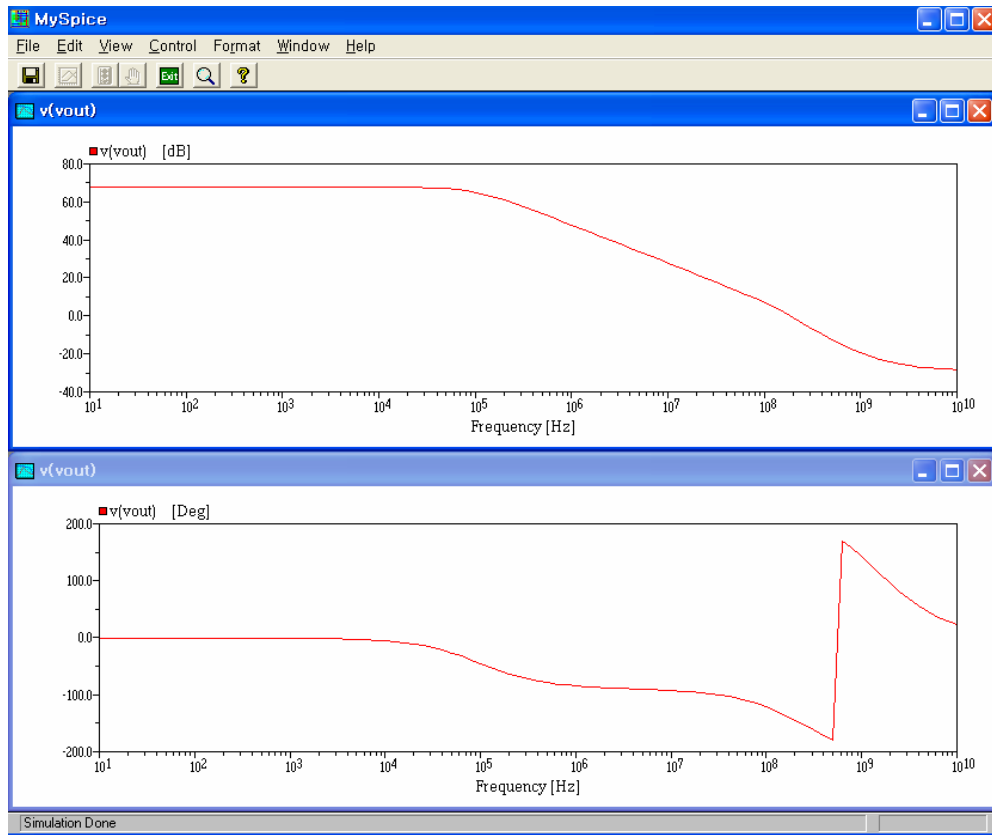
<그림 2.3.(3)-7 실행결과>

확인 후 Close를 누르면 Verification Errors창이 뜬다. Message창의 Error를 더블 클릭하면 Layout상의 Error지점으로 화면이 이동한다.

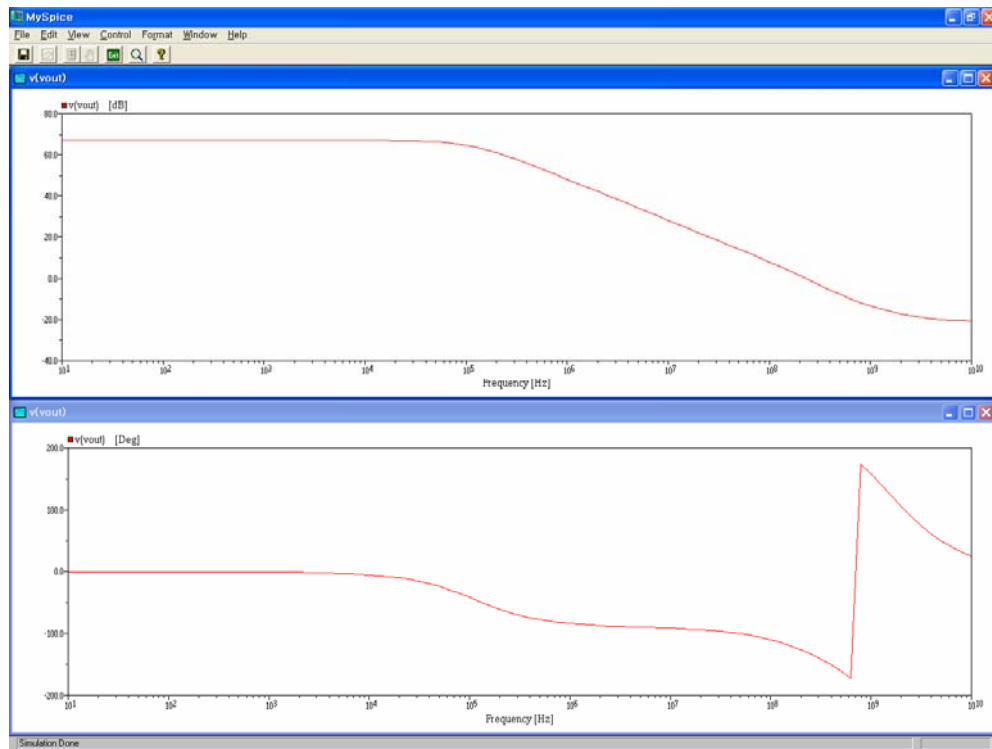


<그림 2.3.(3)-8 Verification>

③ Layout Spice Simulation과 Schematic Spice Simulation 비교



<그림 2.3.(3)-9 결과파형(from layout)>



<그림 2.3.(3)-10 결과파형(from schematic)>

(4) Layout data 변환

① CifGDS Pro

MyChip Station Pro → CifGDS Pro (Data Converter로서 MyChip의 Layout설계를 Mask제작을 위한 파일(GDSII, CIF, DXF)로 변환 할 수 있으며, 이러한 파일을 MyChip으로 변환 할 수도 있다. 또한 파일들 상호변환도 가능하다) 실행 시킨다.

여기서는 MyChip To GDSII로 변환하는 예를 보이기로 한다.

i. Mode

MyChip To GDSII을 선택한다.

ii. MyChip To GDSII

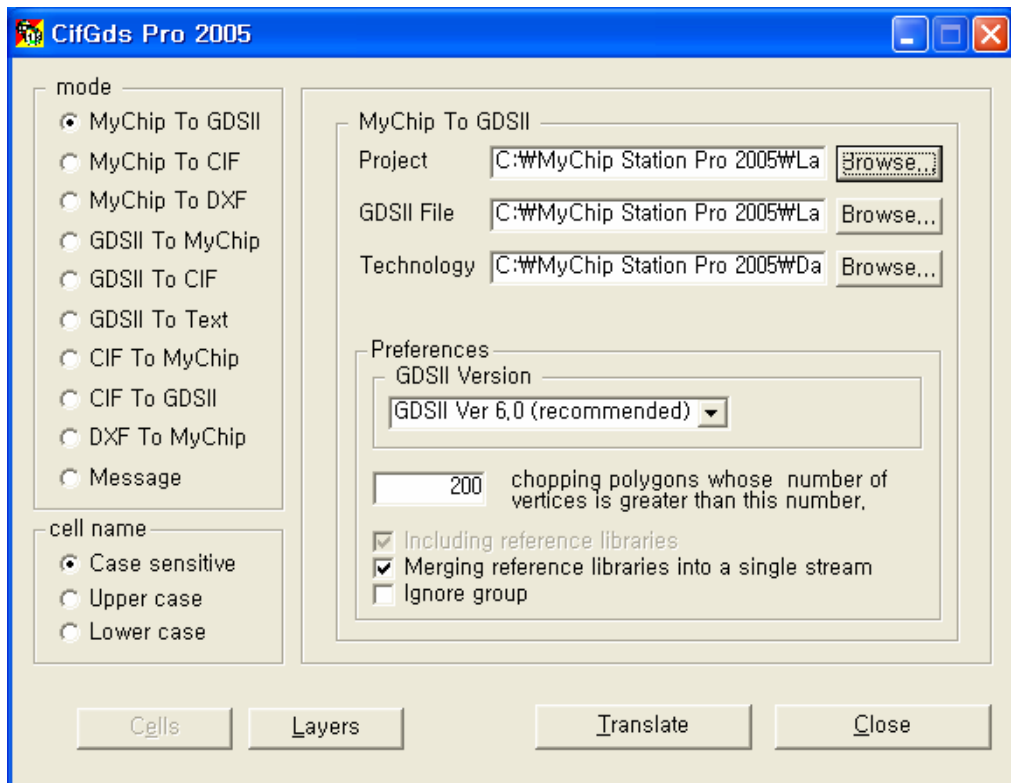
Project는 C:\MyChip Station Pro 2005\Layout\Work\amp.prj를 선택한다. GDSII File은 Work folder에 amp.gds로 Technology는 SCMOS_SCN4ME_SUBM.TEC으로 자동 지정된다.

iii. Preferences

GDSII Version은 Mask제작 방식에 맞는 버전을 선택한다. 여기서는 6.0버전을 선택한다.

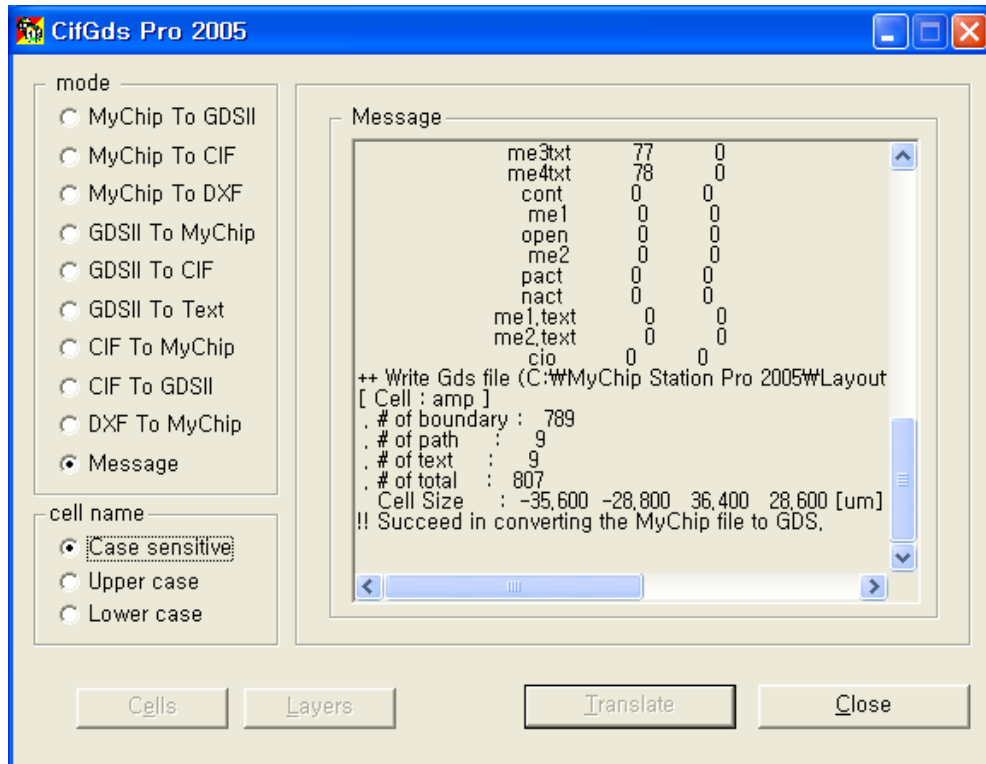
iv. Cell name

Case sensitive를 선택한다.



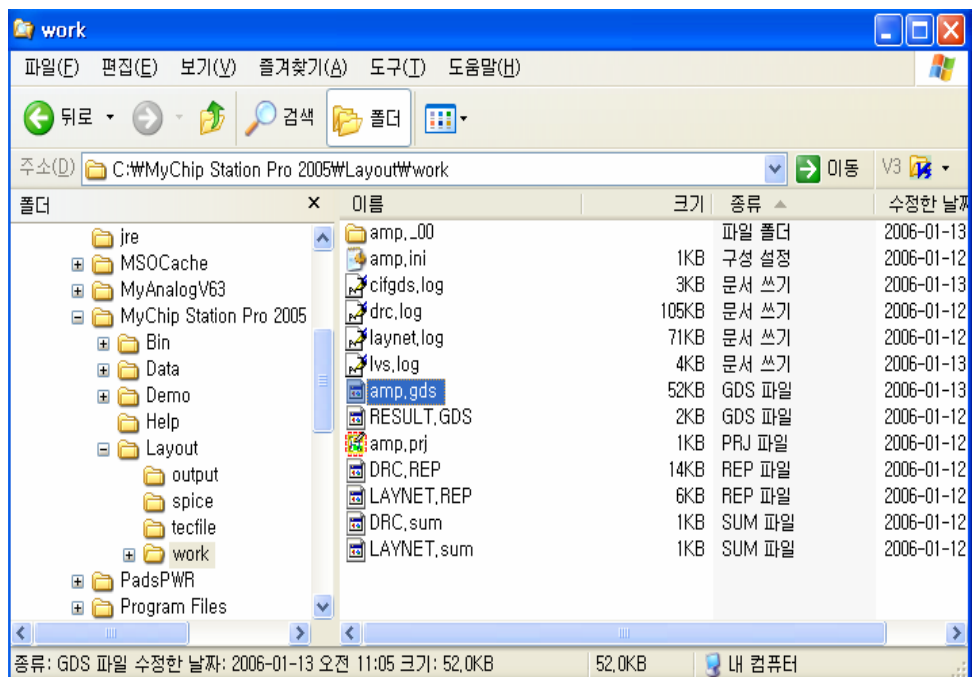
<그림 2.3.(4)-1 Layout 데이터 변환>

그림 2.3.(4)-1과 같이 완료되면 Translate를 눌러 실행시킨다.



<그림 2.3.(4)-2 실행결과>

Layer mapping결과를 볼 수 있다. 확인이 됐으면 Close를 눌러 창을 닫은 후 C:\MyChip Station Pro 2005\Layout\Work에 amp.gds를 확인한다.



<그림 2.3.(4)-3 실행결과 파일이 생성된다.>

APPENDIX

A Technology File

A.1. SCMOS_SCN4ME_SUBM.TEC

#-----

% definition

#-----

nwell

active

thk_active

poly

nplus

pplus

poly2

contact

via

metal1

metal2

via2

metal3

via3

metal4

glass

probe

res_mask

polytxt

me1txt

me2txt

me3txt

me4txt

#-----

% stipple_file

#-----

C:\MyChip Station Pro 2005\Layout\tecfile\stipple.lst

#-----

% cif_name

#-----

nwell CWN

active CAA

thk_active		CUK
poly	CPG	
nplus	CSN	
pplus	CSP	
poly2	OPS	
contact		CCC
via	CV1	
metal1		CM1
metal2		CM2
via2	CV2	
metal3		CM3
via3	CV3	
metal4		CM4
glass	COG	
probe	XP	
res_mask		CRM
polytxt		CPT
me1txt		CM1T
me2txt		CM2T
me3txt		CM3T
me4txt		CM4T
#-----		
%	dxf_name	
#-----		
nwell	DXF	
active	DXF	
thk_active		DXF
poly	DXF	
nplus	DXF	
pplus	DXF	
poly2	DXF	
contact		DXF
via	DXF	
metal1		DXF
metal2		DXF
via2	DXF	
metal3		DXF
via3	DXF	
metal4		DXF

```

glass      DXF
probe      DXF
res_mask   DXF
polytxt    DXF
me1txt     DXF
me2txt     DXF
me3txt     DXF
me4txt     DXF

```

```
#-----
```

```
%  gds_num
```

```
#-----
```

```

nwell      42
active     43
thk_active      60
poly       46
nplus     45
pplus     44
poly2     56
contact    25
via        50
metal1     49
metal2     51
via2       61
metal3     62
via3       30
metal4     31
glass      34
probe      26
res_mask   79
polytxt    74
me1txt     75
me2txt     76
me3txt     77
me4txt     78

```

```
#-----
```

```
%  color
```

```
#-----
```

```

nwell      255  255  0
active     0    198  0

```

thk_active		255	255	0
poly	255	0	0	
nplus	196	0	196	
pplus	255	161	0	
poly2	255	128	64	
contact		128	128	128
via	125	125	0	
metal1		0	0	250
metal2		0	255	255
via2	0	198	0	
metal3		255	213	0
via3	255	128	0	
metal4		212	153	255
glass	255	255	157	
probe	255	0	0	
res_mask		0	255	0
polytxt		255	0	0
me1txt		0	0	255
me2txt		0	204	204
me3txt		255	213	0
me4txt		212	153	255

#-----

% fill_style

#-----

nwell	empty
active	stipple_9
thk_active	empty
poly	stipple_9
nplus	stipple_3
pplus	stipple_3
poly2	stipple_10
contact	solid
via	solid
metal1	stipple_2
metal2	stipple_3
via2	solid
metal3	stipple_2
via3	solid
metal4	stipple_3

```

glass      solid
probe      empty
res_mask   empty
polytxt    empty
me1txt     empty
me2txt     empty
me3txt     empty
me4txt     stipple_5
#-----
%   line_color
#-----
nwell      255    255    0
active     0      198    0
thk_active      255    255    0
poly       255    0      0
nplus      196    0      196
pplus      255    161    0
poly2      255    128    64
contact    128    128    128
via        125    125    0
metal1     0      0      250
metal2     0      255    255
via2       0      198    0
metal3     255    213    0
via3       255    128    0
metal4     212    153    255
glass      255    255    157
probe      255    0      0
res_mask   0      255    0
polytxt    255    0      0
me1txt     0      0      255
me2txt     0      204    204
me3txt     255    213    0
me4txt     212    153    255
#-----
%   line_style
#-----
nwell      0
active     0

```

thk_active		0
poly	0	
nplus	0	
pplus	0	
poly2	0	
contact		0
via	0	
metal1		0
metal2		0
via2	0	
metal3		0
via3	0	
metal4		0
glass	0	
probe	0	
res_mask		0
polytxt		0
me1txt		0
me2txt		0
me3txt		0
me4txt		0
#-----		
% line_width		
#-----		
nwell	1	
active	1	
thk_active		1
poly	1	
nplus	1	
pplus	1	
poly2	1	
contact		1
via	1	
metal1		1
metal2		1
via2	1	
metal3		1
via3	1	
metal4		1

```

glass      1
probe     1
res_mask   1
polytxt   1
me1txt    1
me2txt    1
me3txt    1
me4txt    1
#-----
%   line_color_sel
#-----
nwell      255  0  0
active     255  0  0
thk_active      255  0  0
poly       255  0  0
nplus     255  0  0
pplus     255  0  0
poly2     255  0  0
contact   255  0  0
via       255  0  0
metal1    255  0  0
metal2    255  0  0
via2     255  0  0
metal3    255  0  0
via3     255  0  0
metal4    255  0  0
glass     255  0  0
probe     255  0  0
res_mask  255  0  0
polytxt   255  0  0
me1txt    255  0  0
me2txt    255  0  0
me3txt    255  0  0
me4txt    255  0  0
#-----
%   line_style_sel
#-----
nwell     0
active    0

```

thk_active		0
poly	0	
nplus	0	
pplus	0	
poly2	0	
contact		0
via	0	
metal1		0
metal2		0
via2	0	
metal3		0
via3	0	
metal4		0
glass	0	
probe	0	
res_mask		0
polytxt		0
me1txt		0
me2txt		0
me3txt		0
me4txt		0
#-----		
% line_width_sel		
#-----		
nwell	3	
active	3	
thk_active		1
poly	3	
nplus	3	
pplus	3	
poly2	3	
contact		3
via	3	
metal1		3
metal2		3
via2	3	
metal3		3
via3	3	
metal4		3


```

glass      1
probe     1
res_mask   3
polytxt    3
me1txt     3
me2txt     3
me3txt     3
me4txt     3
#-----
%   path
#-----
nwell      1.000  0    0.000  0.0
active     1.000  0    0.000  0.0
thk_active      1.000  0    0.000  0.0
poly       1.000  0    0.000  0.0
nplus     1.000  0    0.000  0.0
pplus     1.000  0    0.000  0.0
poly2     1.000  0    0.000  0.0
contact   1.000  0    0.000  0.0
via       1.000  0    0.000  0.0
metal1    1.000  0    0.000  0.0
metal2    1.000  0    0.000  0.0
via2      1.000  0    0.000  0.0
metal3    1.000  0    0.000  0.0
via3      1.000  0    0.000  0.0
metal4    1.000  0    0.000  0.0
glass     1.000  0    0.000  0.0
probe     1.000  0    0.000  0.0
res_mask  1.000  0    0.000  0.0
polytxt   1.000  0    0.000  0.0
me1txt    1.000  0    0.000  0.0
me2txt    1.000  0    0.000  0.0
me3txt    1.000  0    0.000  0.0
me4txt    1.000  0    0.000  0.0
#-----
%   datatype
#-----
nwell     0
active    0

```

thk_active		0
poly	0	
nplus	0	
pplus	0	
poly2	0	
contact		0
via	0	
metal1		0
metal2		0
via2	0	
metal3		0
via3	0	
metal4		0
glass	0	
probe	0	
res_mask		0
polytxt		0
me1txt		0
me2txt		0
me3txt		0
me4txt		0
#-----		
% textsize		
#-----		
nwell	0.5	
active	0.5	
thk_active		1.0
poly	0.5	
nplus	0.5	
pplus	0.5	
poly2	0.5	
contact		0.5
via	0.5	
metal1		0.5
metal2		0.5
via2	0.5	
metal3		0.5
via3	0.5	
metal4		0.5

```

glass      1.0
probe      1.0
res_mask           0.5
polytxt      1.0
me1txt       0.5
me2txt       0.5
me3txt       1.0
me4txt       1.0
#-----
%  priority
#-----
nwell      17
active     11
thk_active      10
poly        6
nplus       8
pplus       9
poly2       5
contact           15
via         14
metal1           4
metal2           3
via2          13
metal3           2
via3          12
metal4           1
glass        16
probe        18
res_mask           7
polytxt      23
me1txt       22
me2txt       21
me3txt       20
me4txt       19
#-----
%  sys_color
#-----
background  0    0    0
foreground  255  255  255

```

```

text          255    255    255
noselect      0      128    0
cellbound    255    255    255
grid          255    255    255
drag          255    0      0
error         255    0      0
ruler        255    255    255
instance_select      255    0      0
edge_vertex   0      0      255

```

```
#-----
```

```
% rule
```

```
#-----
```

```
DRC_RULE
```

```
EXTRACTION_RULE
```

```
#-----
```

A.2. STIPPLE.LST

```

stipple_1    ffff4242 fffc3c3c ffff3c3c ffff2424 ffff2424 ffff3c3c fffc3c3c ffff4242 ffff4242 fffc3c3c
             ffff3c3c ffff2424 ffff2424 ffff3c3c fffc3c3c ffff4242 ZigZags [ ZigZags 45 6 6 5 ]
stipple_2    ffff8888 ffff4444 ffff2222 ffff1111 ffff8888 ffff4444 ffff2222 ffff1111 ffff8888 ffff4444
             ffff2222 ffff1111 ffff8888 ffff4444 ffff2222 ffff1111 Stripes [ Stripes 135 5 ]
stipple_3    ffff1111 ffff2222 ffff4444 ffff8888 ffff1111 ffff2222 ffff4444 ffff8888 ffff1111 ffff2222
             ffff4444 ffff8888 ffff1111 ffff2222 ffff4444 ffff8888 Stripes [ Stripes 45 7 ]
stipple_4    ffff0000 ffff6060 ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 ffff0000 ffff6060
             ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 BrokenStripes.Debug [ BrokenStripes.Debug
4 0 11 11 6 0 ]
stipple_5    ffff3838 ffff4444 ffff8282 ffff8282 ffff8282 ffff4444 ffff3838 ffff0000 ffff3838 ffff4444
             ffff8282 ffff8282 ffff8282 ffff4444 ffff3838 ffff0000 Stripes [ Stripes 0 3 ]
stipple_6    ffff1818 ffff0000 ffff0000 ffff8181 ffff8181 ffff0000 ffff0000 ffff1818 ffff1818 ffff0000
             ffff0000 ffff8181 ffff8181 ffff0000 ffff0000 ffff1818 Polygons [ Polygons 8 45 11 11 0 2
SQUARE ]
stipple_7    ffff0101 ffff8080 ffff4040 ffff2020 ffff0202 ffff0404 ffff0808 ffff1010 ffff0101 ffff8080
             ffff4040 ffff2020 ffff0202 ffff0404 ffff0808 ffff1010 ZigZags [ ZigZags 135 9 8 11 ]
stipple_8    ffff0000 ffff6060 ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 ffff0000 ffff6060
             ffff6060 ffff0000 ffff0000 ffff0606 ffff0606 ffff0000 Polygons [ Polygons 10 45 7 7 0 1 CIRCLE ]
stipple_9    ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000
             ffff5555 ffff0000 ffff5555 ffff0000 ffff5555 ffff0000 Crosses.Debug [ Crosses.Debug 3 0 11 11 0
4 0 ]
stipple_10   ffff8400 ffff1090 ffff0002 ffff2410 ffff0085 ffff0000 ffff8a20 ffff0004 ffff4021 ffff0880

```

```

ffff4008 ffff0420 ffff2101 ffff0010 ffff1202 ffff4090 BrokenStripes [ BrokenStripes 6 0 11 11 -10
1 ]
stipple_11 ffff0000 ffff0000 ffff0000 ffff1010 ffff0000 ffff0000 ffff0000 ffff1111 ffff0000 ffff0000
ffff0000 ffff1010 ffff0000 ffff0000 ffff0000 ffff1111 Crosses [ Crosses 9 0 8 8 0 3 0 ]
error ffff8181 ffff4242 ffff2424 ffff1818 ffff1818 ffff2424 ffff4242 ffff8181 ffff8181 ffff4242 ffff2424
ffff1818 ffff1818 ffff2424 ffff4242 ffff8181 Crosses.Debug [ Crosses.Debug 7 45 11 11 0 5 0 ]

```

B Verification File

B.1. SCMOS_SCN4ME_SUBM_DRC.rul

```

#####
;# MyCAD, Inc. shall not be liable for the accuracy of #
;# this design rule file or it's ability to capture errors. #
;# The user is responsible for thoroughly testing and implementing #
;# it's features. #
#####
;
;#####
;# MOSIS SCMOS 0.35um Design rule for MyChip (ref. http://www.mosis.com) #
;# TSMC (0.35um N-well) SCN4ME_SUBM (Lambda=0.2 um) #
;# by MyCAD Support Group #
;# #
;# Support Information: #
;# #
;# This rule file is supported by MyCAD, Inc. customer support. #
;# For contact information consult support@seloco.com #
;# #
;# Revision History: #
;# #
;# 08/17/2004 Build #
;# #
;# 08/20/2004 First Release #
;#####
;
;#####
;# DESCRIPTION BLOCK #
;#####
;
;technology layers: nwell active thk_active pplus nplus poly poly2 contact
; metal1 via metal2 via2 metal3 via3 metal4

```

```

;          glass
;          probe (non-fab layer used to highlight pads)
;
*DESCRIPTION
LAMBDA = 0.2
CHECK-MODE = FLAT
;
;
#####
;# LAYER BLOCK                                     #
#####
;
*LAYER
SUBSTRATE = pbulk
CONNECT-LAYER = psub nwell psd nsd poly poly2 metal1 metal2 metal3 metal4
;
;
#####
;# OPERATION BLOCK                                 #
#####
;
*OPERATION
NOT pbulk  nwell  psub
AND active pplus pactive
AND active nplus nactive
OR  pplus  nplus  allselect
AND pactive poly  pgate
AND nactive poly  ngate
NOT pactive pgate  psd
NOT nactive ngate  nsd
AND psub    psd    pplug
AND nwell   nsd    nplug
AND pplug   contact ppcont
AND nplug   contact npcont
; Interlayer connection
CONNECT      metal4 metal3 BY    via3
CONNECT      metal3 metal2 BY    via2
CONNECT      metal2 metal1 BY    via
CONNECT      metal1 poly   BY    contact

```

```

CONNECT      metal1 poly2 BY contact
CONNECT      metal1 psd BY contact
CONNECT      metal1 nsd BY contact
; Substrate & Well connection
SCONNECT    psd  psub BY ppcont
SCONNECT    nsd  nwell BY npcont
;
#####
; n-well(Lambda base)
#####
WIDTH        nwell LT 12 "Rule 1.1:width(n-well) < 12"
EXT[N]       nwell LT 18 "Rule 1.2:space(n-well) diff vtg < 18"
EXT[N']      nwell LT 6 "Rule 1.3:space(n-well) same vtg < 6"
#####
; active(Lambda base)
#####
WIDTH        active LT 3 "Rule 2.1:width(active) < 3"
EXT          active LT 3 "Rule 2.2:space(active) < 3"
ENC          pactive nwell LT 6 "Rule 2.3:well edge < 6"
EXT          nactive nwell LT 6 "Rule 2.3:well edge < 6"
ENC          nplug nwell LT 3 "Rule 2.4:well contact space < 3"
EXT          pplug nwell LT 3 "Rule 2.4:well contact space < 3"
AND nactive pactive npact
ERROR        npact "Rule 2.5:no overlap violation"
SELECT       pactive OVERLAP nactive overpact
SELECT       nactive OVERLAP pactive overnact
NOT pactive overpact notoverpact
NOT nactive overnact notovernact
EXT notovernact notoverpact LT 4 "Rule 2.5:space(nactive,pactive)<4"
#####
; thick active (Lambda base)
#####
WIDTH thk_active LT 4 "Rule 24.1: width(thick active) < 4"
EXT thk_active LT 4 "Rule 24.2: space(thick active) < 4"
ENC active thk_active LT 4 "Rule 24.3: active overlap < 4"
SELECT thk_active ENCLOSE active encthk
EXT thk_active active LT 4 "Rule 24.4. space(thick active, active) < 4"
AND thk_active active thkact
AND thkact poly thkgate

```

```

WIDTH  thkgate          LT 3  "Rule 24.5. width(thick active gate poly) < 3"
NOT    thk_active      encthk nonthk
ERROR  nonthk          "Rule 24.6. Not enclose active"
#####
; poly(Lambda base)
#####
WIDTH          poly LT 2          "Rule 3.1:width(poly) < 2"
EXT           poly LT 3          "Rule 3.2:space(poly) < 3"
SELECT        poly  CUT active  polyact
AND           active  polyact actpact
ENC[T] actpact active LT 0.001 &
ENC[T] actpact polyact LT 2 "Rule 3.3:min gate poly extension over active < 2"
SELECT        active CUT poly actpoly
AND poly actpoly polyapoly
ENC[T] polyapoly poly LT 0.001 &
ENC[T] polyapoly actpoly LT 3  "Rule 3.4:min active extension over gate poly < 3"
OR           poly active  polact
EXT[H]       polact LT 1          "Rule 3.5:min space between active and routing poly < 1"
#####
; poly2(Lambda base) for Capacitor
#####
WIDTH          poly2 LT 7          "Rule 11.1:width(poly2) < 7"
EXT           poly2 LT 3          "Rule 11.2:space(poly2) < 2"
ENC           poly2 poly  LT 5  "Rule 11.3:poly overlap < 5"
EXT           poly2 nwell  LT 2  "Rule 11.4:space(poly2,nwell) < 2"
EXT           poly2 active  LT 2  "Rule 11.4:space(poly2,active) < 2"
EXT           poly2 contact  LT 6  "Rule 11.5:space(poly2,contact) < 6"
SELECT        NOT  metal1 CUT poly2 notmet1p2
EXT           poly2 notmet1p2 LT 2  "Rule 11.6:min spacing to metal < 2"
#####
; select(Lambda base)
#####
ENC[O] active poly LT 0.001 &
EXT          allselect poly LT 3 "Rule 4.1:min select spacing to channel<3"
ENC          active pplus  LT 2  "Rule 4.2:min select overlap of active<2"
ENC          active nplus  LT 2  "Rule 4.2:min select overlap of active<2"
ENC          contact pplus LT 1  "Rule 4.3:min select overlap of contact<2"
ENC          contact nplus LT 1  "Rule 4.3:min select overlap of contact<2"
WIDTH       pplus          LT 2  "Rule 4.4:min p+ select width<2"

```



```

WIDTH          nplus          LT 2      "Rule 4.4:min n+ select width<2"
EXT            pplus          LT 2      "Rule 4.4:min p+ select space<2"
EXT            nplus          LT 2      "Rule 4.4:min n+ select space<2"
AND  nplus pplus npplus
ERROR          npplus          "Rule 4.4:no overlap violation"
SELECT        nplus  OVERLAP pplus  overnplus
SELECT        pplus  OVERLAP nplus  overpplus
NOT  nplus    overnplus          notovernplus
NOT  pplus    overpplus          notoverpplus
EXT  notovernplus notoverpplus LT 2 "Rule 4.4:min space(between n+ and p+ select)<2"
;#####
; simple contact to poly(Lambda base)
;#####
LENGTH          contact NE 2          "Rule 5.1.1:exact contact size < 2"
AREA            contact NE 0.8        "Rule 5.1.3:exact contact size < 0.8"
ENC             contact poly  LT 1.5   "Rule 5.2:minimum poly overlap < 1.5"
EXT             contact LT 3           "Rule 5.3:space(contact)<3"
EXT             contact pgate LT 2     "Rule 5.4:space(contact)<2"
EXT             contact ngate LT 2    "Rule 5.4:space(contact)<2"
;#####
; simple contact to active(Lambda base)
;#####
ENC            contact active LT 1.5   "Rule 6.2:min active overlap <1.5"
;#####
; contact to poly2(Lambda base)
;#####
AND  contact  poly2  poly2cont
AND  poly     poly2  polycap
AND  poly2cont polycap  pcapcont
NOT  poly2cont pcapcont  npcapcont
ENC            pcapcont  poly2  LT 3   "Rule 13.3:minimum electrode overlap on cap <3"
ENC            npcapcont poly2  LT 2   "Rule 13.4:minimum electrode overlap not on cap <2"
EXT            poly2cont poly  LT 3   "Rule 13.5:space(poly2 contact,poly)<3"
EXT            poly2cont active LT 3  "Rule 13.5:space(poly2 contact,active)<3"
;#####
; metal1(Lambda base)
;#####
WIDTH          metal1          LT 3      "Rule 7.1:width(metal1) < 3"
EXT            metal1          LT 3      "Rule 7.2:space(metal1) < 3"

```

```

ENC          contact metal1 LT 1      "Rule 7.3:enclose(metal1, contact) < 1"
;#####
; via(Lambda base)
;#####
LENGTH      via          NE 2      "Rule 8.1.1:exact via size < 2"
AREA        via          NE 0.8    "Rule 8.1.4:exact via size < 0.8"
EXT         via          LT 3 "Rule 8.2:min via space < 3"
ENC         via metal1  LT 1 "Rule 8.3:enclose(metal1,via)<1"
EXT         via contact LT 2 "Rule 8.4:min space(via,contact)<2"
EXT         via poly    LT 2 "Rule 8.5:min space(via,poly)<2"
EXT         via active  LT 2 "Rule 8.5:min space(via,active)<2"
;#####
; metal2(Lambda base)
;#####
WIDTH       metal2      LT 3      "Rule 9.1:min width(metal2)<3"
EXT         metal2      LT 3      "Rule 9.2:min space(metal2)<3"
ENC         via metal2  LT 1      "Rule 9.3:enclose(metal2,via)<1"
;#####
; via2(Lambda base)
;#####
LENGTH      via2        NE 2      "Rule 14.1.1:exact via2 size < 2"
AREA        via2        NE 0.8    "Rule 14.1.3:exact via2 size < 1.2"
EXT         via2        LT 3 "Rule 14.2:min via2 space < 3"
ENC         via2 metal2 LT 1 "Rule 14.3:enclose(metal2,via2)<1"
EXT         via2 via     LT 2 "Rule 14.4:min space(via2,via)<2"
;#####
; metal3(Lambda base)
;#####
WIDTH       metal3      LT 3 "Rule 15.1:min width(metal3)<6"
EXT         metal3      LT 3 "Rule 15.2:min space(metal3)<4"
ENC         via2 metal3 LT 1 "Rule 15.3:enclose(metal3,via2)<2"
;#####
; via3(Lambda base)
;#####
LENGTH      via3        NE 2      "Rule 21.1.1:exact via3 size < 2"
AREA        via3        NE 0.8    "Rule 21.1.3:exact via3 size < 1.2"
EXT         via3        LT 3 "Rule 21.2:min via3 space < 3"
ENC         via3 metal3 LT 1 "Rule 21.3:enclose(metal3,via3)<1"
;#####

```

```

; metal4(Lambda base)
#####
WIDTH          metal4      LT 6 "Rule 22.1:min width(metal4)<6"
EXT            metal4      LT 6 "Rule 22.2:min space(metal4)<6"
ENC            via3 metal4 LT 2 "Rule 22.3:enclose(metal4,via3)<2"
#####
; overglass(micron base)
; top metal : metal2
#####
SELECT      glass  ENCLOSE probe bpad
NOT glass   bpad   ppad
SELECT      metal2 ENCLOSE   glass  padmetal
WIDTH       bpad   LT 300  "Rule 10.1:width(pad) < 60um"
WIDTH       ppad   LT 100  "Rule 10.2:width(probe pad) < 20um"
ENC         glass padmetal LT 30  "Rule 10.3:minimum pad metal overlap < 6um"
EXT[N]      padmetal metal2 LT 150 "Rule 10.4:min space(pad-metal,metal4) < 30um"
EXT         padmetal active LT 75  "Rule 10.5:min space(pad-metal,active) < 30um"
EXT         padmetal poly   LT 75  "Rule 10.5:min space(pad-metal,poly) < 30um"
*END

```

B.2. SCMOS_SCN4ME_SUBM_ERC.rul

```

#####
;# MyCAD, Inc. shall not be liable for the accuracy of           #
;# this design rule file or it's ability to capture errors.     #
;# The user is responsible for thoroughly testing and implementing #
;# it's features.                                               #
#####
;
#####
#####
;# MOSIS SCMOS 0.35um Extraction, ERC and LVS rule for MyChip (ref. http://www.mosis.com) #
;# TSMC (0.35um N-well) SCN4ME_SUBM (Lambda=0.2 um)
#
;# by MyCAD Support Group                                       #
;#                                                             #
;# Support Information:                                         #
;#                                                             #
;# This rule file is supported by MyCAD, Inc. customer support. #
;# For contact information consult support@seloco.com           #

```

```

;# #
;# Revision History: #
;# #
;# 08/17/2004 Build #
;# #
;# 08/20/2004 First Release #
#####
#####
;
#####
;# DESCRIPTION BLOCK #
#####
;
;technology layers: nwell active thk_active pplus nplus poly poly2 contact
; metal1 via metal2 via2 metal3 via3 metal4
; glass
; probe (non-fab layer used to highlight pads)
;
*DESCRIPTION
;
MODEL = MOS[P],pmos MOS[N],nmos
MODEL = DIO[P],pdio DIO[N],ndio
MODEL = CAP[P],C
MODEL = RES[P],R
;
CHECK-MODE = FLAT
;
*LAYER
;
SUBSTRATE = pbulk
;
CONNECT-LAYER = psub nwell psd nsd ipoly poly2 metal1 metal2 metal3 metal4
;
ATTACH me1txt TO metal1
ATTACH me2txt TO metal2
ATTACH me3txt TO metal3
ATTACH me4txt TO metal4
;
;

```

```

#####
;# OPERATION BLOCK                                     #
#####
;
*OPERATION
;
; p-substrate
NOT pbulk  nwell      psub
; gate and source/drain for MOS
AND active  pplus     pactive
AND active  nplus     nactive
OR  pplus   nplus     allselect
AND pactive poly      pgate
AND nactive poly      ngate
NOT nactive poly      nsd
NOT pactive poly      psd
; well and substrate contact
AND psub    psd       pplug
AND nwell   nsd       nplug
AND pplug   contact   ppcont
AND nplug   contact   npcont
; poly resistor
AND poly    res_mask  polres
NOT poly    polres    ipoly
; capacitor of poly and poly2
AND poly    poly2     polycap
; parasitic capacitor between poly and metal1
AND metal1  ipoly     me1poly
; parasitic capacitor between poly and metal2
AND metal2  ipoly     me2poly
; parasitic capacitor between metal1 and metal2
AND metal1  metal2    me1me2
; parasitic diode
AND psd     nwell     pdio
AND nsd     psub      ndio
; interlayer connection
CONNECT      metal4  metal3  BY    via3
CONNECT      metal3  metal2  BY    via2
CONNECT      metal2  metal1  BY    via

```

```

CONNECT      metal1 poly2 BY contact
CONNECT      metal1 ipoly BY contact
CONNECT      metal1 psd BY contact
CONNECT      metal1 nsd BY contact
; well and substrate connection
SCONNECT    psd  psub  BY  ppcont
SCONNECT    nsd  nwell BY  npcont
;
; polysilicon resistor
ELEMENT      RES[P] polres ipoly
PARAMETER   RES[P] 6.0
; mos
ELEMENT      MOS[P] pgate ipoly psd nwell
ELEMENT      MOS[N] ngate ipoly nsd  psub
; parasitic diode
;ELEMENT     DIO[P] pdio psd nwell
;ELEMENT     DIO[N] ndio nsd psub
; polysilicon capacitor
ELEMENT      CAP[P] polycap ipoly poly2
PARAMETER   CAP[P] 8.30e-4 0.0
; parasitic capacitor between poly and metal1
;PARASITIC  CAP[A] me1poly metal1 ipoly
;ATTRIBUTE  CAP[A] 4.40e-5 5.70e-5
; parasitic capacitor between poly and metal2
;PARASITIC  CAP[B] me2poly metal2 ipoly
;ATTRIBUTE  CAP[B] 1.50e-5 3.80e-5
; parasitic capacitor between metal1 and metal2
;PARASITIC  CAP[C] me1me2metal1 metal2
;ATTRIBUTE  CAP[C] 3.40e-5 5.40e-5
;
; ERC
MULTILAB          "Short circuit"
SAMELAB           "Open circuit"
PATHCHK           LEVEL 1 "no path to power"
LCONNECT          psub CONN VDD "psub connected to power"
LCONNECT          psub DISC GND "psub not connected to ground"
;ELCOUNT        MOS ALL EQ 1 "singular node"
NDCOUNT          MOS ALL EQ 1 "all terminal tied together"
ECONNECT         MOS[N] ipoly CONN VDD "n-mos gate connected to power"

```

```

ECONNECT MOS[P] ipoly CONN GND "p-mos gate connected to ground"
ECONNECT MOS[P] psd CONN GND "p-mos source/drain connected to ground"
;
; LVSCHK
LVSCHK[CS]WPERCENT=5 LPERCENT=5 CAPAREA=5 CAPVAL=5 DIOAREA=10 DIOPERI=10
RESVAL=10
*END

```

B.3. SCMOS_SCN4ME_SUBM_ERC(nwell).rul

```

#####
#####
;# MyCAD, Inc. shall not be liable for the accuracy of #
;# this design rule file or it's ability to capture errors. #
;# The user is responsible for thoroughly testing and implementing #
;# it's features. #
#####
;
;#####
#####
;# MOSIS SCMOS 0.35um Extraction, ERC and LVS rule for MyChip (ref. http://www.mosis.com)
#
;# TSMC (0.35um N-well) SCN4ME_SUBM (Lambda=0.2 um)
#
;# by MyCAD Support Group #
;# #
;# Support Information: #
;# #
;# This rule file is supported by MyCAD, Inc. customer support. #
;# For contact information consult support@seloco.com #
;# #
;# Revision History: #
;# #
;# 08/17/2004 Build #
;# #
;# 08/20/2004 First Release #
#####
;

```

```

#####
#####
;# DESCRIPTION BLOCK                                     #
#####
#####
;
;technology layers: nwell active thk_active pplus nplus poly poly2 contact
;
;           metal1 via metal2 via2 metal3 via3 metal4
;           glass
;           probe (non-fab layer used to highlight pads)
;
*DESCRIPTION
;
MODEL = MOS[P],pmos  MOS[N],nmos
MODEL = DIO[P],pdio  DIO[N],ndio
MODEL = CAP[P],C
MODEL = RES[P],PR
MODEL = RES[N],NR
;
CHECK-MODE = FLAT
;
*LAYER
;
SUBSTRATE = pbulk
;
CONNECT-LAYER = psub inwell psd nsd ipoly poly2 metal1 metal2 metal3 metal4
;
ATTACH    me1txt TO    metal1
ATTACH    me2txt TO    metal2
ATTACH    me3txt TO    metal3
ATTACH    me4txt TO    metal4
;
;
#####
#####
;# OPERATION BLOCK                                     #
#####
#####
;

```



```

*OPERATION
;
; p-substrate
NOT pbulk  nwell      psub
; gate and source/drain for MOS
AND active  pplus     pactive
AND active  nplus     nactive
OR   pplus  nplus     allselect
AND pactive poly      pgate
AND nactive poly      ngate
NOT nactive poly      nsd
NOT pactive poly      psd
; well and substrate contact
AND psub    psd       pplug
AND nwell   nsd       nplug
AND pplug   contact   ppcont
AND nplug   contact   npcont
; poly resistor
AND poly    res_mask   polres
NOT poly    polres     ipoly
; nwell resistor
AND nwell   res_mask   nwellres
NOT nwell   nwellres   inwell
; capacitor of poly and poly2
AND poly    poly2     polycap
; parasitic capacitor between poly and metal1
AND metal1  ipoly     me1poly
; parasitic capacitor between poly and metal2
AND metal2  ipoly     me2poly
; parasitic capacitor between metal1 and metal2
AND metal1  metal2    me1me2
; parasitic diode
AND psd     nwell     pdio
AND nsd     psub      ndio
; interlayer connection
CONNECT      metal4  metal3  BY    via3
CONNECT      metal3  metal2  BY    via2
CONNECT      metal2  metal1  BY    via
CONNECT      metal1  poly2   BY    contact

```

```

CONNECT      metal1 ipoly  BY   contact
CONNECT      metal1 psd   BY   contact
CONNECT      metal1 nsd   BY   contact
; well and substrate connection
SCONNECT    psd   psub   BY   ppcont
SCONNECT    nsd   inwell BY   npcont
;
; polysilicon resistor
ELEMENT      RES[P] polres ipoly
PARAMETER RES[P] 6.0
; nwell resistor
ELEMENT      RES[N] nwellres inwell
PARAMETER RES[N] 10000
; mos
ELEMENT      MOS[P] pgate ipoly psd inwell
ELEMENT      MOS[N]      ngate ipoly nsd psub
; parasitic diode
;ELEMENT     DIO[P] pdio psd inwell
;ELEMENT     DIO[N] ndio nsd psub
; polysilicon capacitor
ELEMENT      CAP[P] polycap ipoly poly2
PARAMETER CAP[P] 3.1888e-3 0.0
; parasitic capacitor between poly and metal1
;PARASITIC  CAP[A] me1poly metal1 ipoly
;ATTRIBUTE  CAP[A] 4.40e-5 5.70e-5
; parasitic capacitor between poly and metal2
;PARASITIC  CAP[B] me2poly metal2 ipoly
;ATTRIBUTE  CAP[B] 1.50e-5 3.80e-5
; parasitic capacitor between metal1 and metal2
;PARASITIC  CAP[C] me1me2 metal1 metal2
;ATTRIBUTE  CAP[C] 3.40e-5 5.40e-5
;
; ERC
MULTILAB          "Short circuit"
SAMELAB           "Open circuit"
PATHCHK           LEVEL 1 "no path to power"
LCONNECT    psub CONN VDD "psub connected to power"
LCONNECT    psub DISC GND "psub not connected to ground"
ELCOUNT     MOS ALL EQ 1 "singular node"

```

```

NDCOUNT          MOS ALL EQ 1          "all terminal tied together"
ECONNECT MOS[N] ipoly CONN VDD        "n-mos gate connected to power"
ECONNECT MOS[P] ipoly CONN GND        "p-mos gate connected to ground"
ECONNECT MOS[P] psd   CONN GND        "p-mos source/drain connected to ground"
;
; LVSCHK
LVSCHK[CS]WPERCENT=5 LPERCENT=5 CAPAREA=5 CAPVAL=5 DIOAREA=10 DIOPERI=10
RESVAL=10
*END

```

C Spice File

C.1. include.inc (기본 parameter)

* Transient Analysis

.TRAN 1ns 200ns

* TSMC 0352P4M

* SPICE BSIM3 VERSION 3.1 PARAMETERS

* SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```

.MODEL NMOS NMOS (                                LEVEL = 49
+VERSION = 3.1          TNOM    = 27          TOX    = 7.6E-9
+XJ    = 1E-7          NCH    = 2.3579E17      VTH0   = 0.5027514
+K1    = 0.5359893     K2    = 0.0258172      K3    = 24.6606744
+K3B   = 1.4055348     W0    = 5.355464E-6      NLX    = 2.404522E-9
+DVT0W = 0            DVT1W   = 0            DVT2W  = 0
+DVT0  = -0.120252    DVT1  = 3.084588E-3      DVT2   = 0.470688
+U0    = 417.429294    UA    = -1.40534E-13      UB    = 1.355832E-18
+UC    = 2.939828E-11 VSAT   = 1.208882E5      A0    = 0.9319916
+AGS   = 0.1686015     B0    = 1.288356E-6      B1    = 5E-6
+KETA  = 0.0105706     A1    = 0            A2    = 1
+RDSW  = 1.103044E3     PRWG   = 1.750872E-3      PRWB   = -0.0916512
+WR    = 1            WINT   = 6.910593E-8      LINT   = 1.993462E-8
+XL    = -2E-8         XW    = 0            DWG    = 1.047524E-9
+DWB   = 1.084571E-8   VOFF   = -0.0906265      NFACTOR = 0.6164962
+CIT   = 0            CDSC   = 5.145568E-6      CDSCD  = 0
+CDSCB = 0            ETA0   = 4.63499E-3      ETAB   = -9.189583E-4
+DSUB  = 0.1150044     PCLM   = 0.7703416      PDIBLC1 = 0.3438859
+PDIBLC2 = 8.526878E-3 PDIBLCB = 0.0845601      DROUT  = 0.6859339
+PSCBE1 = 7.23225E9     PSCBE2 = 5.005586E-10    PVAG   = 0.4108257
+DELTA = 0.01          MOBMOD = 1            PRT    = 0
+UTE   = -1.5          KT1    = -0.11          KT1L   = 0

```

```

+KT2    = 0.022      UA1    = 4.31E-9      UB1    = -7.61E-18
+UC1    = -5.6E-11  AT     = 3.3E4      WL     = 0
+WLN    = 1         WW     = -1.22182E-15  WWN    = 1.1837
+WWL    = 0         LL     = 0           LLN    = 1
+LW     = 0         LWN    = 1         LWL    = 0
+CAPMOD = 2         XPART  = 0.4       CGDO   = 2.95E-10
+CGSO   = 2.95E-10 CGBO   = 1E-11      CJ     = 1.08158E-3
+PB     = 0.7719669 MJ     = 0.3252096  CJSW   = 3.480034E-10
+PBSW   = 0.99     MJSW   = 0.1576976  PVTH0  = -0.0122678
+PRDSW  = -93.3365259 PK2    = -3.470912E-3 WKETA  = -3.503848E-3
+LKETA  = -0.0105386 )

```

*

```

.MODEL PMOS PMOS (                                LEVEL = 49
+VERSION = 3.1      TNOM   = 27      TOX    = 7.6E-9
+XJ      = 1E-7     NCH    = 8.52E16  VTH0   = -0.6821549
+K1      = 0.4197546 K2     = -6.11453E-3 K3     = 35.791795
+K3B     = -2.796173 W0     = 1.990794E-6 NLX    = 4.309814E-7
+DVT0W   = 0       DVT1W  = 0       DVT2W  = 0
+DVT0    = 1.134781 DVT1   = 0.3272645 DVT2   = -1.051562E-3
+U0      = 141.3184274 UA     = 1.024889E-10 UB     = 1.354611E-18
+UC      = -3.30244E-11 VSAT   = 1.6171E5   A0     = 0.6693235
+AGS     = 0.2959248 B0     = 2.86196E-6  B1     = 5E-6
+KETA    = -6.382387E-3 A1     = 0         A2     = 1
+RDSW    = 3.44286E3  PRWG   = -0.0626736 PRWB   = 0.0981315
+WR      = 1         WINT   = 5.340142E-8 LINT   = 1.410986E-9
+XL      = -2E-8     XW     = 0         DWG    = -4.209302E-9
+DWB     = 1.12145E-8 VOFF   = -0.1154702 NFACTOR = 2
+CIT     = 0         CDSC   = 0         CDSCD  = 0
+CDSCB   = 4.724734E-5 ETA0   = 0.0115959  ETAB   = 2.08259E-4
+DSUB    = 0.2766226 PCLM   = 7.8965744  PDIBLC1 = 1.97648E-3
+PDIBLC2 = 8.825766E-3 PDIBLCB = 2.37472E-3 DROUT  = 0.4321935
+PSCBE1  = 3.010835E10 PSCBE2 = 7.998967E-10 PVAG   = 15
+DELTA   = 0.01     MOBMOD = 1         PRT    = 0
+UTE     = -1.5     KT1    = -0.11     KT1L   = 0
+KT2     = 0.022    UA1    = 4.31E-9     UB1    = -7.61E-18
+UC1     = -5.6E-11 AT     = 3.3E4      WL     = 0
+WLN     = 1         WW     = -5.22182E-16 WWN    = 1.195
+WWL     = 0         LL     = 0           LLN    = 1
+LW      = 0         LWN    = 1         LWL    = 0

```

```

+CAPMOD = 2          XPART = 0.4          CGDO = 2.77E-10
+CGSO = 2.77E-10    CGBO = 1E-11          CJ = 1.417679E-3
+PB = 0.99          MJ = 0.5636812        CJSW = 4.292884E-10
+PBSW = 0.99        MJSW = 0.3497357      PVTH0 = 0.0116448
+PRDSW = -58.3059685  PK2 = 1.654991E-3    WKETA = -6.310553E-4
+LKETA = 1.189744E-3  )
*

```

C.2. Layout Two stage amp(첨가부분)

```

* Power/Ground
VDD VDD 0 DC 3.3V
VSS VSS 0 DC 0V
* Input
Vin VIN 0 DC 1.65 AC 0
Vip VIP 0 DC 1.65 AC 1
.AC DEC 10 10 10000MEG

```